

■ Tips & Solution Seminar :

ANSYS Electronic를 이용한 High speed Interface 설계 최적화



정종혁, jjh@huwin.co.kr , 010-9108-5440

2023. 6. 23

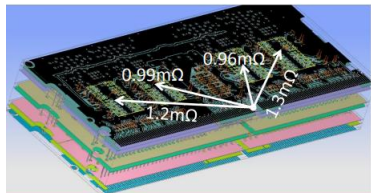
■ Contents:

SIwave & HFSS 3d layout 연동 해석 소개

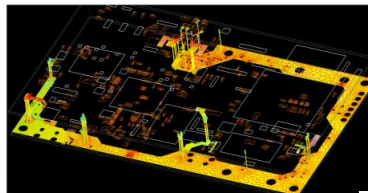
SIwave region을 이용한 해석 사례 및 주의 사항

개요

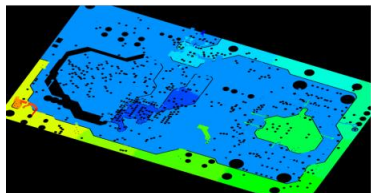
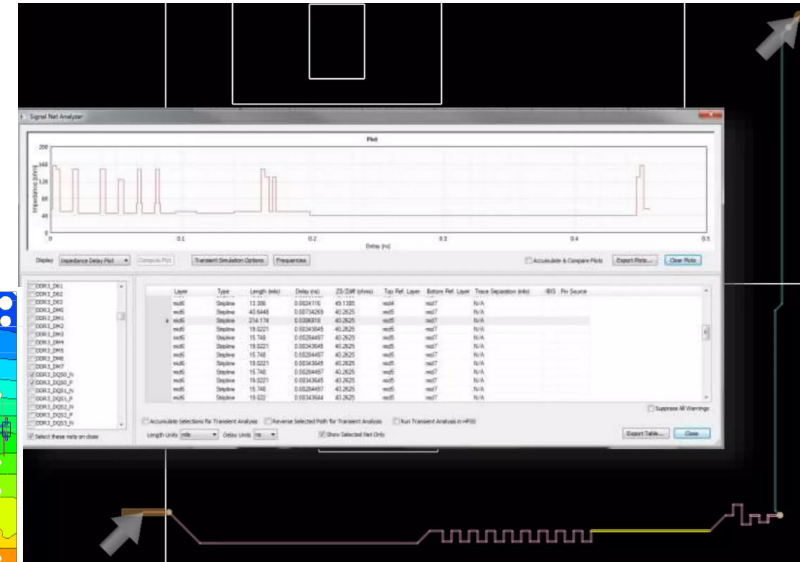
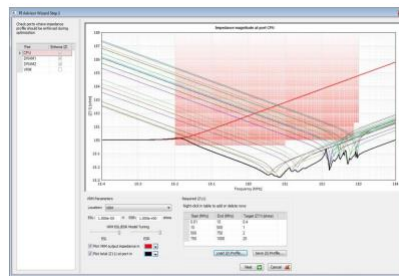
- ❖ 고속 전송 채널은 점점 복잡해지고 작아지기 때문에 상호 영향성이 커지고 제조/조립 후 수정이 어렵기 때문에 해석을 이용한 설계의 필요성이 높아짐
- ❖ Siwave는 hybrid 2.5D 해석 방식으로 해석 속도가 빠르고 고속 신호 PCB 설계의 필수
 - Signal integrity & resonance 분석: PCB 해석 기본 기능
 - Power integrity & DC IR drop 분석: 고속 신호 IC 동작을 위한 기본 조건, SI보다 먼저 필요
 - Decoupling capacitor 최적화
- ❖ HFSS는 3D full wave 해석 결과가 정확하지만 많은 리소스가 필요
- ❖ 해석 개체에 따라 적절한 선택이 필요



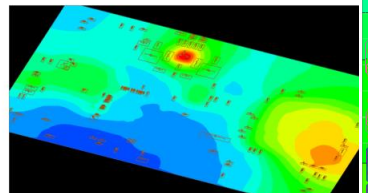
DC Path Resistance



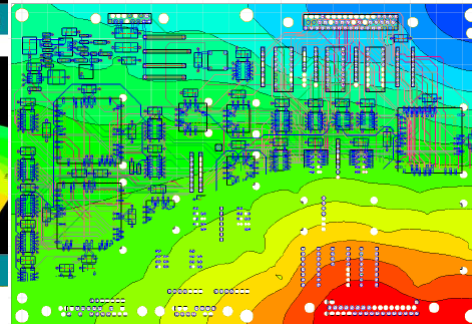
Current Vectors Showing Electron Direction



Power & Ground Plane Voltage Drop

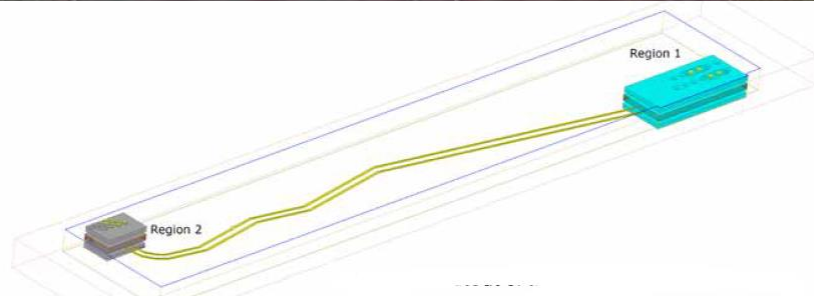
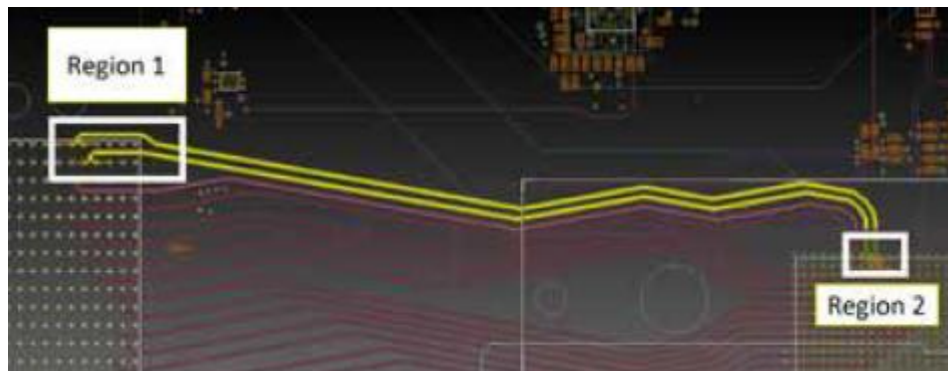


Siwave Thermal Solves using Icepak

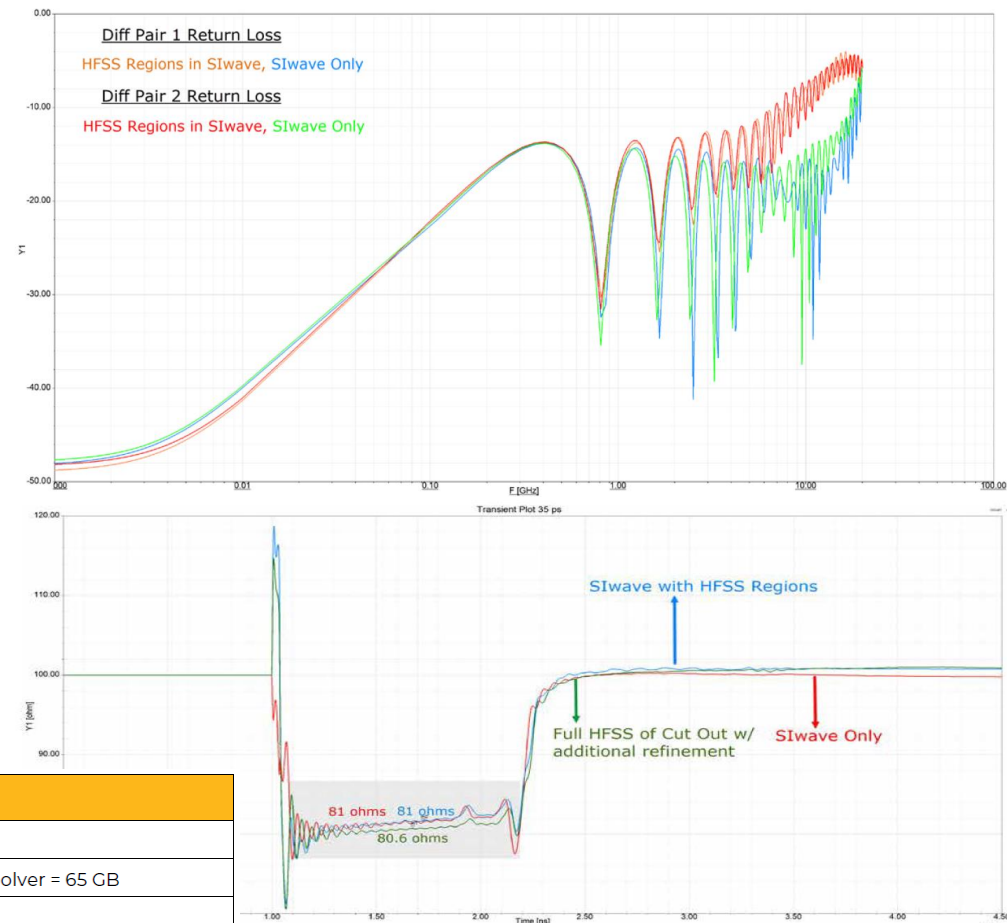


개요

- ❖ 효율적인 PCB 해석을 위해 HFSS를 이용하여 SIwave와 연동 해석 솔루션을 제공함
- ❖ SIwave의 Region으로 설정한 구간은 HFSS 3D layout로 해석하고 나머지 구간만 SIwave로 해석
- ❖ HFSS 3D layout는 같은 layer를 2D로 형성하고 Z축 sweep하는 phi mesh 기능을 이용하여 HFSS 대비 initial mesh 생성속도가 매우 빠름

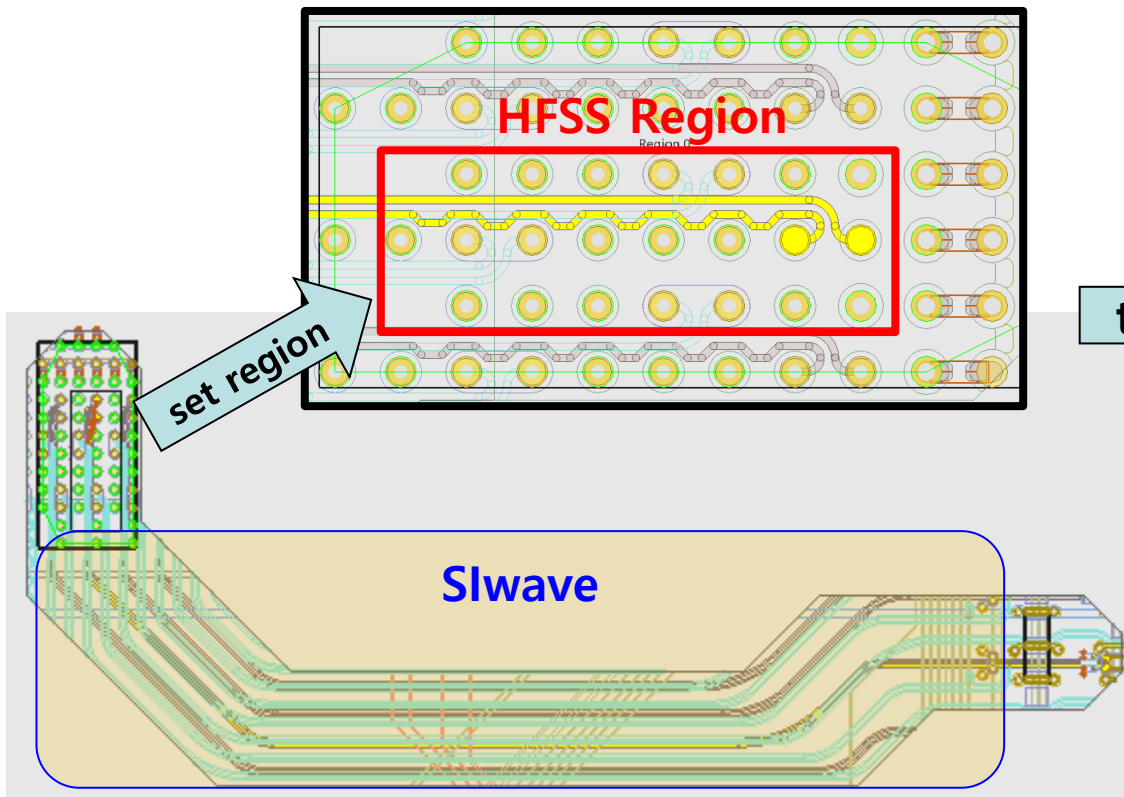


Simulation	Time	Peak Memory Usage
SIwave Only	10 hours and 30 minutes	SIwave Solver = 67 GB
SIwave with HFSS Regions	12 hours and 25 minutes	HFSS Solver = 88 GB; SIwave Solver = 65 GB
Simulation of the Cutout in HFSS only	30 hours and 39 minutes	HFSS Solver = 55 GB

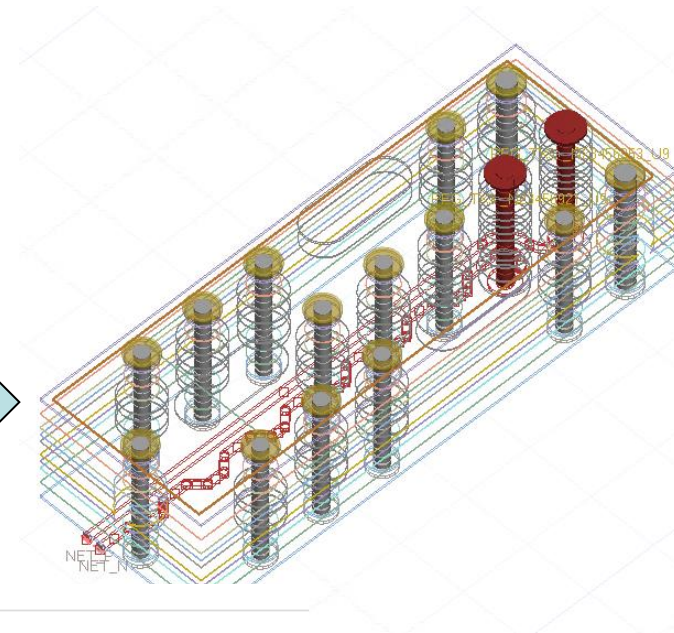


HFSS region in SIwave – 설정 방법 및 동작 원리

- ❖ PCB 복잡도에 따른 선택: 단순 구간은 SIwave로 해석 하고, 복잡한 주요 구간은 HFSS로 해석하여 정확한 결과를 빠르게 얻을 수 있음
- ❖ HFSS region으로 설정된 구간은 전체 PCB 환경과 동일한 조건으로 해석되도록 주의하여 설정 필요
- ❖ BGA, Via 등의 복잡한 구간의 임피던스 불연속과 공진이 발생하는 경우가 많고 그에 의한 영향이 채널 특성 저하의 주요한 원인이 되는 경우가 많음



to HFSS

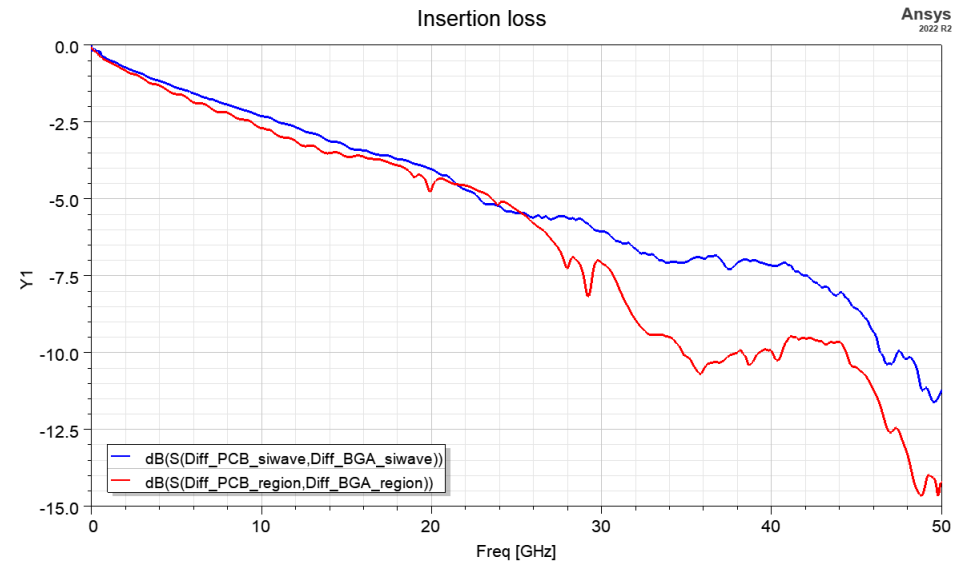
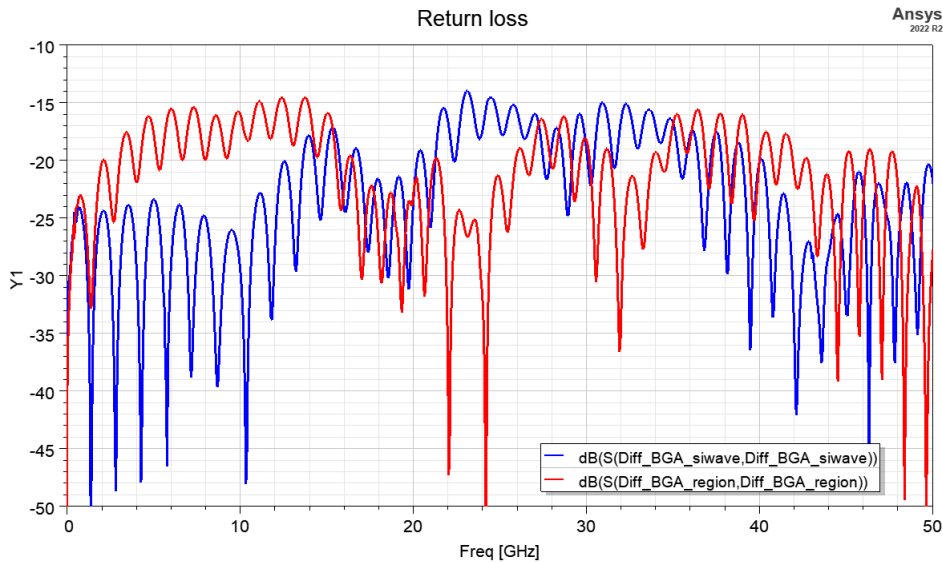
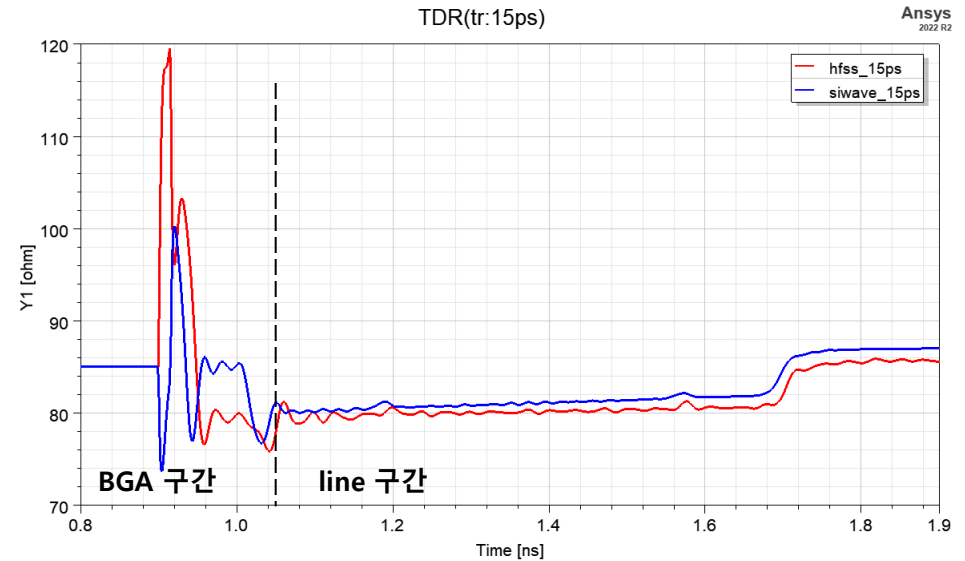
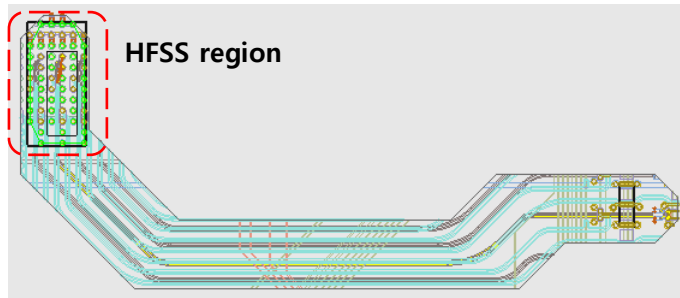


3D Solver

- Q3D (auto-detected regions)
- HFSS (user-defined regions)
- AEDT regions schematic (do not simulate)
- Solve regions in parallel Configure...
- HFSS solver options...

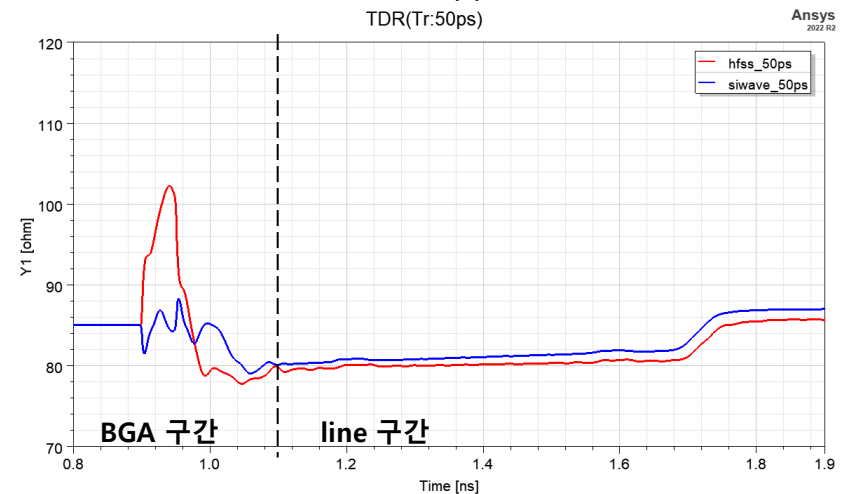
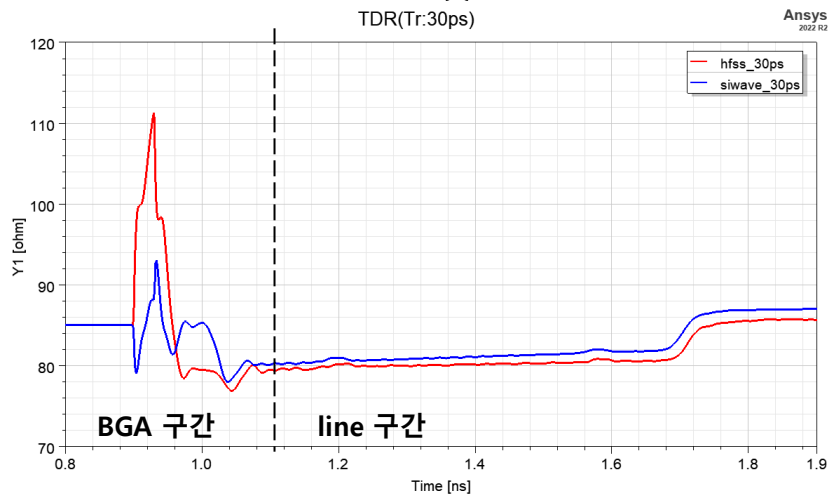
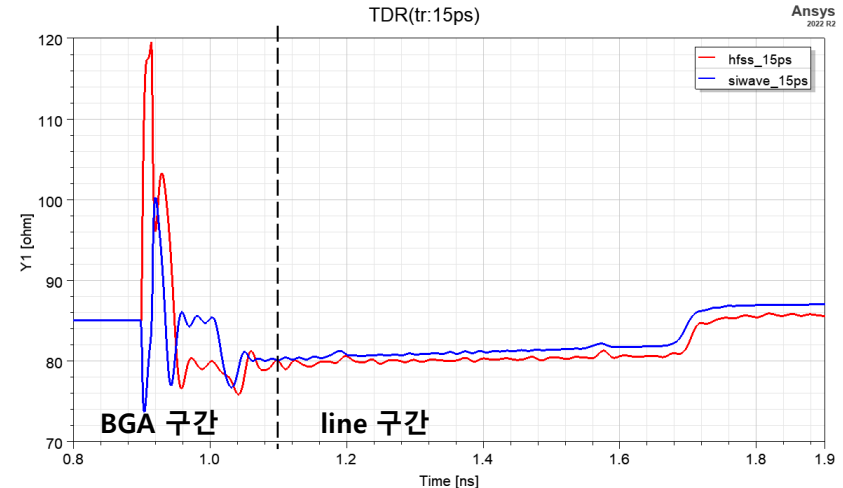
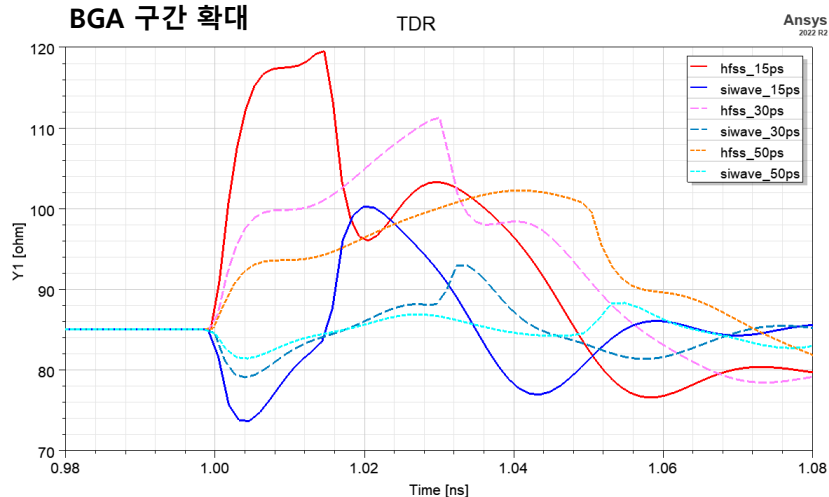
HFSS region in SIwave - 결과 비교

- ❖ 복잡한 구조의 BGA 부분 오차가 큼
- ❖ 단순한 구조의 diff. line 부분 오차가 적음



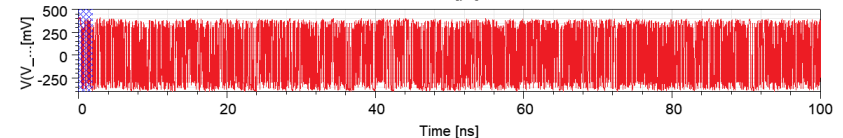
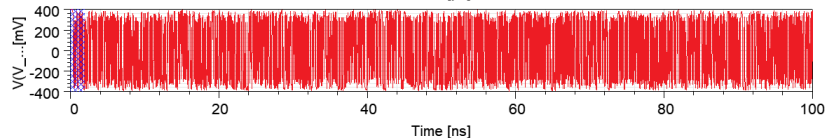
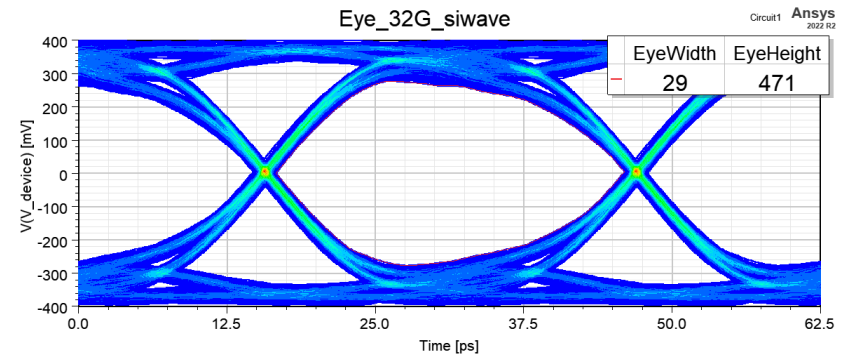
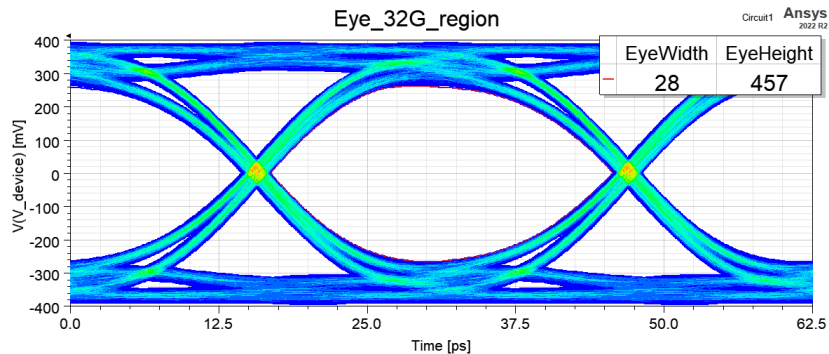
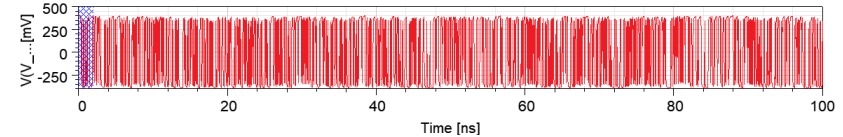
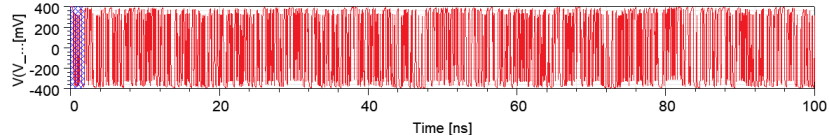
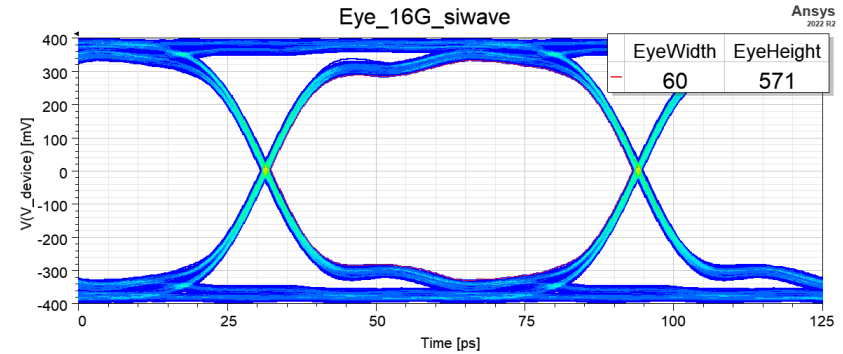
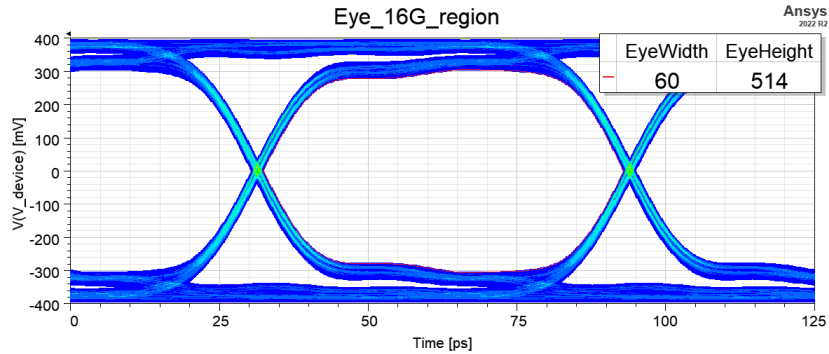
HFSS region in SIwave - TDR 결과 비교

- ❖ TDR의 Rise time이 작아질수록 BGA 부분 결과 차이가 큼
- ❖ 결과 차이의 정도는 PCB 형상에 따라 다름



HFSS region in Slwave – EYE 결과 비교

❖ 고속 신호의 경우 HFSS와 Slwave 해석 결과가 차이가 큼



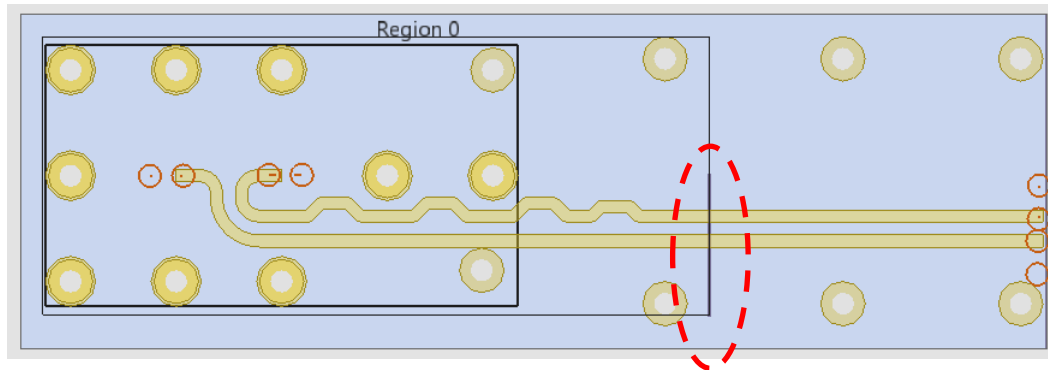
■ Contents:

SIwave & HFSS 3d layout 연동 해석 소개

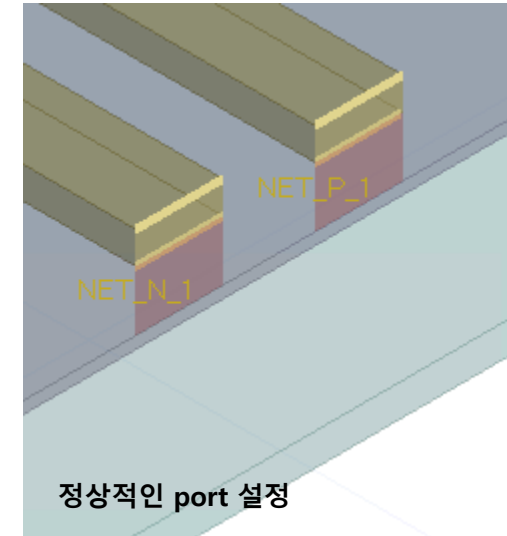
SIwave region을 이용한 해석 사례 및 주의 사항

HFSS region in SIwave - 해석 사례 #1

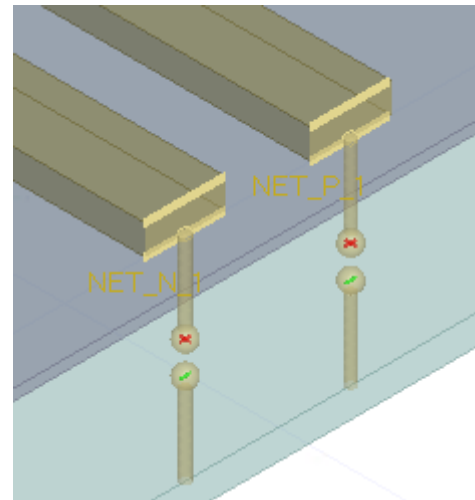
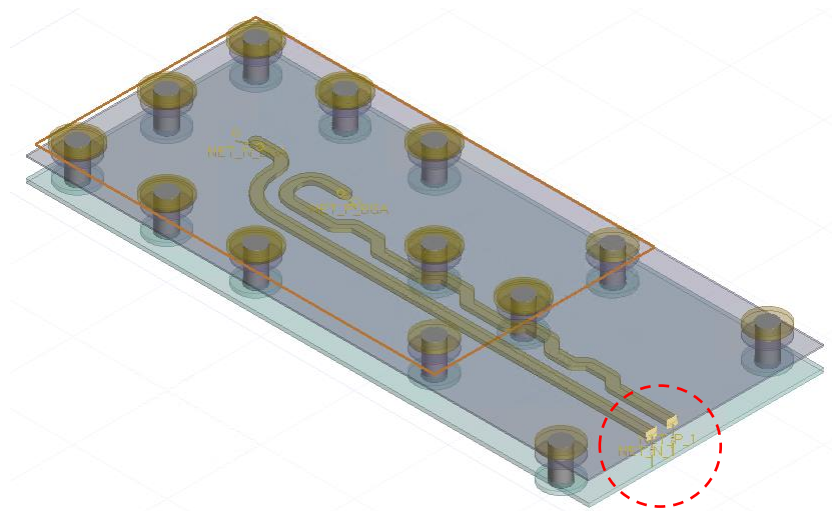
- ❖ Region에 의해 자동으로 생성되는 port 설정
 - ❖ 설정된 region 경계면에 port가 자동으로 생성되기 때문에 split 구간에 위치 하지 않도록 주의



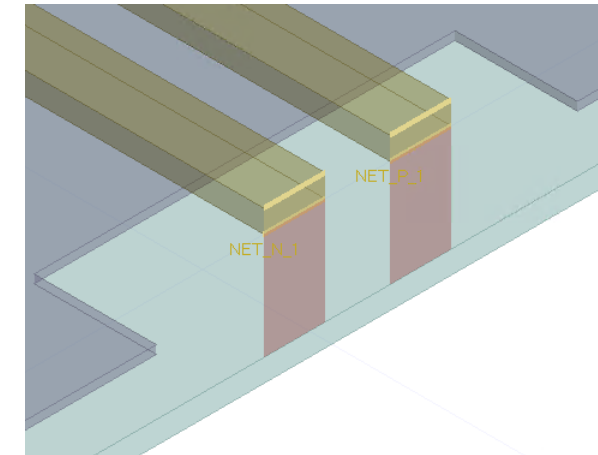
power layer 등의 split 구간



정상적인 port 설정



layer2의 gap이 작은 경우 생성된 port

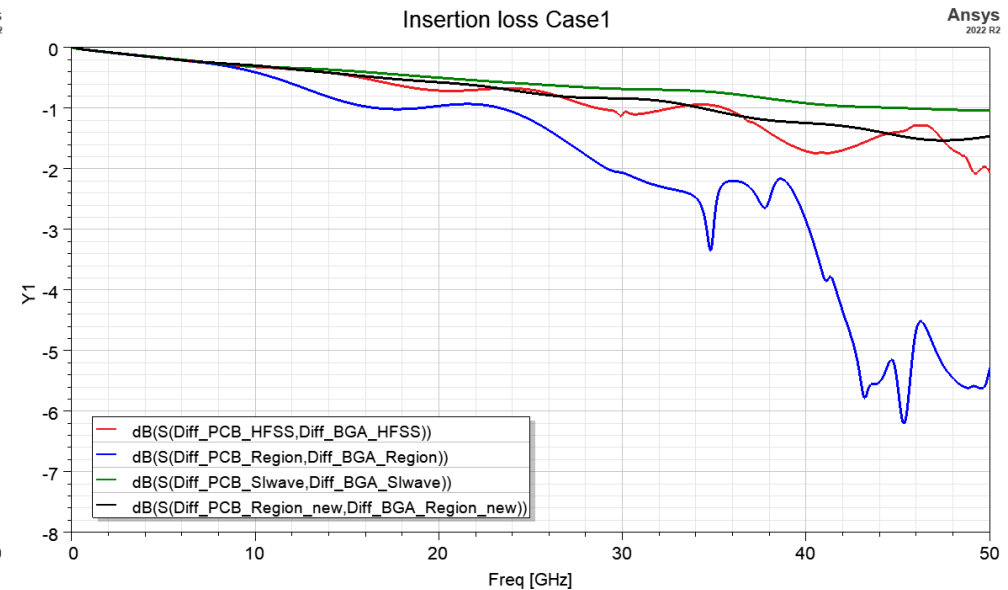
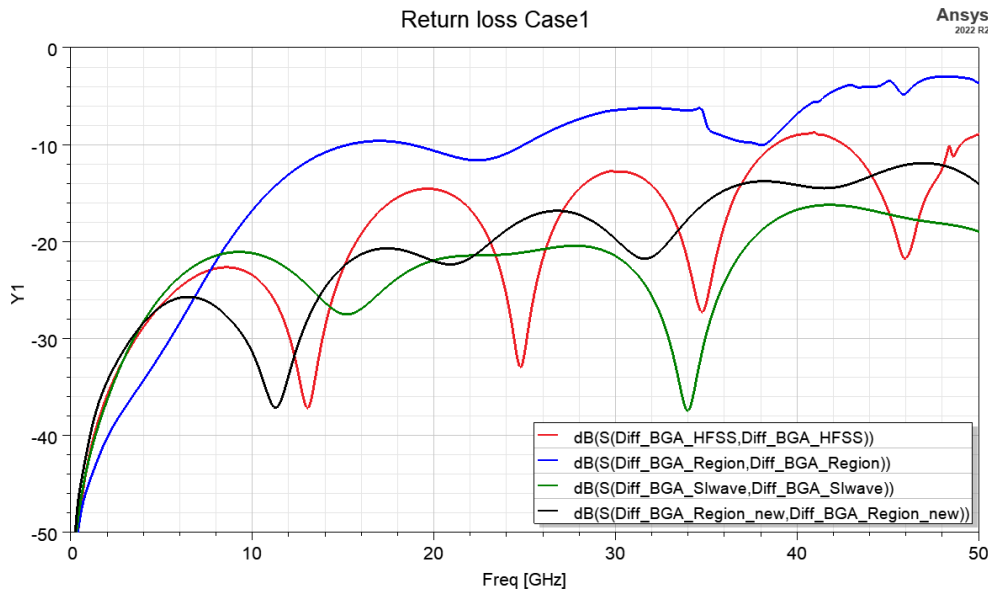


layer2의 gap이 큰 경우 생성된 port

HFSS region in Slwave – 해석 사례 #1

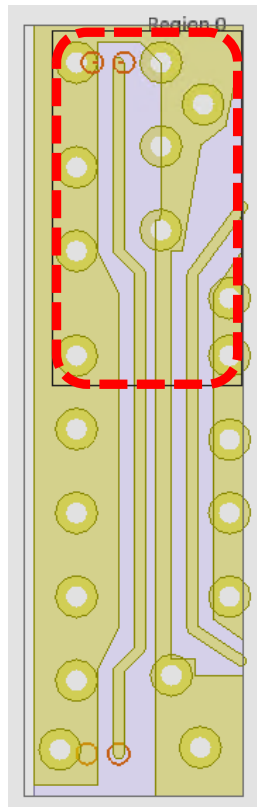
❖ Port reference layer에 따른 결과 차이

- 전체를 HFSS로 해석한 결과(빨간)와 비교하여 정상적인 region 설정 결과(검정)는 매우 유사함
- 잘못된 region 설정 결과(파란)는 오차가 매우 큼

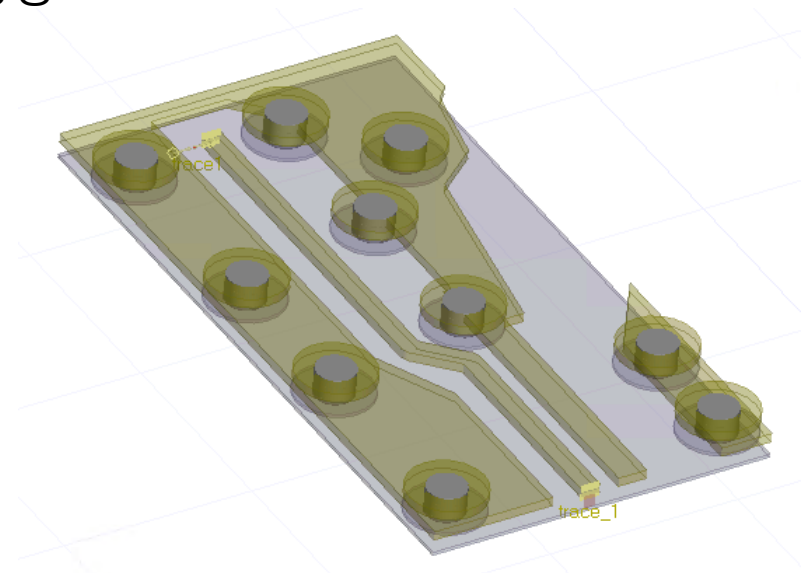
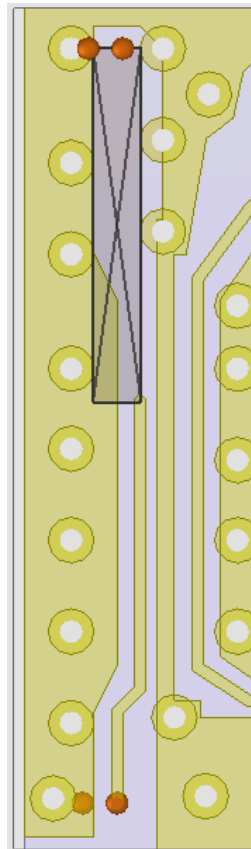
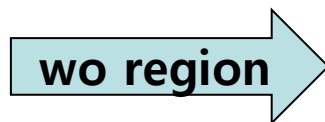


HFSS region in SIwave – 해석 사례 #2

❖ Region 설정으로 자동 생성된 HFSS와 SIwave 형상



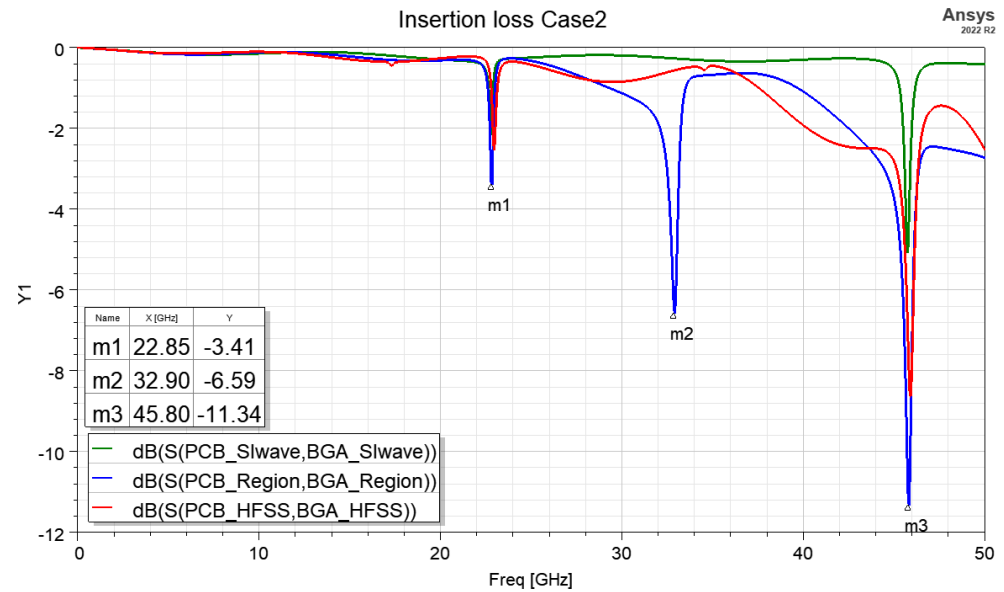
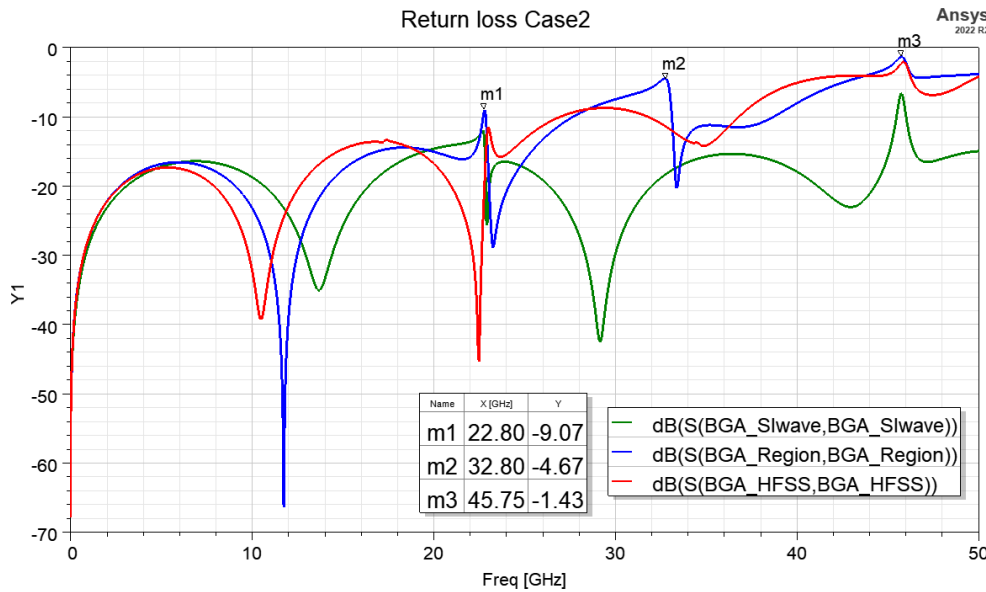
HFSS region



HFSS region in SIwave - 해석 사례 #2

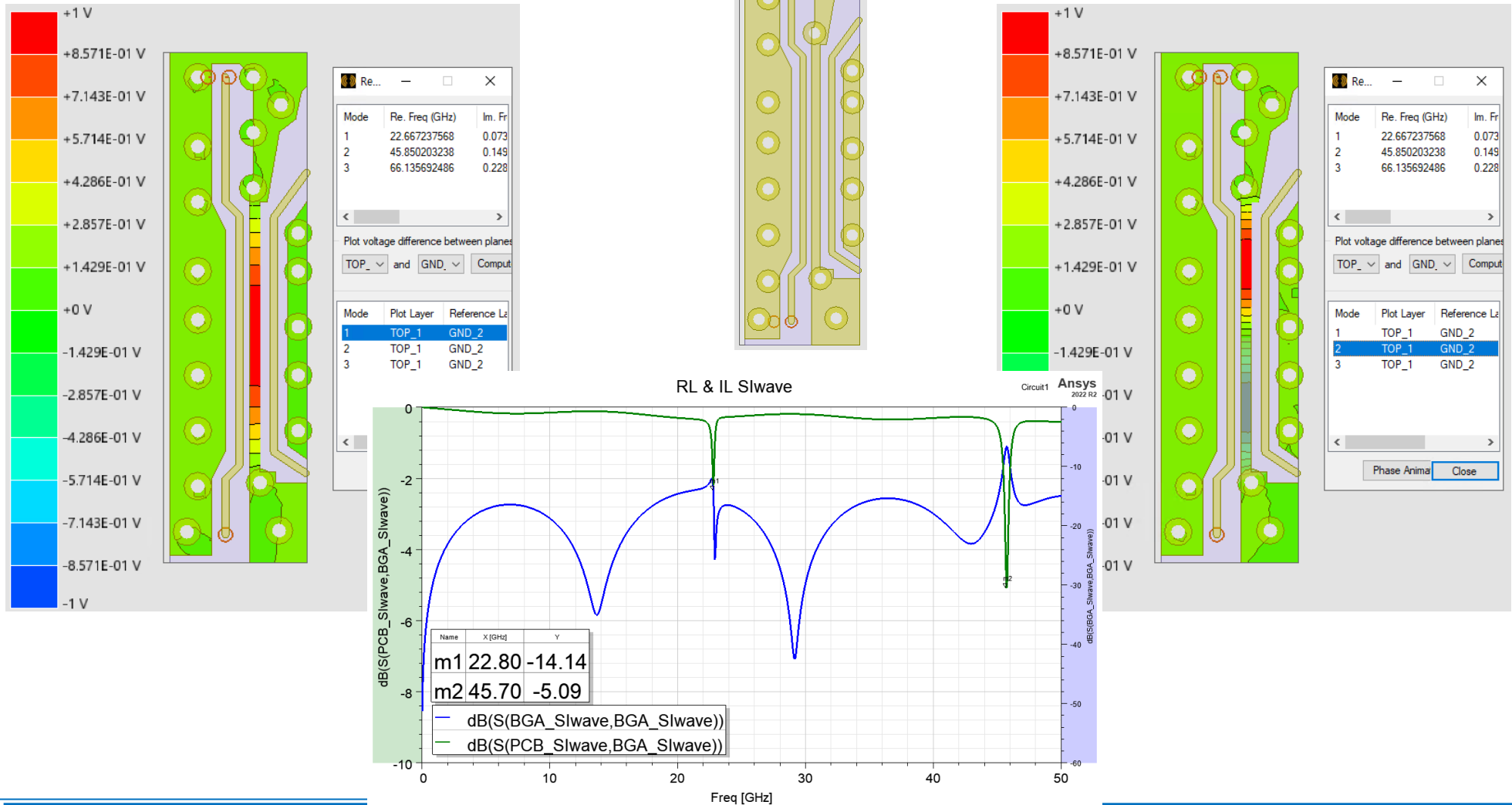
❖ 해석 결과 비교

- HFSS(빨간색)와 SIwave 해석 결과(녹색) 22.8, 45.8GHz 공진 발생
- Region 해석 결과(파란색) 32.9GHz 추가 공진 발생



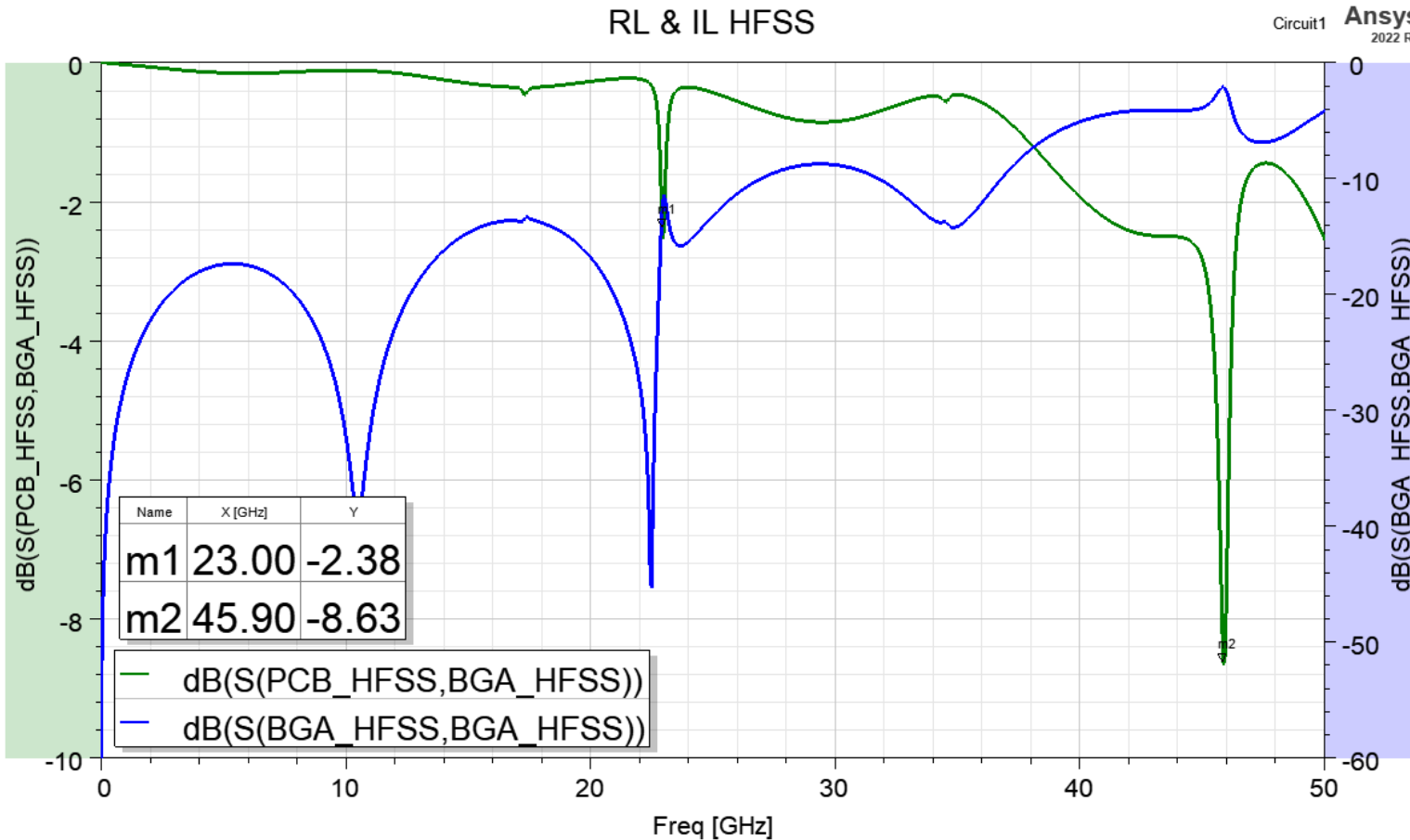
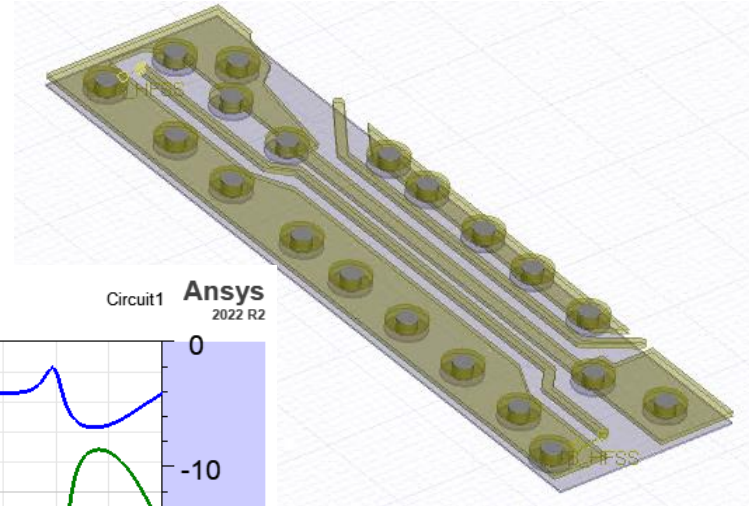
HFSS region in Slwave – 해석 사례 #2

- ❖ Slwave 해석 결과 및 공진 분석
 - 22.7GHz와 45.9GHz에서 공진 발생



HFSS region in SIwave - 해석 사례 #2

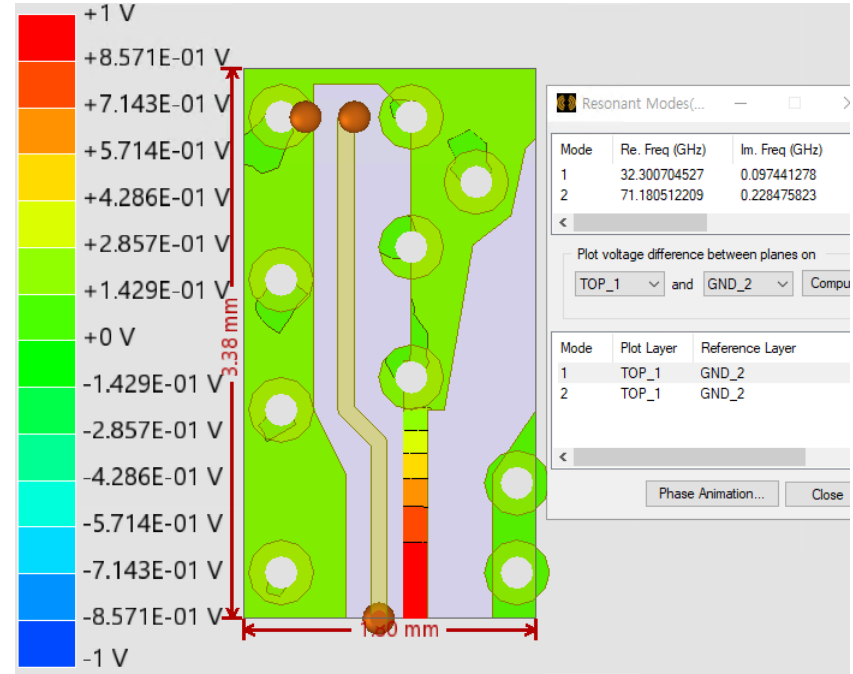
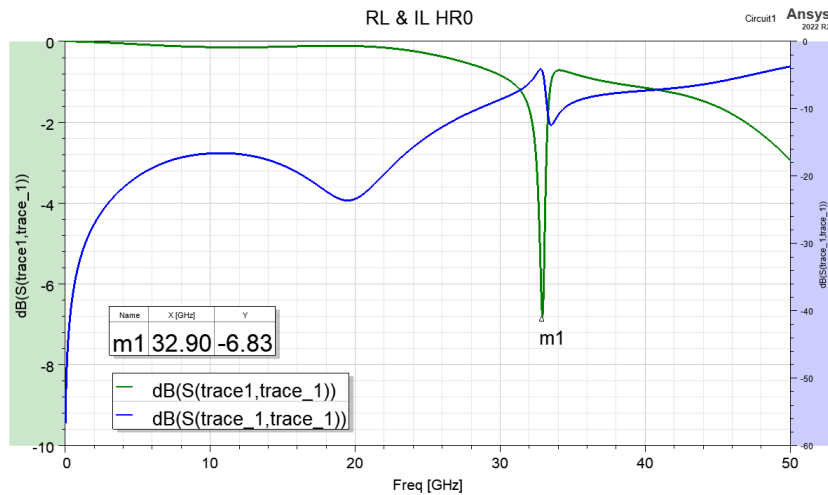
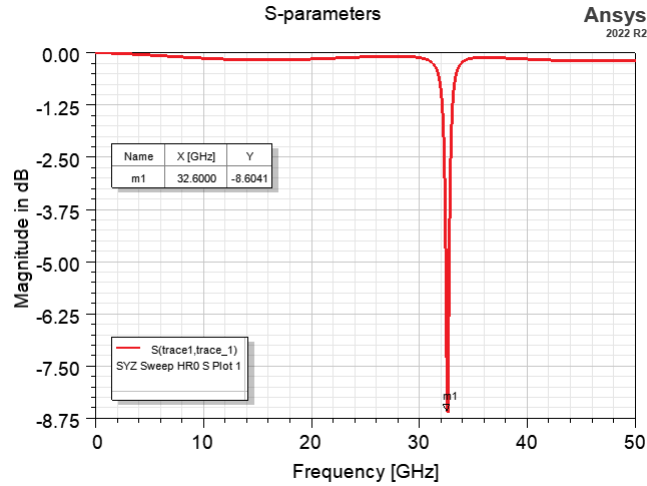
- ❖ HFSS 해석 결과
 - 23GHz와 45.9GHz에서 공진 발생



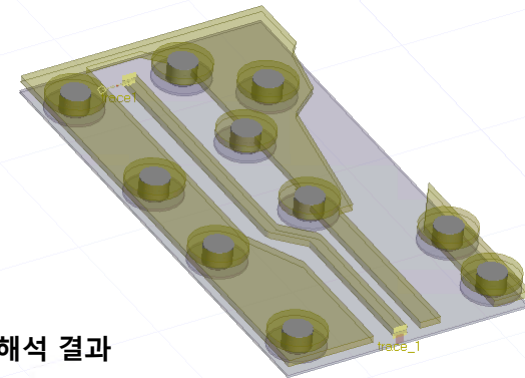
HFSS region in Slwave – 해석 사례 #2

- ❖ HR0 구간 공진 분석 결과
 - Slwave 32.6GHz에서 공진
 - HFSS: 32.9GHz 공진

Slwave 해석 결과

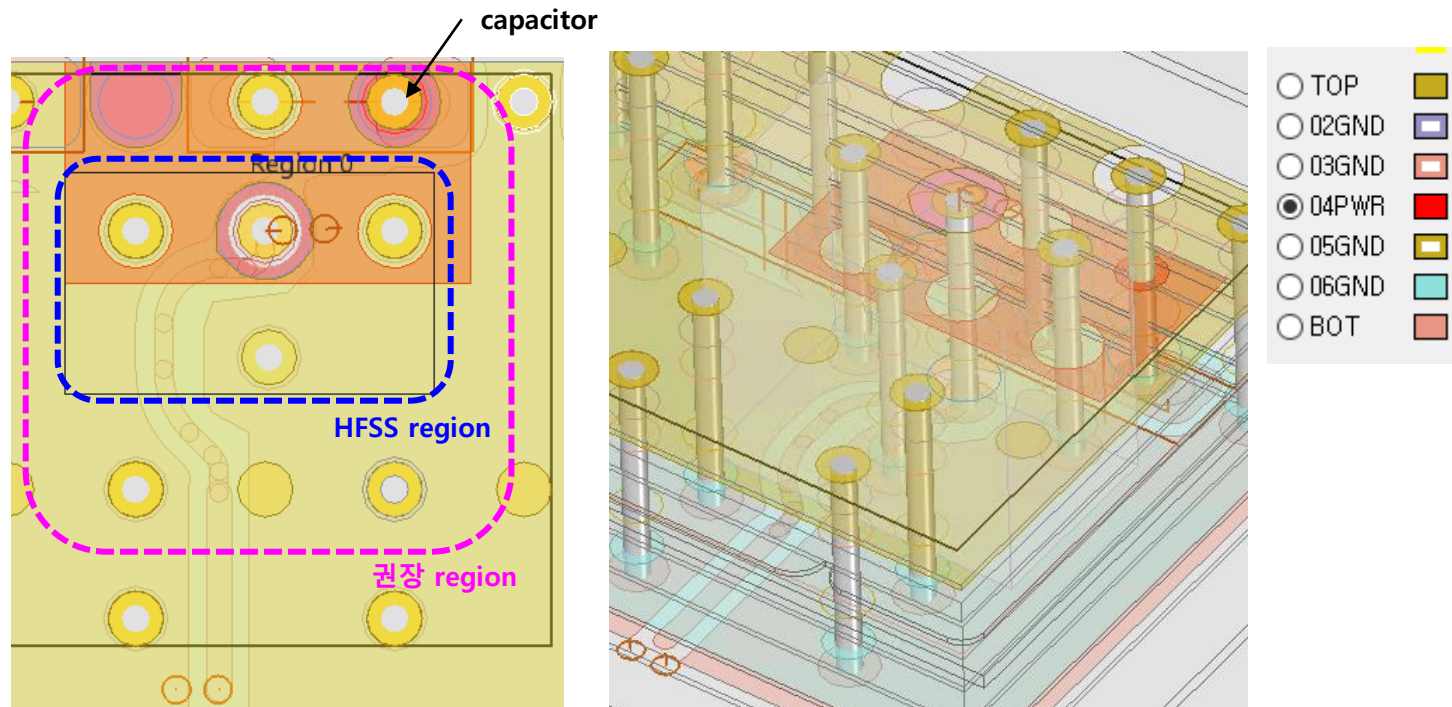


HFSS 해석 결과



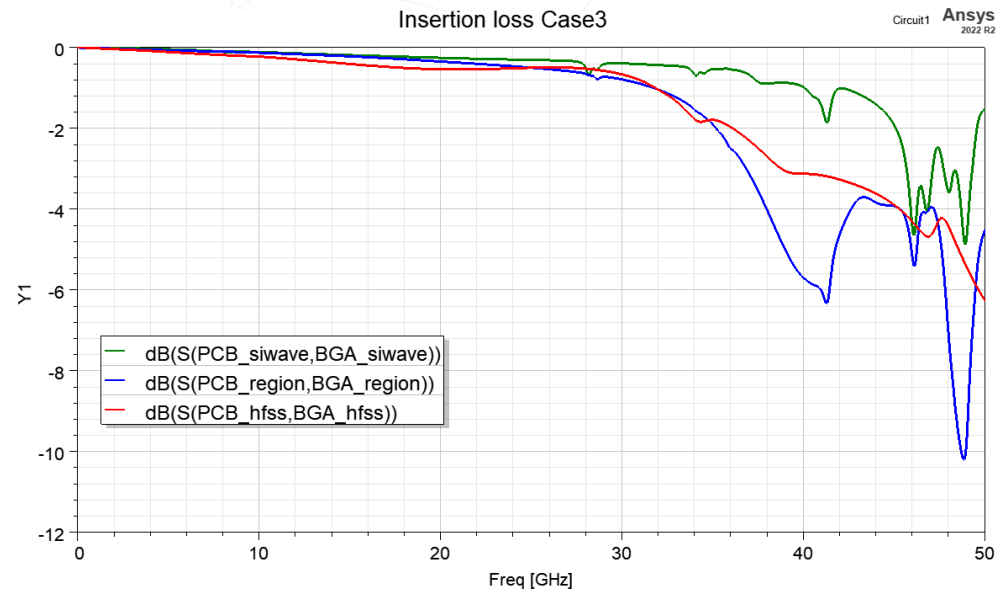
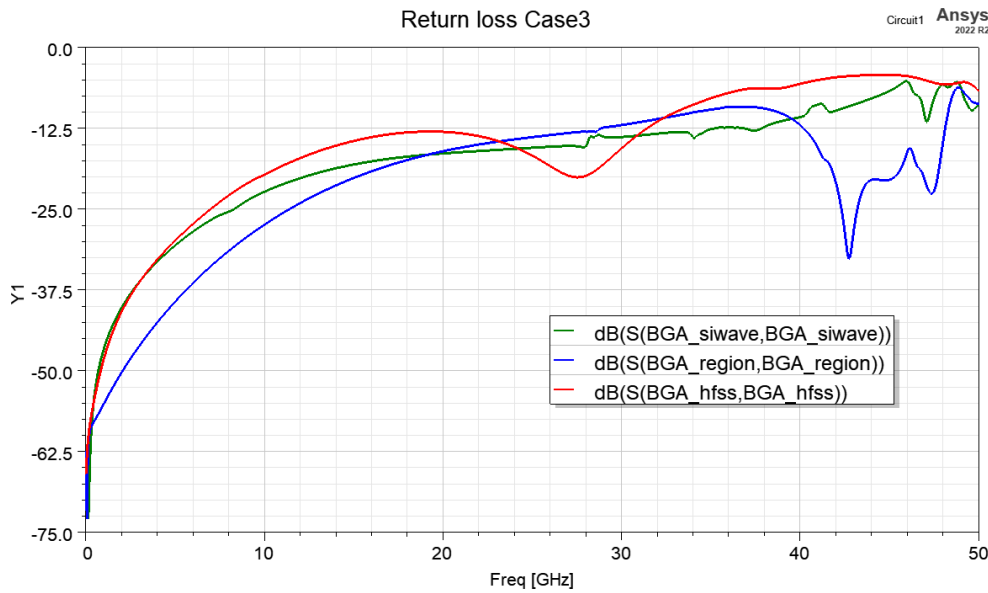
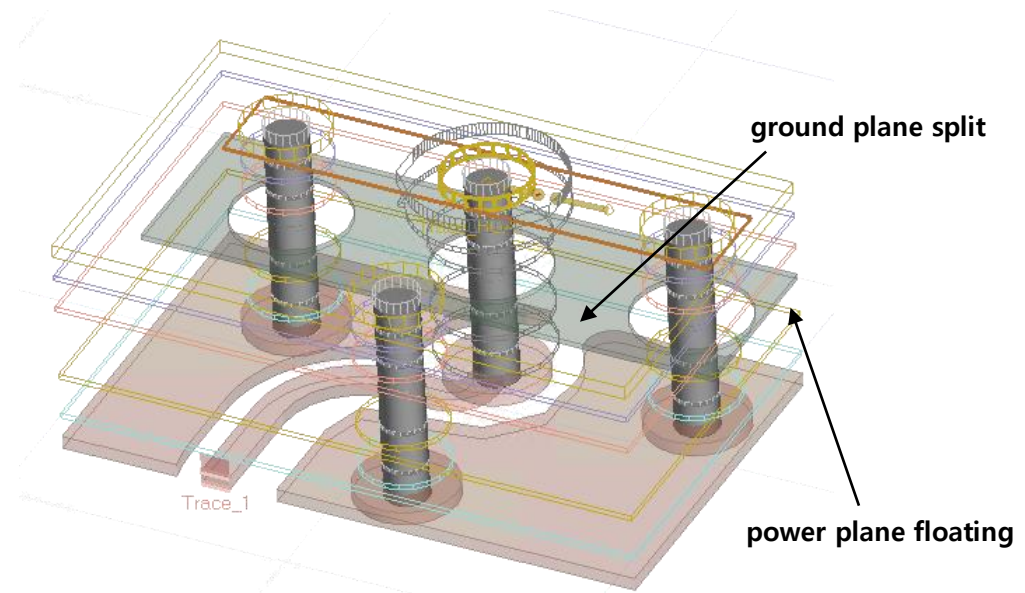
HFSS region in SIwave - 해석 사례 #3

- ❖ Region이 power plane 일부를 포함하고 주변 via를 충분히 포함하지 않은 경우
 - De-cap을 포함하지 못한 power plane은 region 설정은 공진의 원인이 됨
 - 설계된 PCB는 cap 또는 power IC 등의 소자와 연결되어 임피던스가 낮기 때문에 SI 해석 환경도 동일하게 유지해야 함
 - 시뮬레이션 뿐만 아니라 실측을 하는 경우에도 power plane이 open 상태가 되지 않도록 주의가 필요



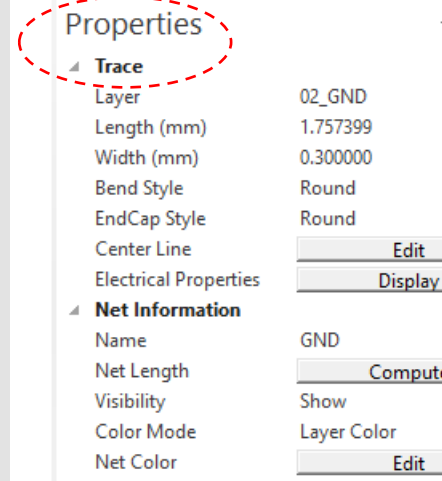
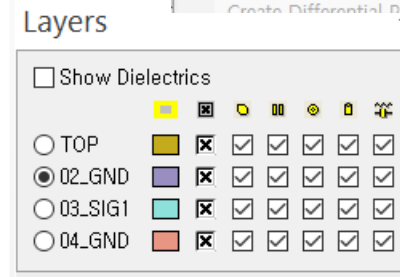
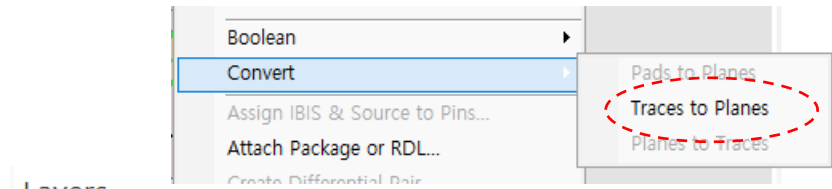
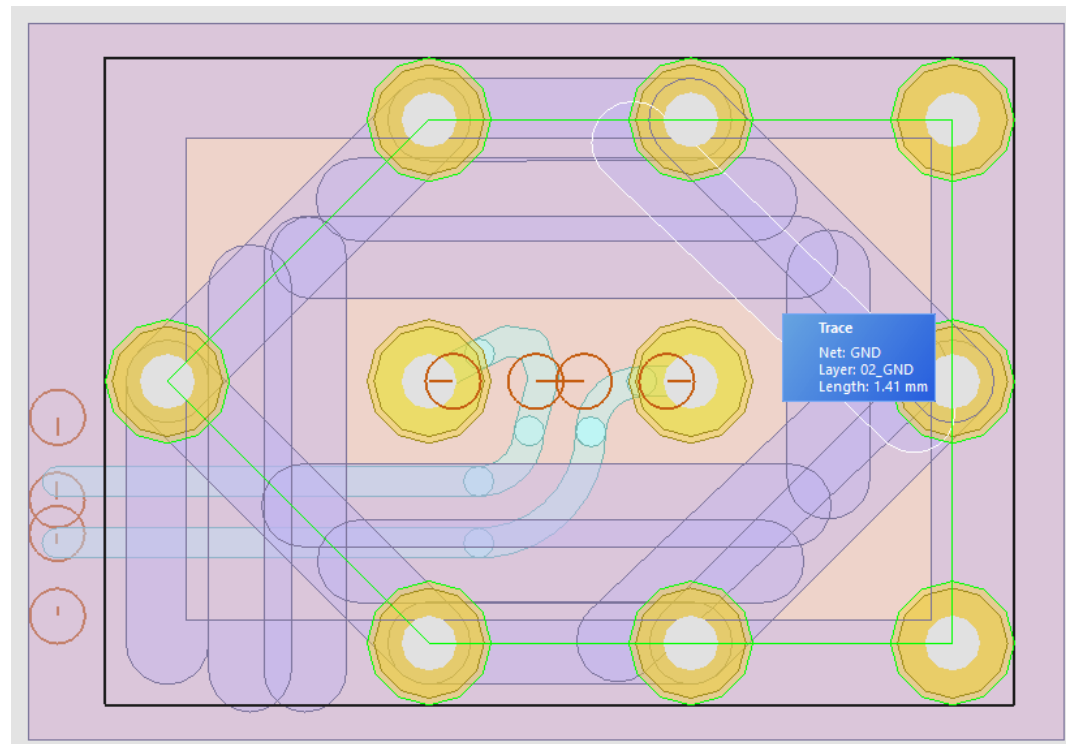
HFSS region in SIwave – 해석 사례 #3

- ❖ 해석 결과 비교
 - power plane은 open 상태로 생성
 - ground plane은 연결되지 않게 생성



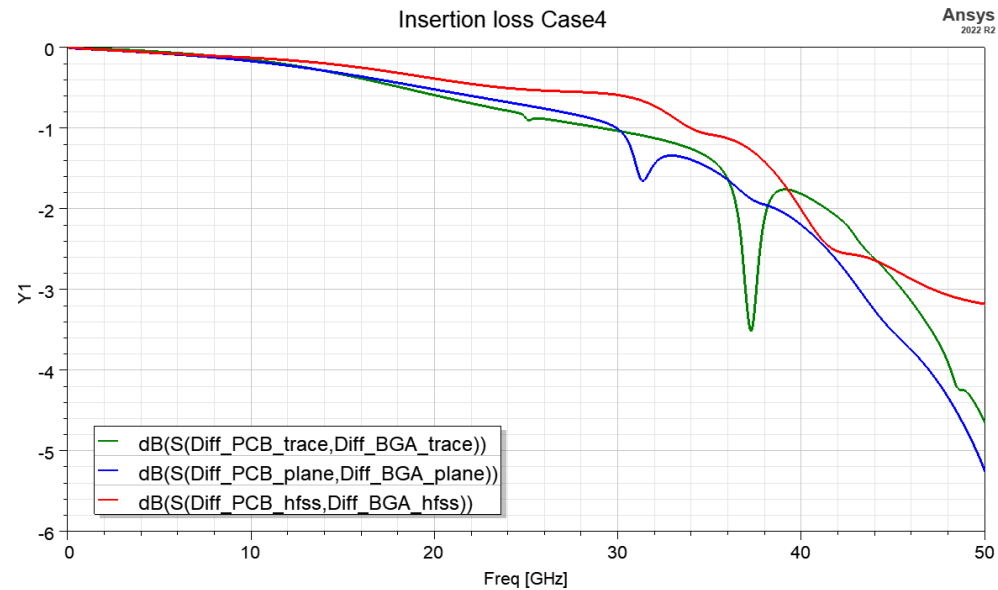
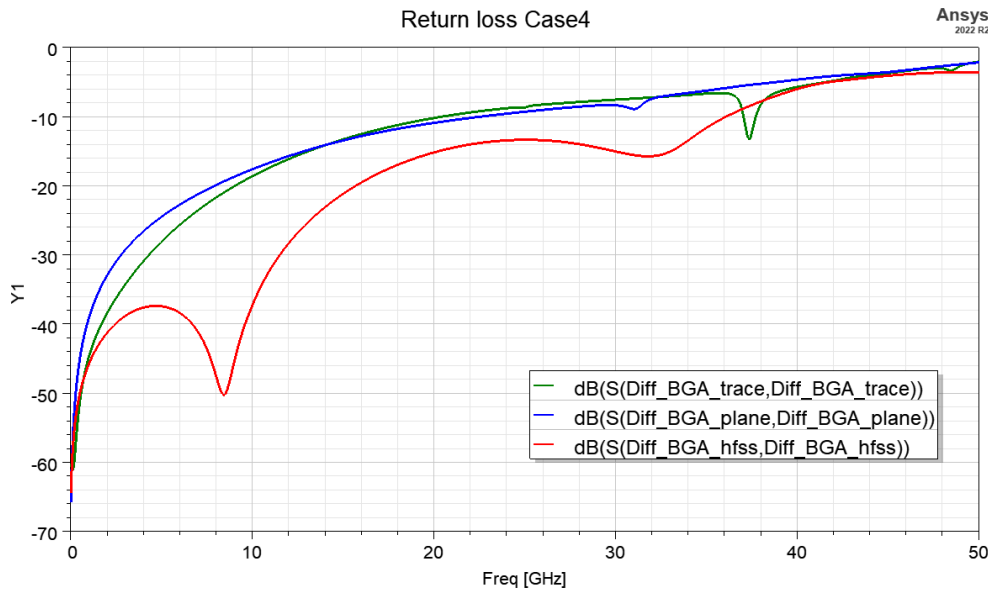
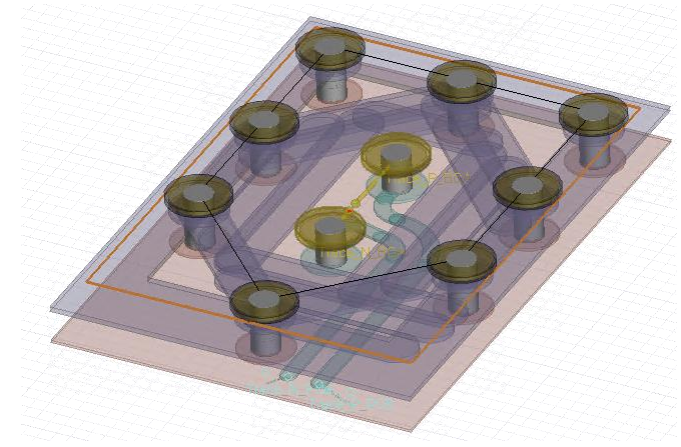
HFSS region in Slwave – 해석 사례 #4

- ❖ Trace로 import 된 antipad & reference plane
 - layer03에 signal trace로 구성된 4층 PCB의 layer02의 via antipad와 reference plane이 trace로 import 된 경우
 - Slwave의 개체 속성을 plane으로 변경 필요



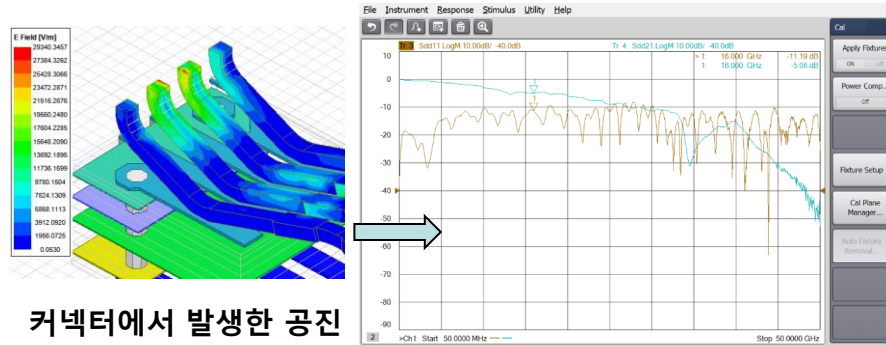
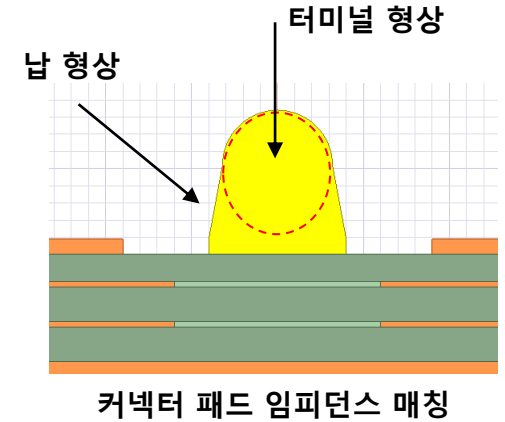
HFSS region in SIwave - 해석 사례 #4

- ❖ 각각 trace와 plane으로 지정하여 해석한 결과 비교
 - Return loss는 trace와 plane의 결과가 유사함
 - Insertion loss는 plane의 결과가 HFSS의 결과와 유사함
 - HFSS는 개체 종류를 구분하지만 해석 결과는 동일함

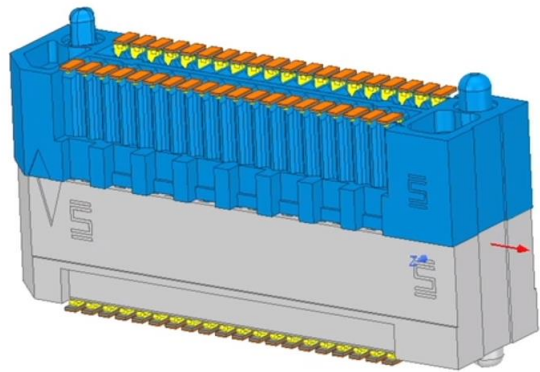


커넥터 HFSS 3D 해석 필요성

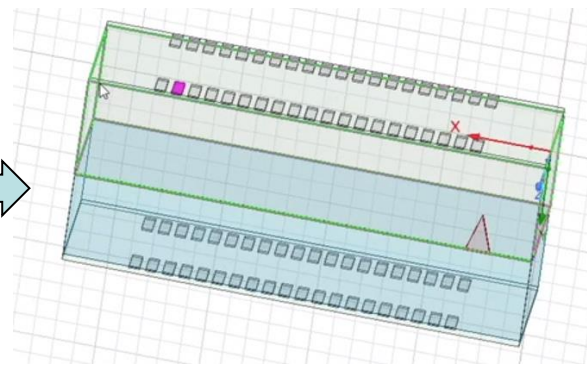
- ❖ 커넥터와 PCB가 조립되는 pad 부분은 일반적인 trace보다 넓은 폭을 갖는 패드 부분이 필요
- ❖ 터미널을 포함한 도체 두께가 있으므로 이로 임피던스가 낮아짐
- ❖ 소형화된 커넥터는 패드 뿐만 아니라 인접한 trace와 간섭이 발생
- ❖ 제조사 제공 커넥터 S-parameter는 PCB 패드 등이 최적화 됨
- ❖ 주로 내부 터미널 형상이 암호화 된 모델이 제공됨



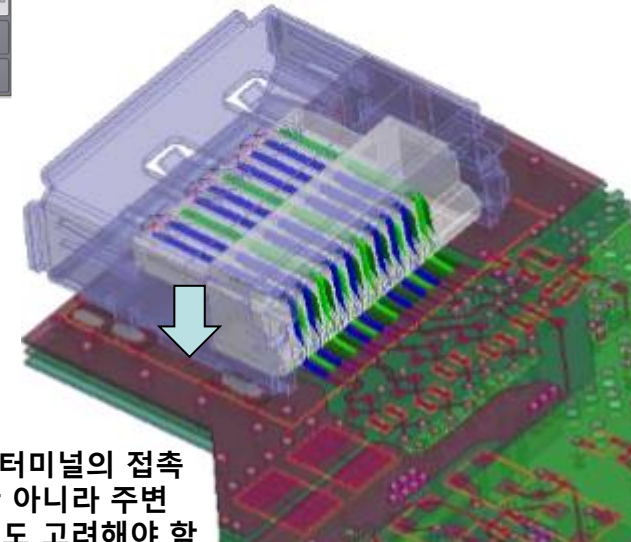
커넥터에서 발생한 공진



HFSS 설계 모델



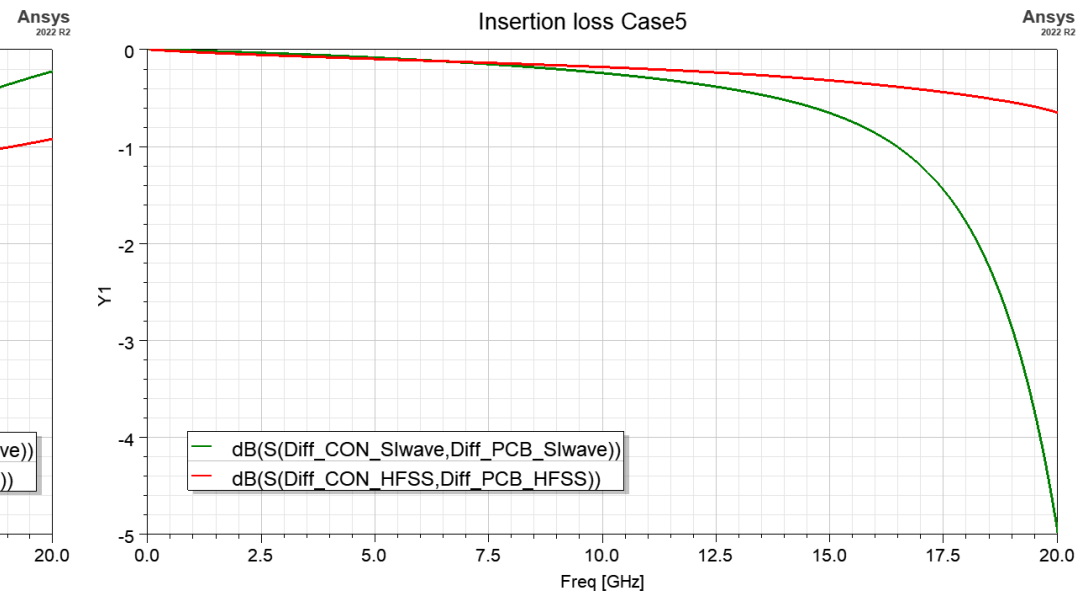
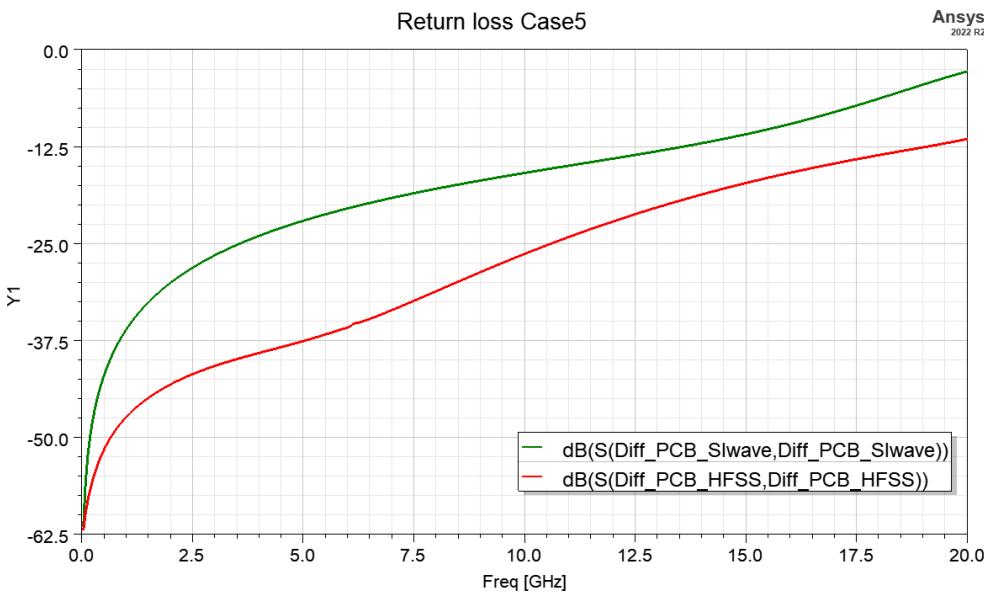
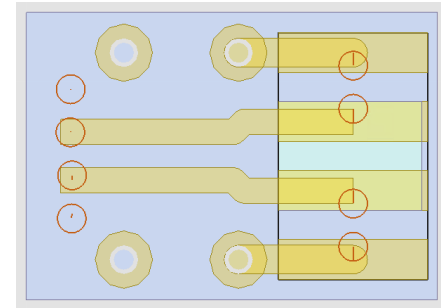
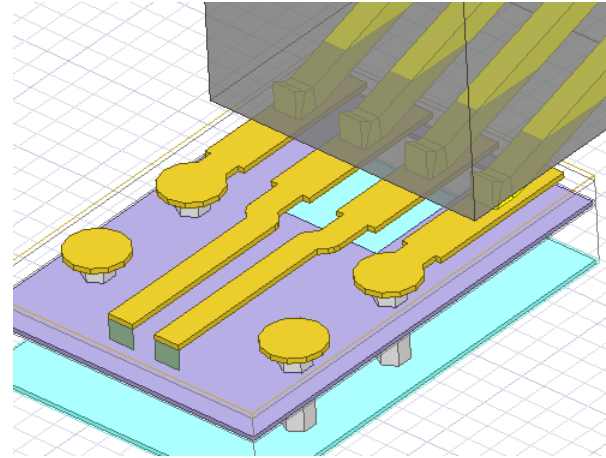
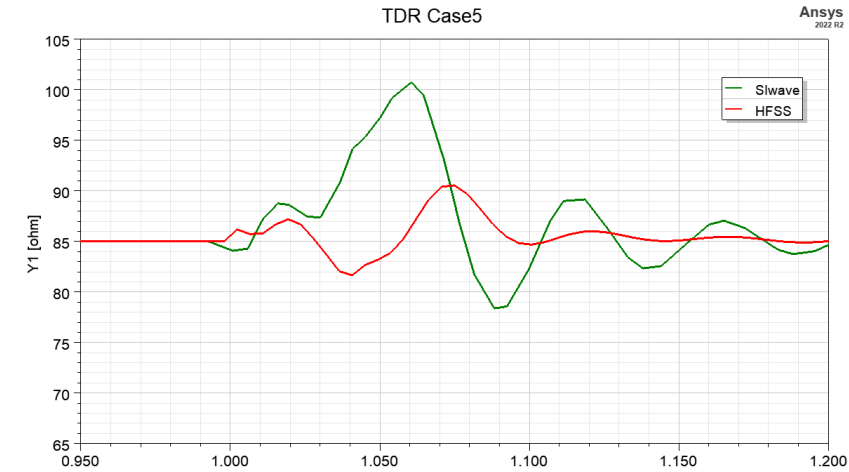
제공되는 암호화된 모델



PCB 패드와 터미널의 접촉된 특성 뿐만 아니라 주변 trace와 간섭도 고려해야 함

커넥터 HFSS 3D 해석 필요성

❖ SIwave PCB와 커넥터 포함한 HFSS 비교



Q&A

감사합니다.