



Advanced Packing Trend

Contents



- ◆ 반도체 란
- ◆ Package trend
- ◆ Advanced package
- ◆ 업체별 advanced package
- ◆ Chiplet Package
- ◆ Asicland Chiplet Package



ASICLAND, that pursues constant innovation and leads the world through a global network, is your value-up partner in the system semiconductor industry.

반도체란

- 반도체 공정은 웨이퍼를 설계 제조하고 회로를 새기는 전 공정, 칩을 패키징하는 후공정으로 구분. 웨이퍼를 설계하는 전공정은 무어의 법칙으로 계속해서 발전하여 현재 2nm 까지 가능하게 되었지만, 웨이퍼 미세공정 한계로 후 공정(package) 중요성이 점점 더 커지고, 새로운 부가가치를 만들 수 있는 핵심 기술로 주목받고 대두 되고 있습니다.

Package 역할

- 외부로 부터 chip 보호, 수명 연장.
- Chip 에서 외부까지 전기적 연결
- Chip이 동작하면 전류가 생기고 이로인한 저항으로 인하여 열 발생 효과적인 열 발산

반도체 Trend

- 최근 반도체 동향은 전자기기의 **소형화 박형화로** 반도체도 지속적으로 **고집적화, 고속화, 다기능화**를 요구. 그러나 반도체 전 후 공정 Fine pitch 미세화 기술 한계로 인하여, 개발 비용이 계속 증가. 첨단 반도체 패키지 기술의 중요성이 대두 되면 반도체 package 를 위한 개발 Trend도 변화되어 있습니다 (High speed, 낮은 비용, 소형화, Stacking, 높은 신뢰성, 열 분산 요구)
- 패키지 기술은 기존 BGA, WLP, MCM 패키지, SiP(System in Package)에서 최근 Advanced package 기술로 TSV(Through Si Via)가 적용된 WLP 2.5D 와 하이브리드 본딩 같은 접합 기술이 적용된 3D. Package가 개발 되고 있습니다.

최근 Package 역할도 반도체 성능 향상을 위해 새로운 기술을 적용하여 chip과 chip을 연결하는 기술로 확대되고 있다

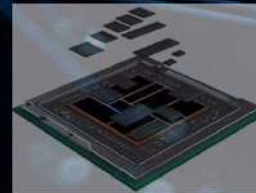
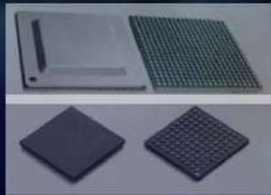
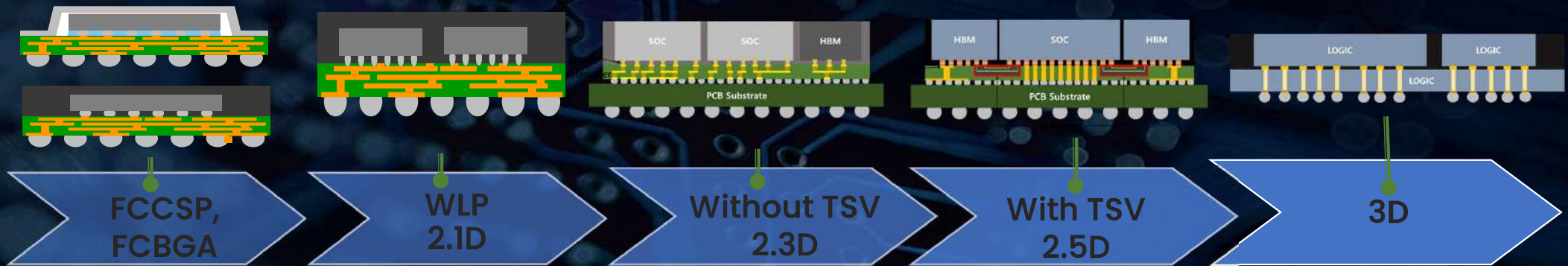
Advanced Package

Package Trend

- 기존 단순 포장 및 전기적 연결 → 웨이퍼 공정 단계부터 여러 Die를 묶는 패키징 기술로 발전
- 전기적 연결, Die 보호 → 소형화, 집적화, High speed → 이종집적 패키징(2.5D) → TSV, 수직 배열 패키징(3D)

Die 수평 배열

Die 수직 배열



Advanced Package Product Introduction

Advanced package

General Advanced 패키지는 하나의 인터포저에 칩을 부착하는 방법과 구조에 따라 2.3D/2.5D /3D으로 분류하며, chiplet package를 위해 이런 기술을 적용.

- 2.1D : WLP package (RDL + TIV 기술이 적용된 package/ INFO Package)
- 2.3D : 유기 인터포저를 사용하여 서로 다른 칩을 수평으로 통합 (without TSV / COWOS-R)
- 2.5D : Si Interposer 또는 Si bridge를 사용하여 서로 다른 칩을 수평으로 통합(TSV)
- 3D : 서로 다른 칩을 수직으로 통합 (TSV)

Heterogeneous Integration

Package Type	2D	2.1D	2.3D	2.5D	3D
Schematic Image					

Advanced Package Product Introduction

업체별 Advanced package 종류

TSMC - COWOS, SoIC



COWOS-R, COWOS-L, COWOS-R

SAMSUNG - Cube



I-Cube, H-Cube X-Cube,

Intel - EMIB, POVEROS



POVEROS-omni (RDL), POVEROS-Direct

OSAT

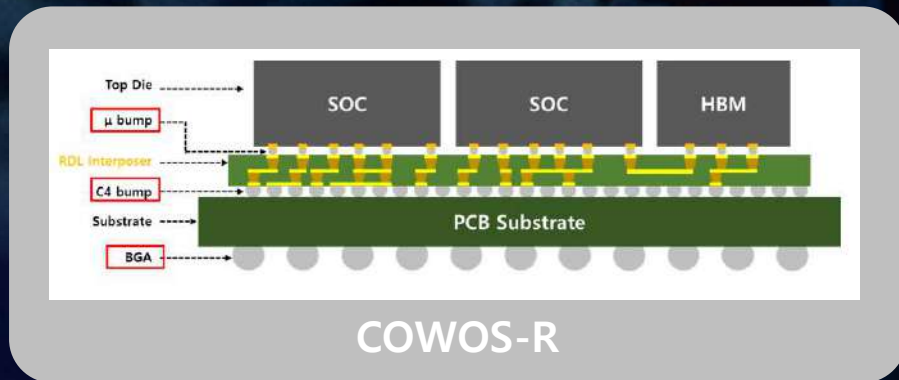
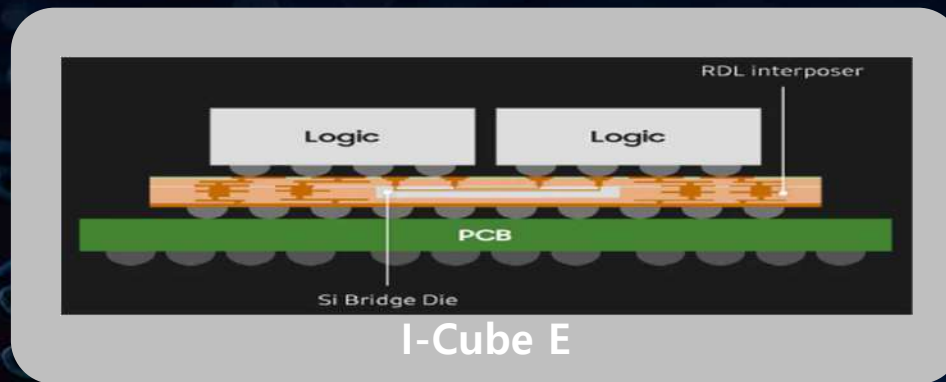
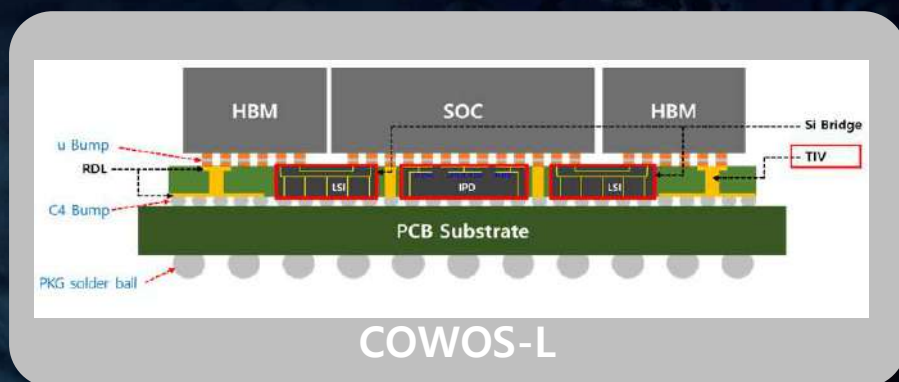


FOCoS (Fan Out Chip on Substrate)
SWIFT (Silicon Wafer Integrated Fan-out Technology)
XDFOI

Advanced Package Product Introduction

❖ 2.3D package (without TSV): TSMC, Samsung

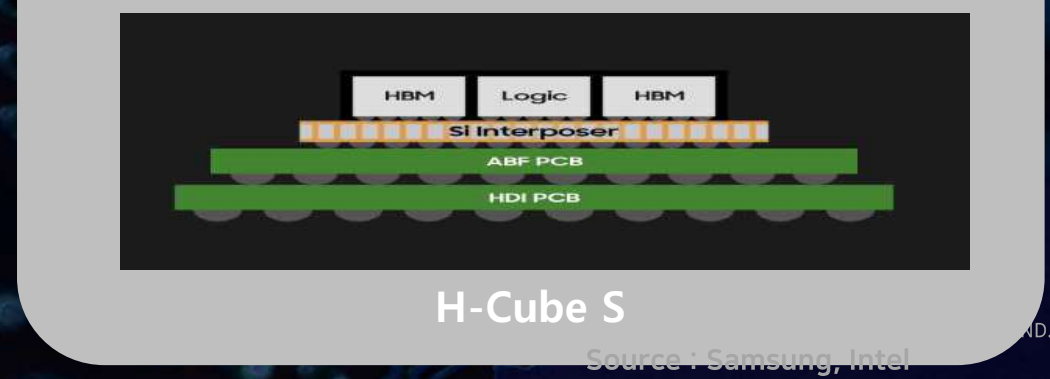
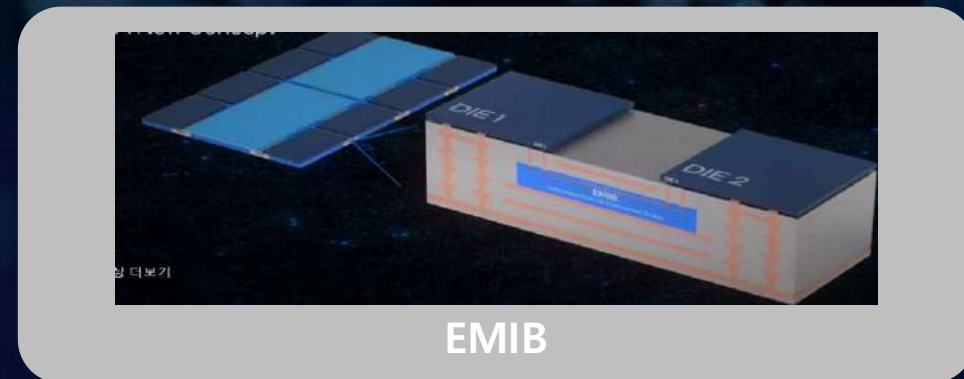
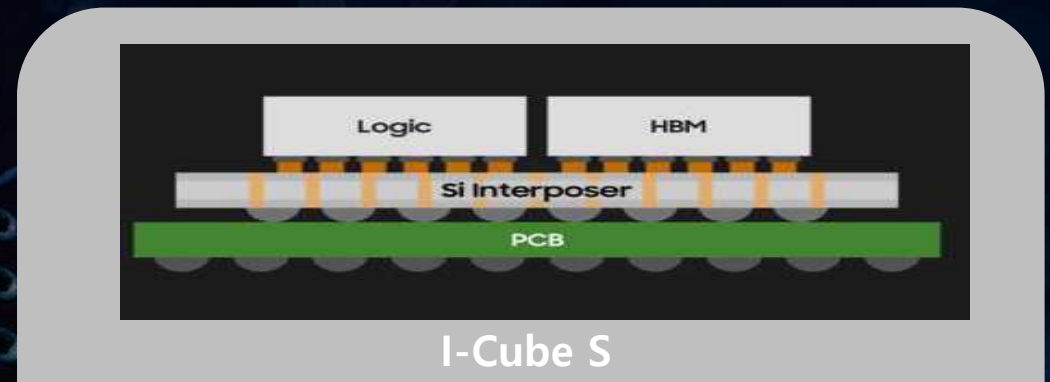
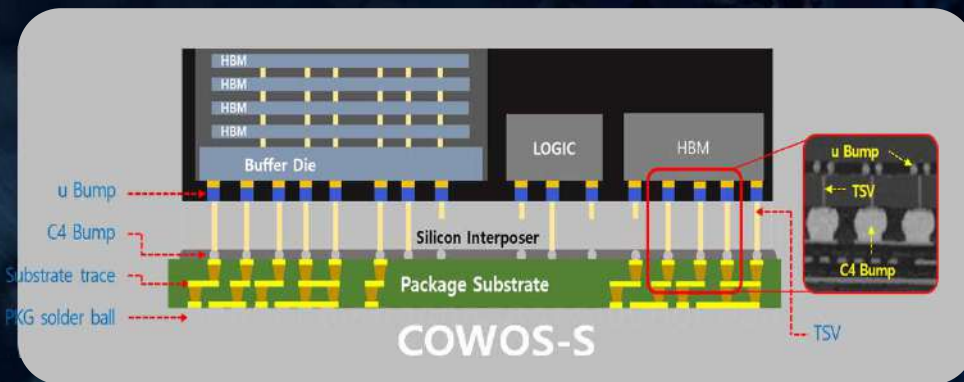
- COWOS-R : RDL 인터포저 통한 이종 Die를 연결하는 구조
- COWOS-L, I-Cube-E : PKG 기판에 내장되는 Silicon Bridge(LSI)를 통한 이종 Die를 연결하는 구조



Advanced Package Product Introduction

❖ 2.5D package (with TSV) : TSMC, Samsung, Intel

- COWOS-S, I-Cube S, POVEROS : TSV, Silicon 인터포저를 적용하여 이종 Die를 연결하는 구조

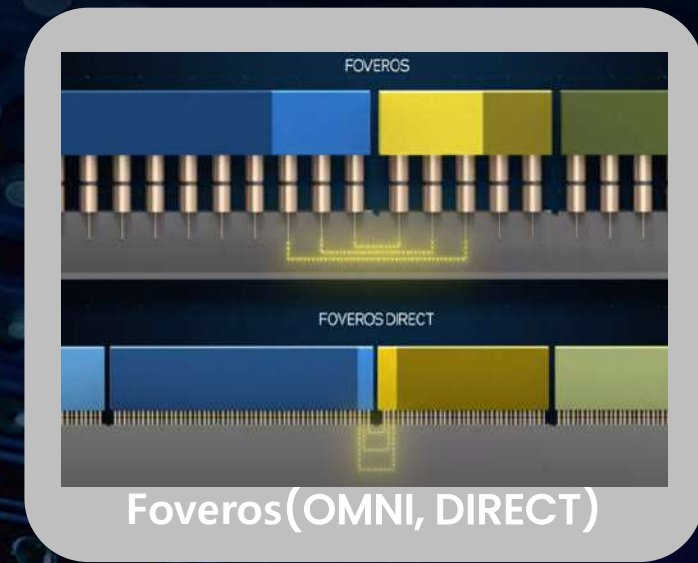
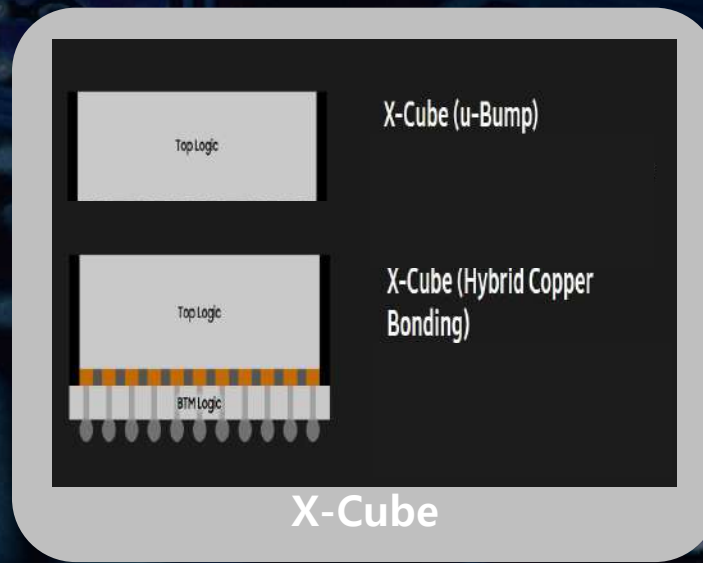
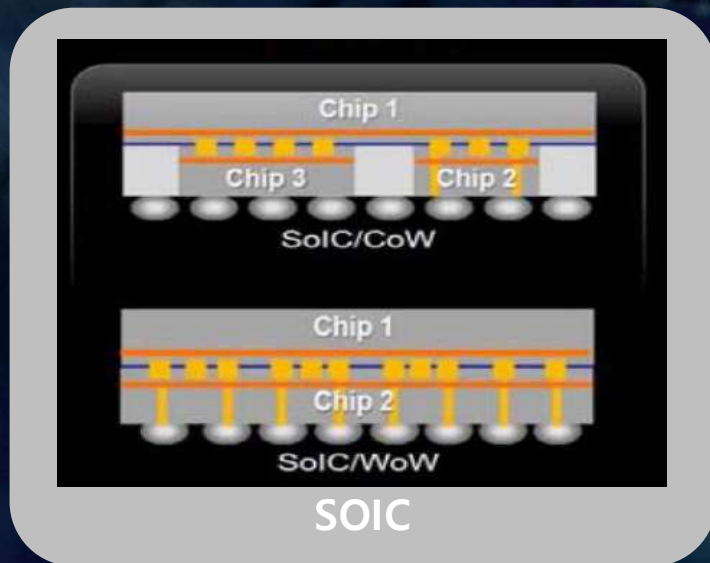


Source : Samsung, Intel

Advanced Package Product Introduction

❖ 2.5D/3D 기술 결합 package : TSMC, Samsung, Intel

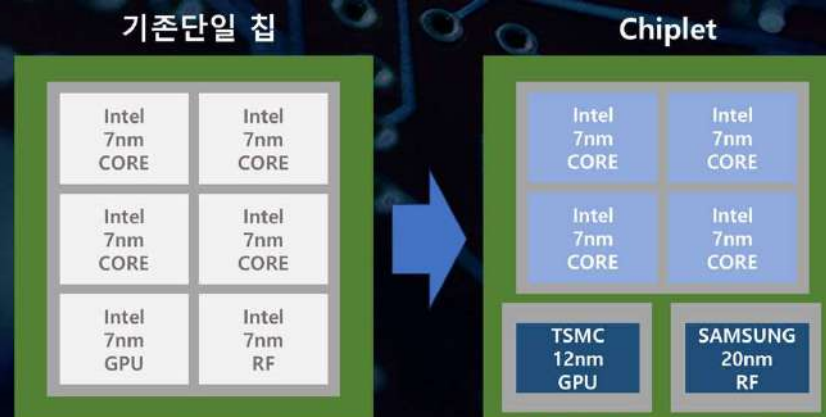
- COWOS-SOIC, I-cube X-Cube, Foveros : 전공정을 마친 웨이퍼 상태의 복수의 칩을 위로 얹게 적층해 이종 Die를 연결하는 3D 패키징



ASICLAND Chiplet Product Introduction

Chiplet package

- 앞서 말씀드린 서로 다른 기능을 수행하는 여러 반도체 (Die, Chip)을 연결하는 반도체 package 제조 기술을 칩렛이라 말합니다
이와 비슷한 개념으로 MCM (multichip module)이 있음, MCM은 하나의 단위 칩이 독립적으로 동작할 수 있도록 Chip에 모든 기능이 포함되어 있고, 칩렛은 각 칩이 단위 칩으로 동작할 수 없다는 차이가 있습니다
- 쉽게 설명하면 Monoly chip에선 Quad core를 하나의 Chip에서 4개를 다 설계하고 제조했다면, Chiplet은 Core를 1개씩 설계하고 1개씩 제조하여 양품 4개를 하나로 패키징 제조 하는 방식입니다



ASICLAND Chiplet Product Introduction



■ 장점

1. 수율 및 비용 – 칩렛의 경우 단일 칩(ex. SoC)보다 칩의 크기가 작기 때문에 웨이퍼당 다이(die)의 수가 늘어나 웨이퍼의 수율이 높아지고 그만큼 제조 비용을 절감.
2. 개발의 효율성 – 단일 칩의 경우 성능을 개선하기 위해서는 칩 전체를 설계 필요.
칩렛의 경우 성능 개선이 필요한 칩만 개별적으로 업그레이드 가능, 개발 기간 축소 효율을 극대화.
3. 개발의 집중화 – 칩렛의 경우 각 기업 들은 자신들이 주력으로 하고 있는 칩을 보다 집중적으로 생산
그 이외의 칩들은 다른 업체로부터 공수하여 칩렛을 제작.
4. 주문 제작에 용이 – 칩렛은 연산, 메모리, 입출력, 전력 등 사용처에 따라 필요한 칩으로 조합만 하면
되기 때문에 개발 기간이 짧아 맞춤형 주문 제작에 적합.

ASICLAND Chiplet Product Introduction

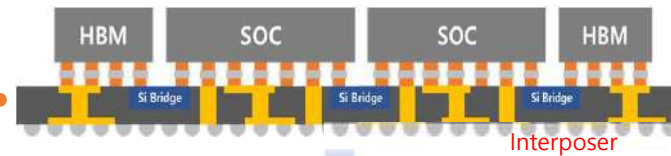


ASICLAND Chiplet package

ASICLAND는 하나의 interposer에 여러 개의 칩이 부착되어 있으며 Bridge die 를 통해 D2D 통신을 하는 2.5D 칩렛 패키지를 개발 진행 중. (Chip 12ea)

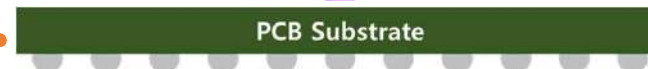
• CoW (with Si bridge)

interposer를 사용하여 서로 다른 칩을 수평으로 통합.



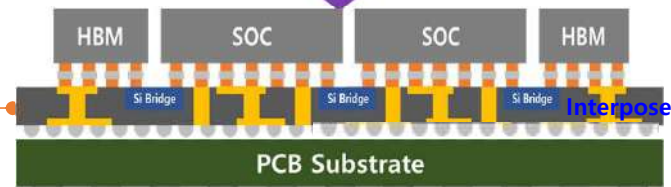
• oS

SI 브리지를 포함하는 인터포저를 접합하기 위한 유기 기판.

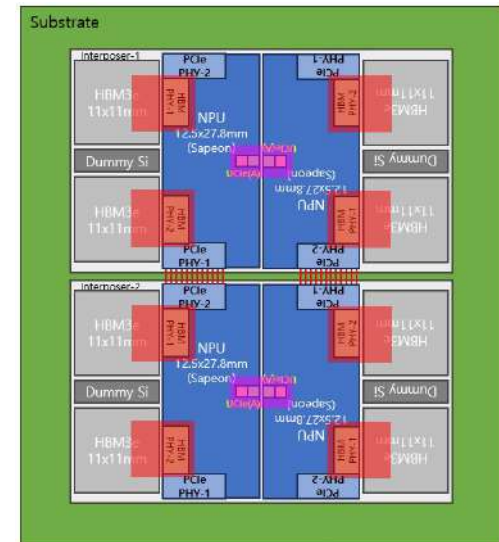


• Chiplet(CoW + oS)

기판을 여러 개의 작은 칩이 있는 인터포저와 통합하여 구현.



- Die-to-Die connection (RDL interposer with Si bridge) : UCle spec, PCIe
- RDL interposer to Substrate connection : C4 bump.





ASICLAND, that pursues constant innovation and leads the world through a global network, is your value-up partner in the system semiconductor industry.

309, 60 Daehak-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, 16226, Republic of Korea (Leeui-dong, Rich Plaza no.3)
Tel. +82.31.212.1984 Fax. +82.31.212.1984 E-mail. asicland@asicland.com Home. www.asicland.com