

— Ansys Electronics Enterprise 활용 Chip layout SI modeling

최신 시뮬레이션 기법

박유순 매니저 | 태성에스엔이

Contents

1. 전기적 손실 줄이기 기초이론
2. Silicon Interposer 분석시 주의사항
3. Simple Silicon Interposer 분석
4. 결론

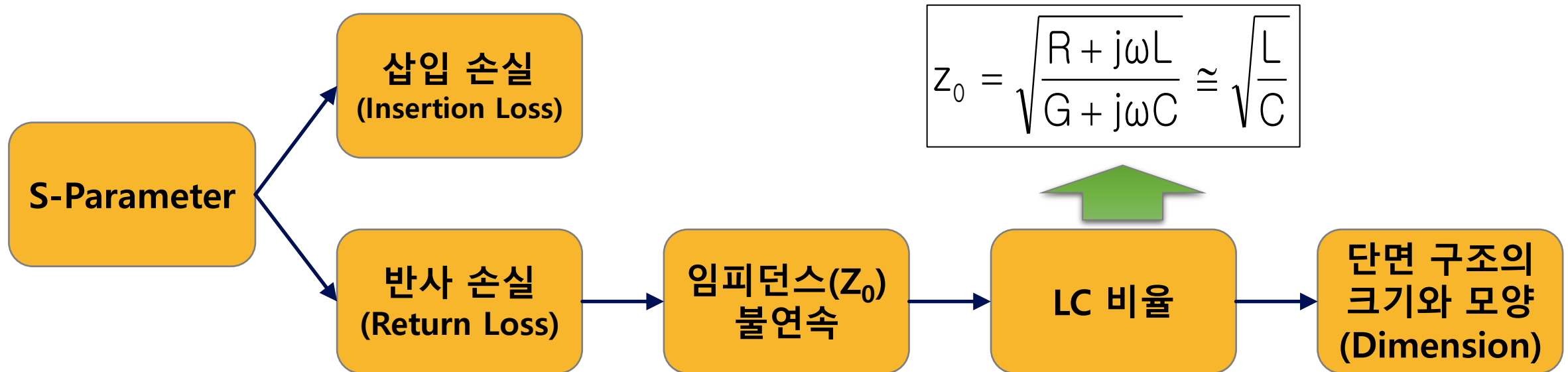


전기적 손실 줄이기 기초이론

손실을 최소화 하려면?

• 손실의 발생 원인

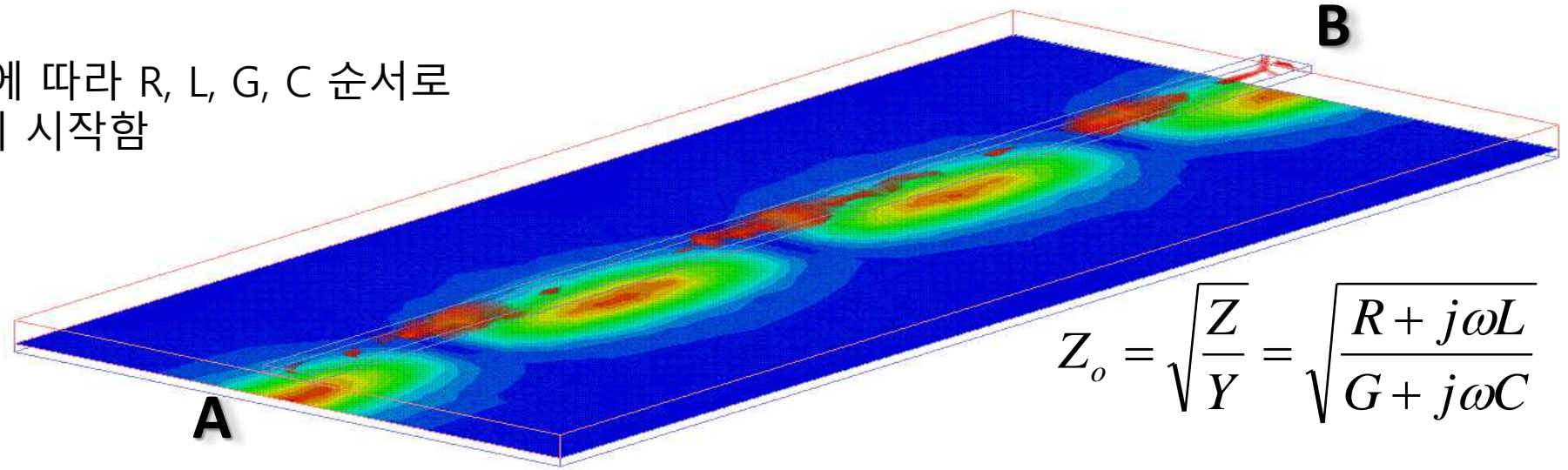
- 임피던스 불연속에 의한 반사파 발생 -> 반사손실 증가
- 임피던스를 구성하는 수식에는 두 종류가 있으며 R과G를 무시할 수 있을 만큼 충분히 작을 때 LC 만의 값으로 Z_0 를 표현 할 수 있음
- 구조체의 크기와 모양으로 특성임피던스(Z_0)가 결정되며 임피던스 매칭을 통해 반사파를 줄일 수 있음



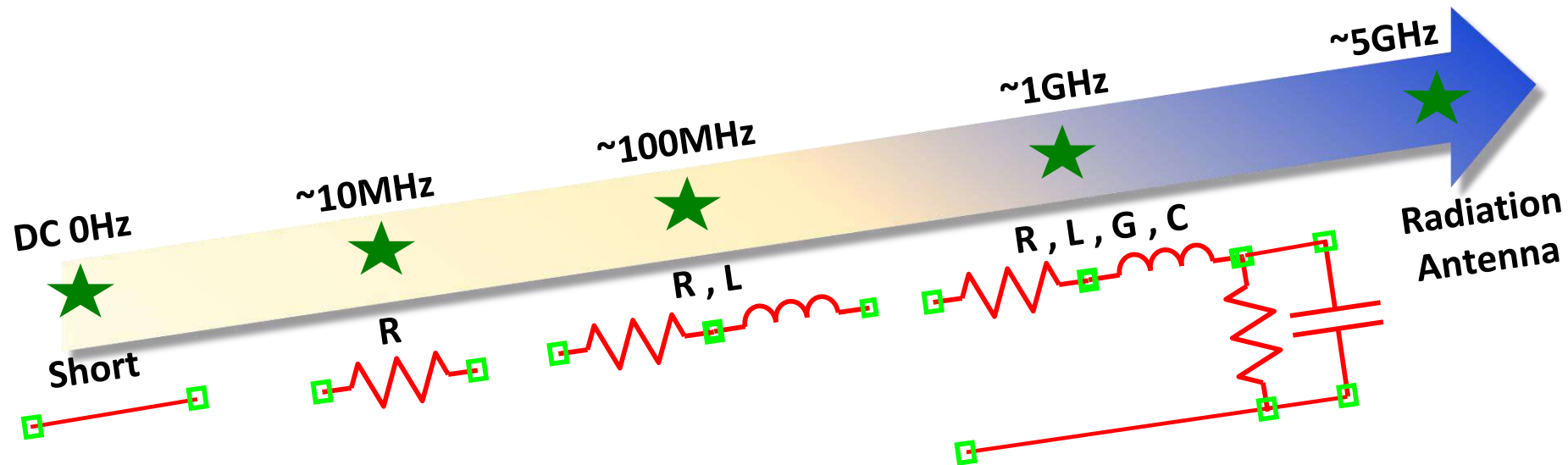
기생성분 발생 매커니즘

• 전송선 등가회로

- 주파수가 증가함에 따라 R, L, G, C 순서로 기생성분이 보이기 시작함



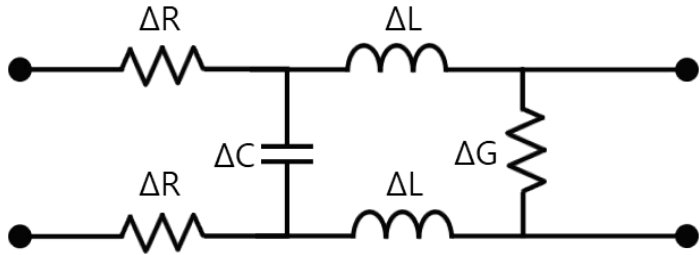
$$Z_o = \sqrt{\frac{Z}{Y}} = \sqrt{\frac{R + j\omega L}{G + j\omega C}}$$



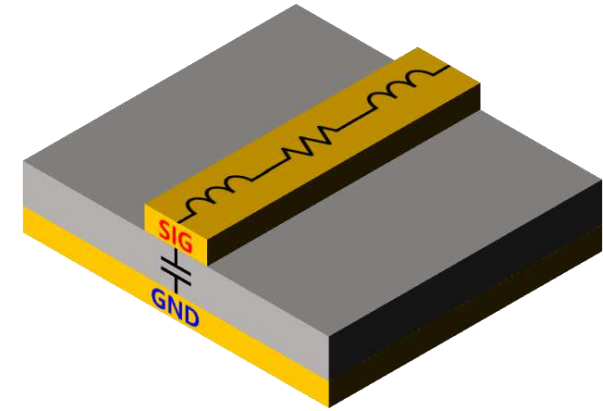
기생성분의 구성 이론

• 특성 임피던스

▪ Lossy Line :

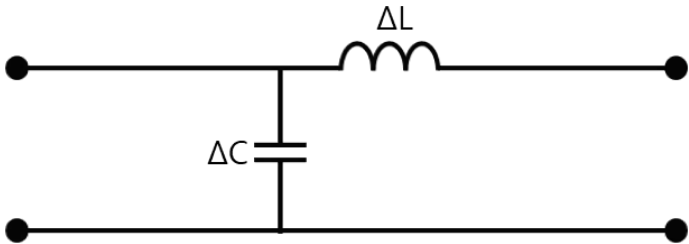


$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}}$$

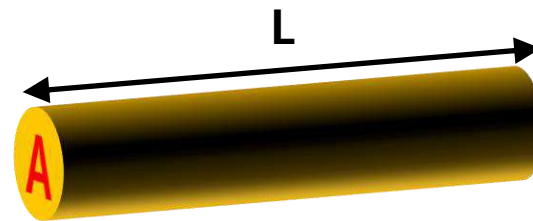


Microstrip과 기생성분

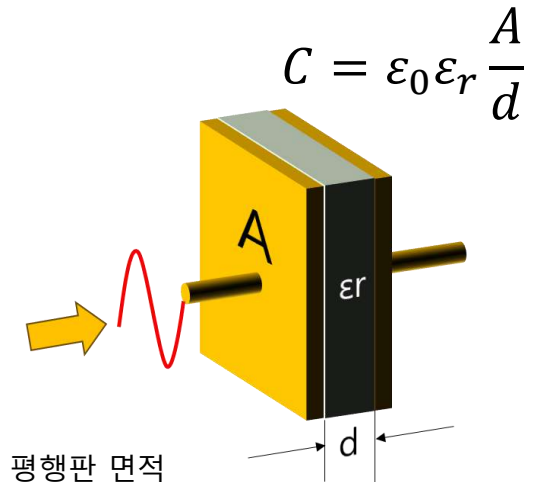
▪ Lossless line : ($R \approx 0, G \approx 0$)



$$Z_0 = \sqrt{\frac{L}{C}}$$



$$R = \rho \frac{L}{A}$$



$$C = \epsilon_0 \epsilon_r \frac{A}{d}$$

A = 평행판 면적
 d = 두 평행 도체 판 사이 거리
 ϵ_0 = 자유공간의 유전율
 ϵ_r = 유전체의 비유전율



Silicon Interposer 분석시 주의사항

Impedance Calculator VS 2D Extractor

특성 임피던스 계산기

- 100um의 패턴폭에서는 정확하게 일치하며 2um 패턴폭에서는 결과 차이 발생

Microstrip Impedance Calculator

Inputs

- Trace Thickness: 50 um
- Substrate Height: 65 um
- Trace Width: 100 um
- Substrate Dielectric: 4.3

Output

Impedance (Z): 50.1 **50.1** Ohms

100um 패턴폭 임피던스 계산기 결과



Characteristic Impedance Table Ansys 2024 R1

	Freq [GHz]	mag(Z0(Sig,Sig)) Dielec='65um' Sig_W='100um'
1	1.000000	50.535692

100um 패턴 2D Extractor 해석 결과

Microstrip Impedance Calculator

Inputs

- Trace Thickness: 1 um
- Substrate Height: 0.5 um
- Trace Width: 2 um
- Substrate Dielectric: 4.3

Output

Impedance (Z): 27.4 **27.4** Ohms

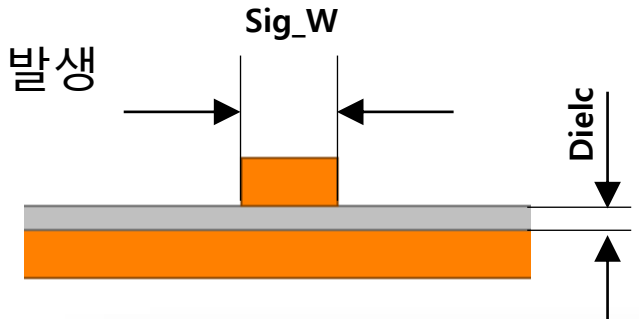
2um 패턴폭 임피던스 계산기 결과



Characteristic Impedance Table Ansys 2024 R1

	Freq [GHz]	mag(Z0(Sig,Sig)) Dielec='0.5um' Sig_W='2um'
1	1.000000	85.415776

2um 패턴 2D Extractor 해석 결과



Equations

$$Z_0 = \frac{\eta_0}{2\pi\sqrt{2\sqrt{\epsilon_r + 1}}} \ln \left(1 + 4 \left(\frac{H}{W_{eff}} \right) (X_1 + X_2) \right)$$

Where:

$$W_{eff} = W + \left(\frac{T}{\pi} \right) \ln \left\{ \frac{4e}{\sqrt{\left(\frac{T}{H} \right)^2 + \left(\frac{T}{W_{\pi+1.17\pi}} \right)^2}} \right\} \frac{\epsilon_r + 1}{2\epsilon_r}$$

$$X_1 = 4 \left(\frac{14\epsilon_r + 8}{11\epsilon_r} \right) \left(\frac{H}{W_{eff}} \right)$$

$$X_2 = \sqrt{16 \left(\frac{H}{W_{eff}} \right)^2 \left(\frac{14\epsilon_r + 8}{11\epsilon_r} \right)^2 + \left(\frac{\epsilon_r + 1}{2\epsilon_r} \right) \pi^2}$$

Z_0 = characteristic impedance of the microstrip in ohms (Ω).

H = substrate height

W = trace width

T = trace thickness

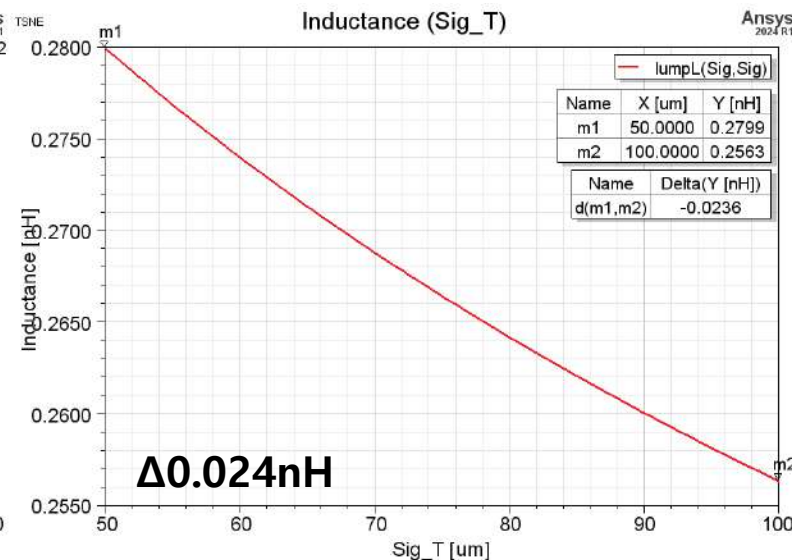
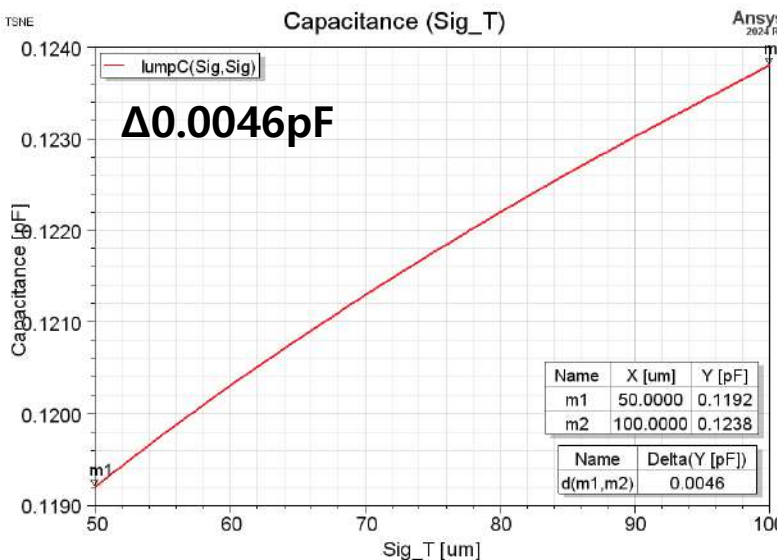
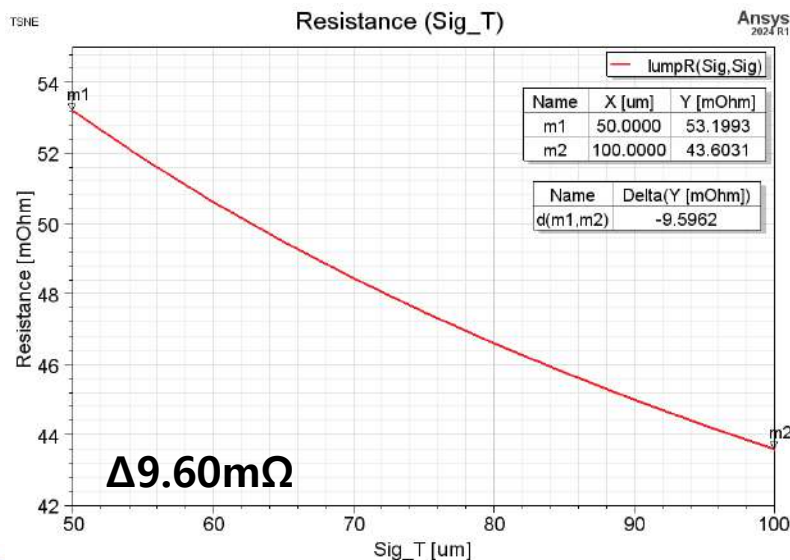
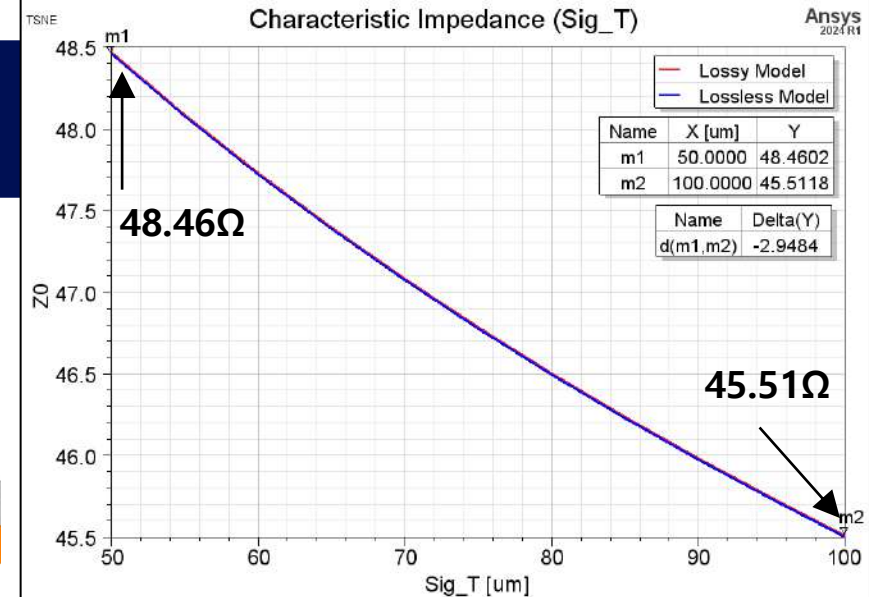
ϵ_r = substrate dielectric

<https://www.allaboutcircuits.com/tools/microstrip-impedance-calculator/>

신호선 두께에 따른 결과 비교 (Large Size)

• 특성임피던스

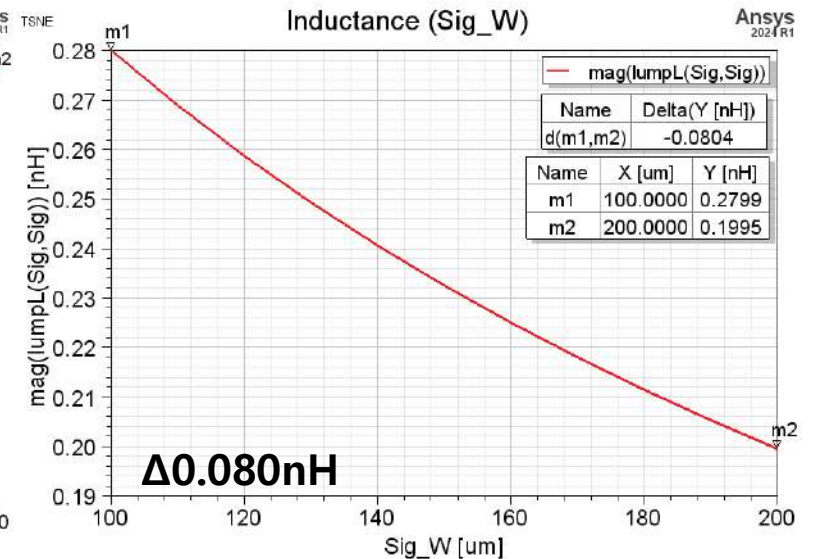
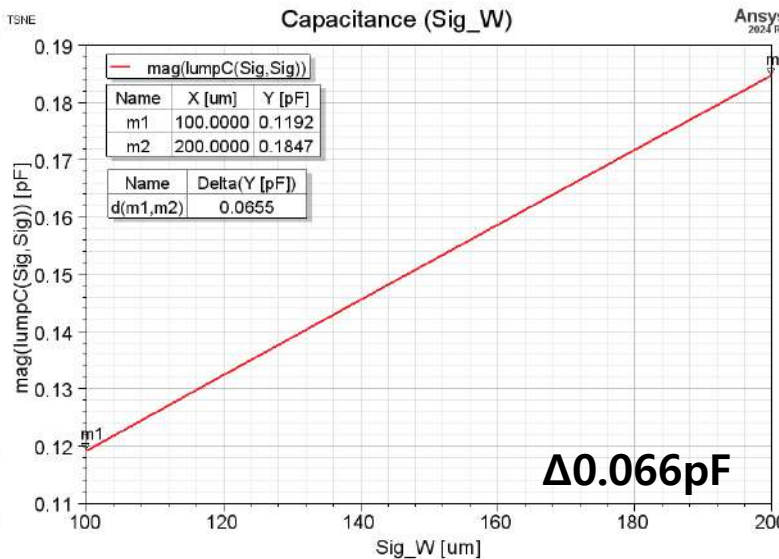
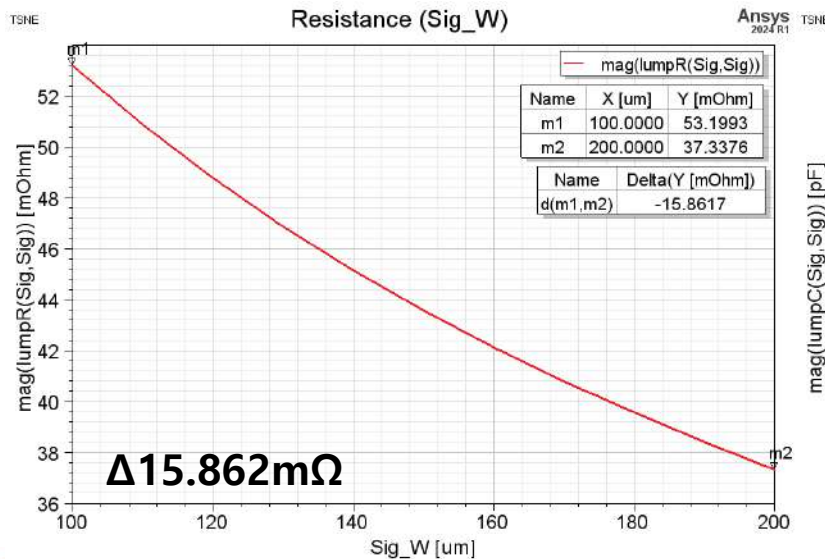
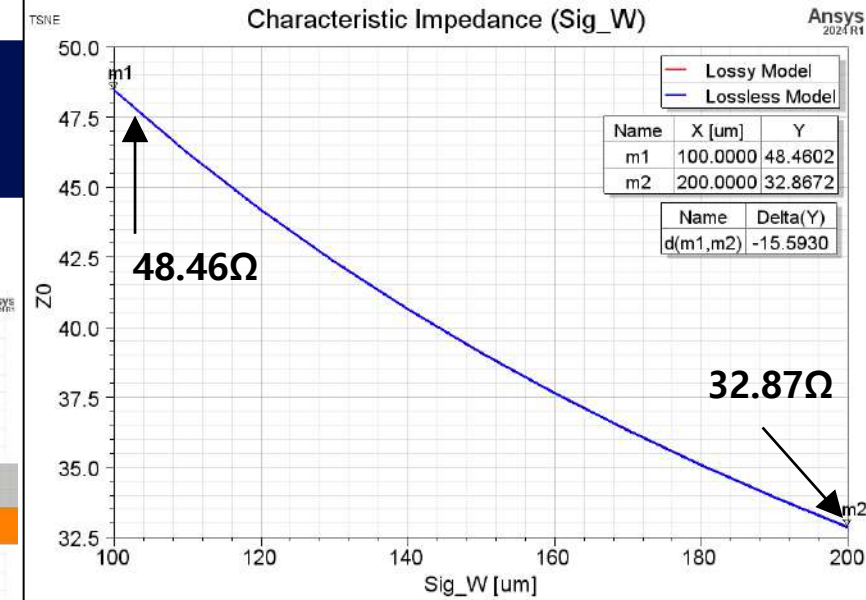
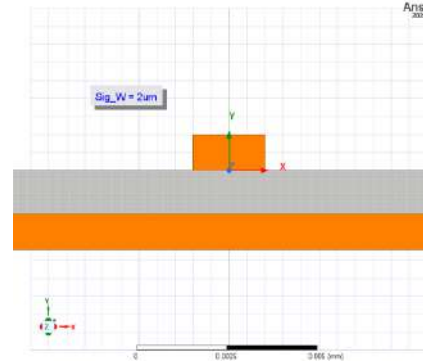
- 신호선의 두께를 50~100um까지 변화를 주며 1GHz에서 기생성분 결과 비교
- Lossy Model**과 **Lossless Model**에 차이 없음 ($Z_0 \approx \sqrt{L/C}$ 사용 가능)
- 신호선의 두께에 따라 최대 $\Delta Z_0 = 2.95\Omega$



신호선 선폭에 따른 결과 비교 (Large Size)

• 특성임피던스

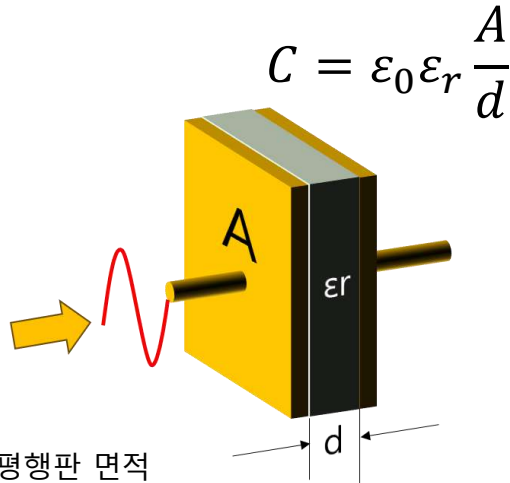
- 신호선의 선폭을 100~200um 까지 변화를 주며 1GHz에서 기생성분 결과 비교
- Lossy Model**과 **Lossless Model**에 차이 없음 ($Z_0 \approx \sqrt{L/C}$ 사용 가능)
- 신호선의 선폭에 따라 최대 $\Delta Z_0 = 15.59\Omega$



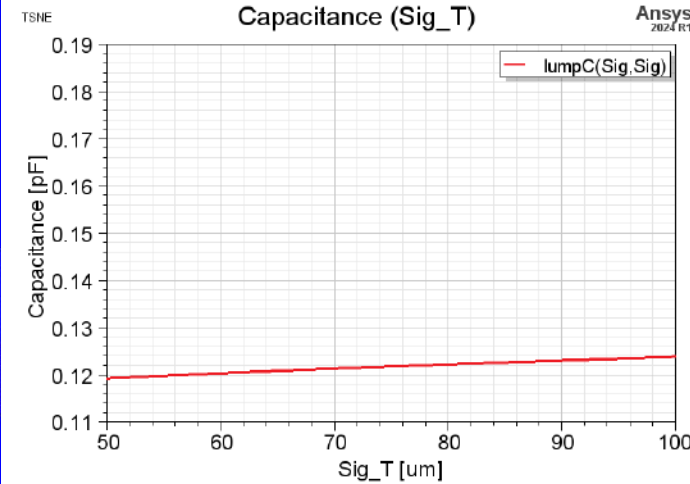
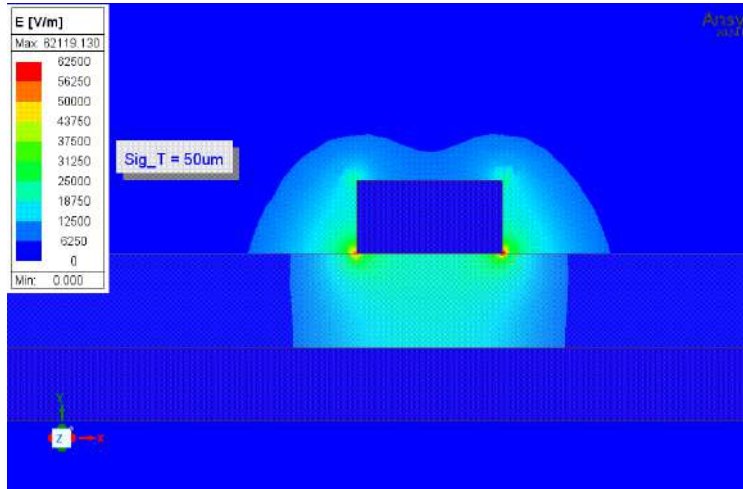
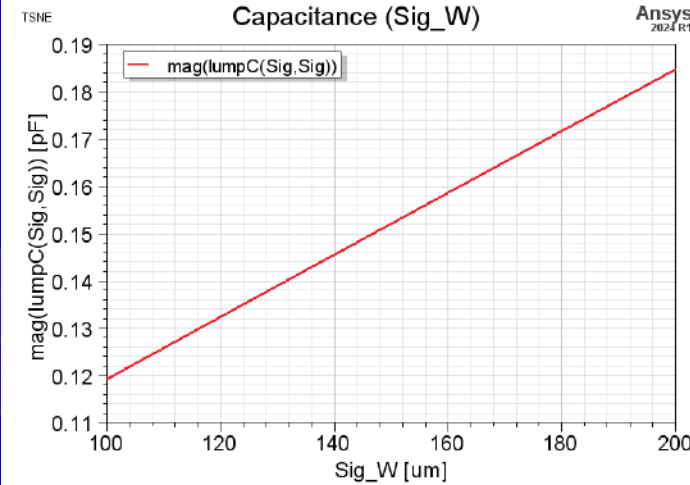
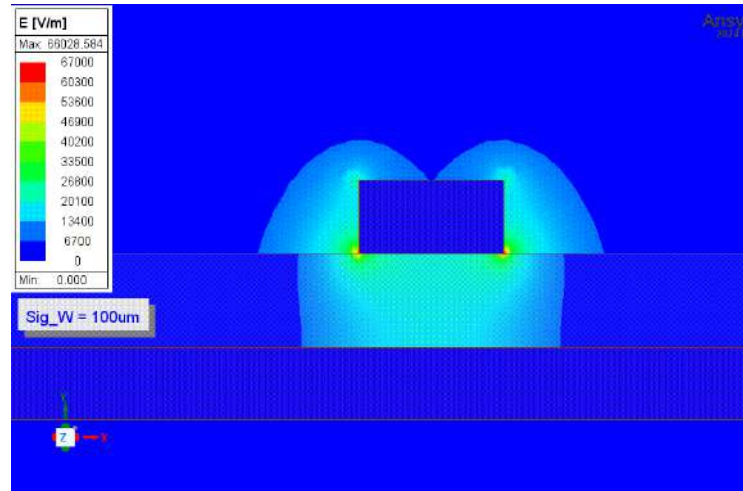
도체 면적에 따른 Capacitance 변화 분석

• Capacitance

- 도체간 서로 마주보는 면적에 따라서 Capacitance 변화 발생
- 마주 보는 면적에 따라 E-Field 변화 발생
- 신호선의 두께 변화로는 유의미한 E-Field 분포 변화를 주지 못함



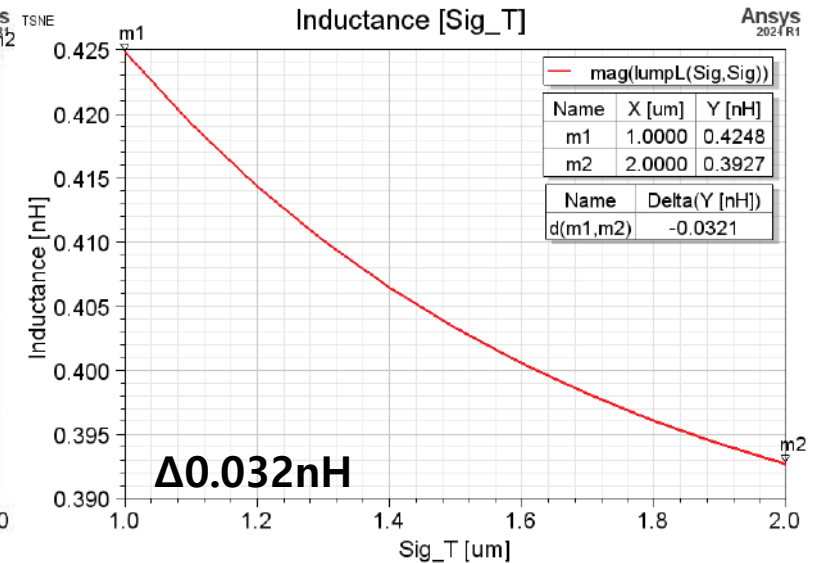
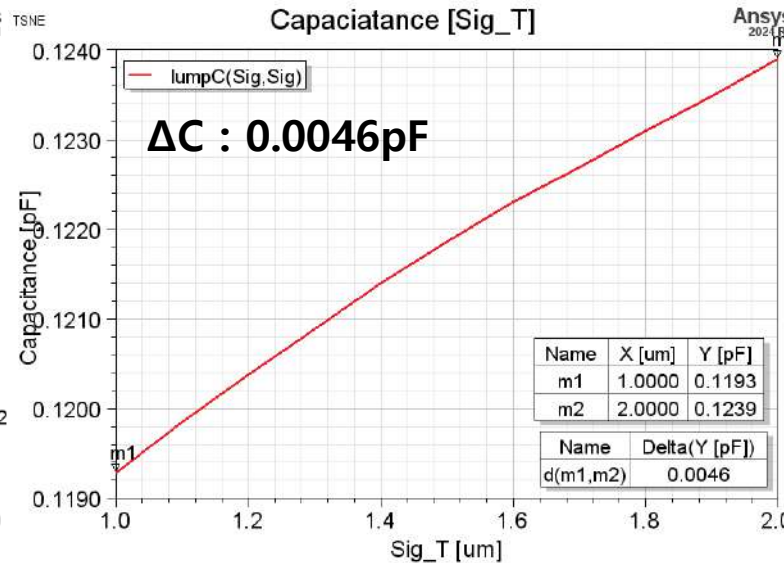
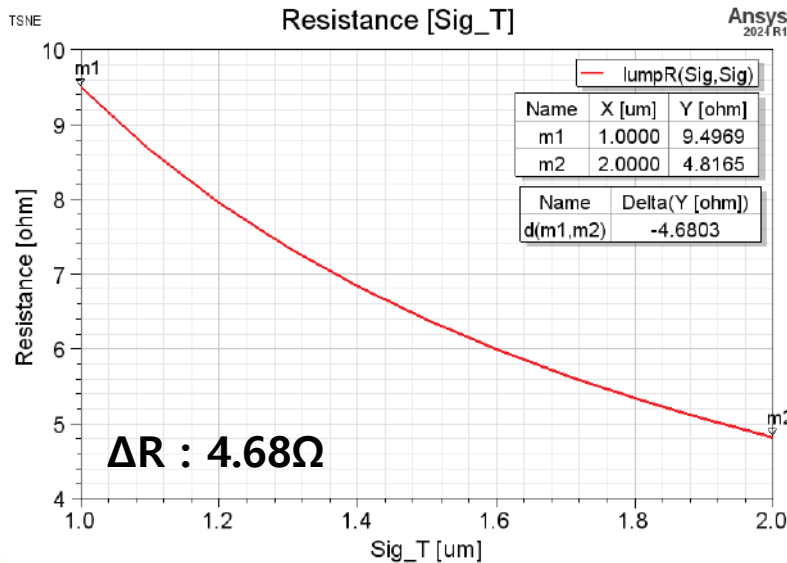
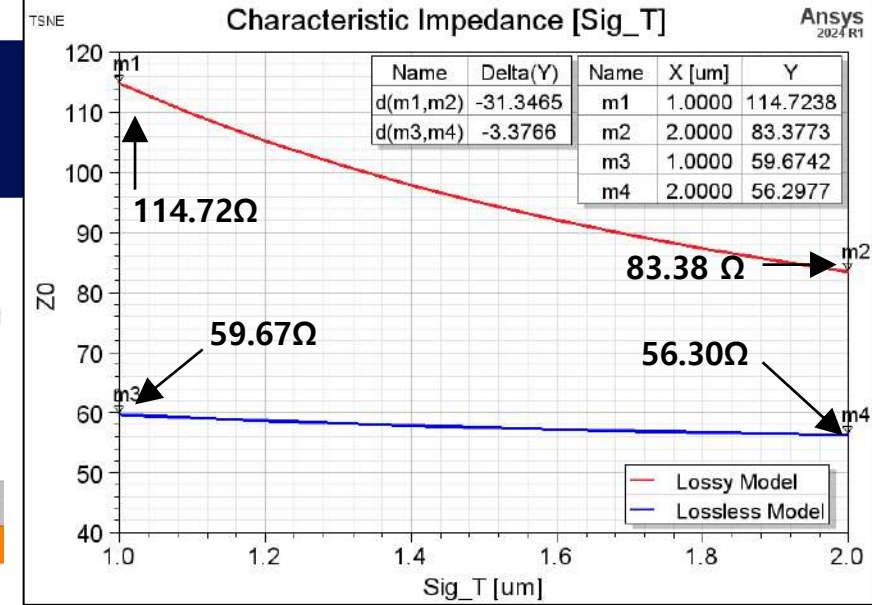
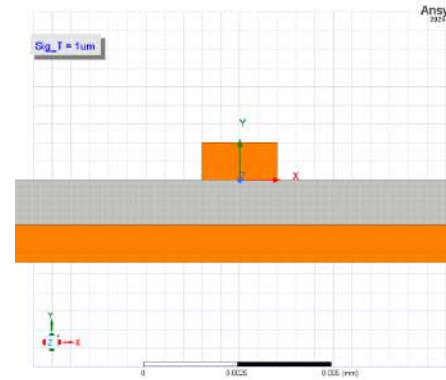
A = 평행판 면적
 d = 두 평행 도체 판 사이 거리
 ϵ_0 = 자유공간의 유전율
 ϵ_r = 유전체의 비유전율



신호선 두께에 따른 결과 비교 (Small Size)

• 특성임피던스

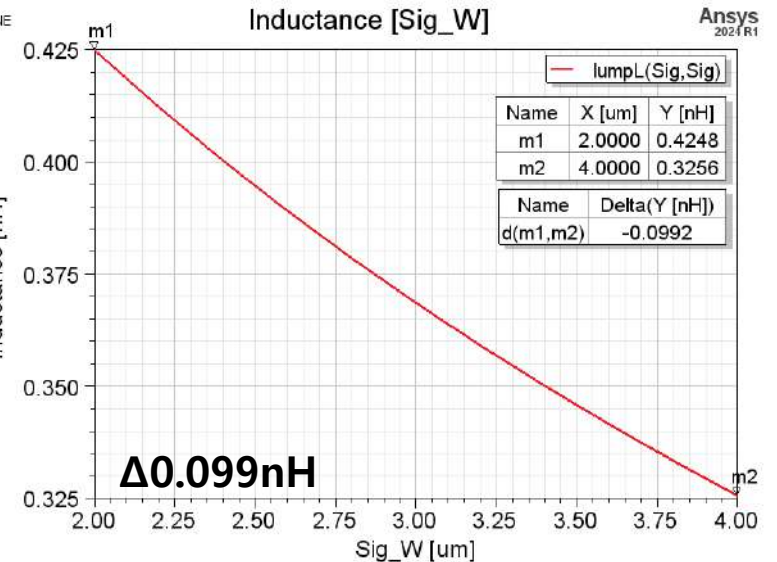
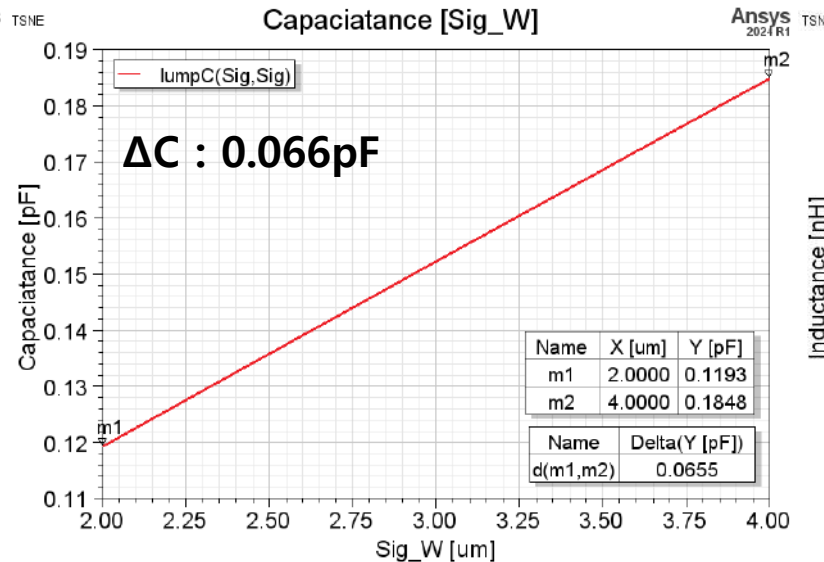
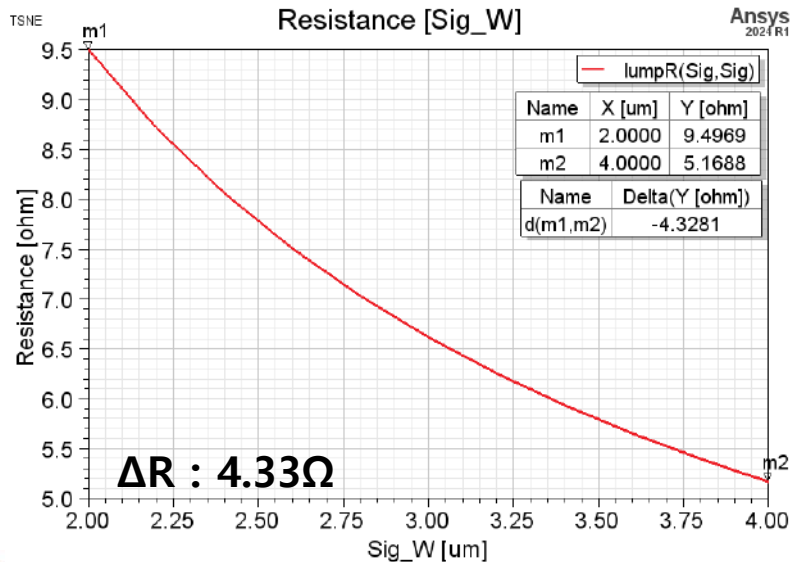
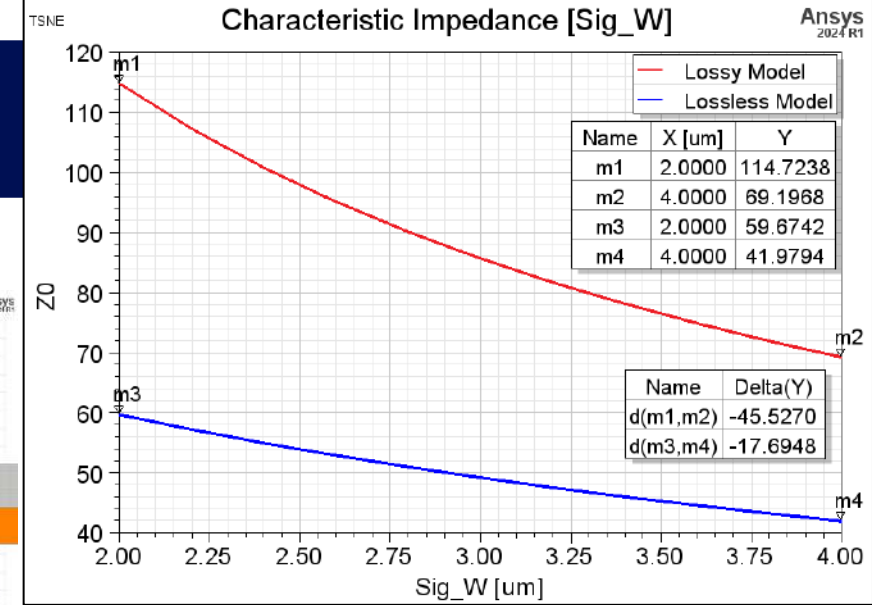
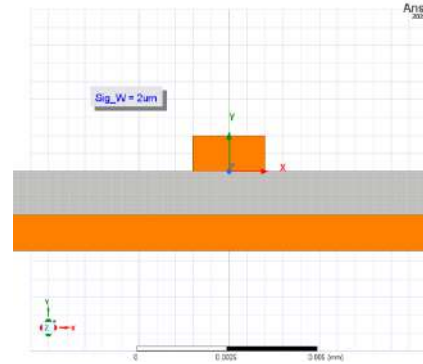
- 신호선의 두께를 1~2um까지 변화를 주며 1GHz에서 기생성분 결과 비교
- Lossy Model과 Lossless Model에 차이 발생 ($Z_0 \approx \sqrt{L/c}$ 사용 불가)
- 두께 변화에 따라
Lossy Model : $\Delta Z_0 = 31.35\Omega$
Lossless Model : $\Delta Z_0 = 3.38\Omega$



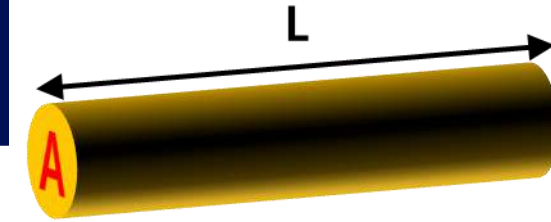
신호선 선폭에 따른 결과 비교 (Small Size)

• 특성임피던스

- 신호선의 선폭을 2~4um까지 변화를 주며 1GHz에서 기생성분 결과 비교
- Lossy Model과 Lossless Model에 차이 발생 ($Z_0 \approx \sqrt{L/C}$ 사용 불가)
- 선폭 변화에 따라
Lossy Model : $\Delta Z_0 = 45.53\Omega$
Lossless Model : $\Delta Z_0 = 17.69\Omega$



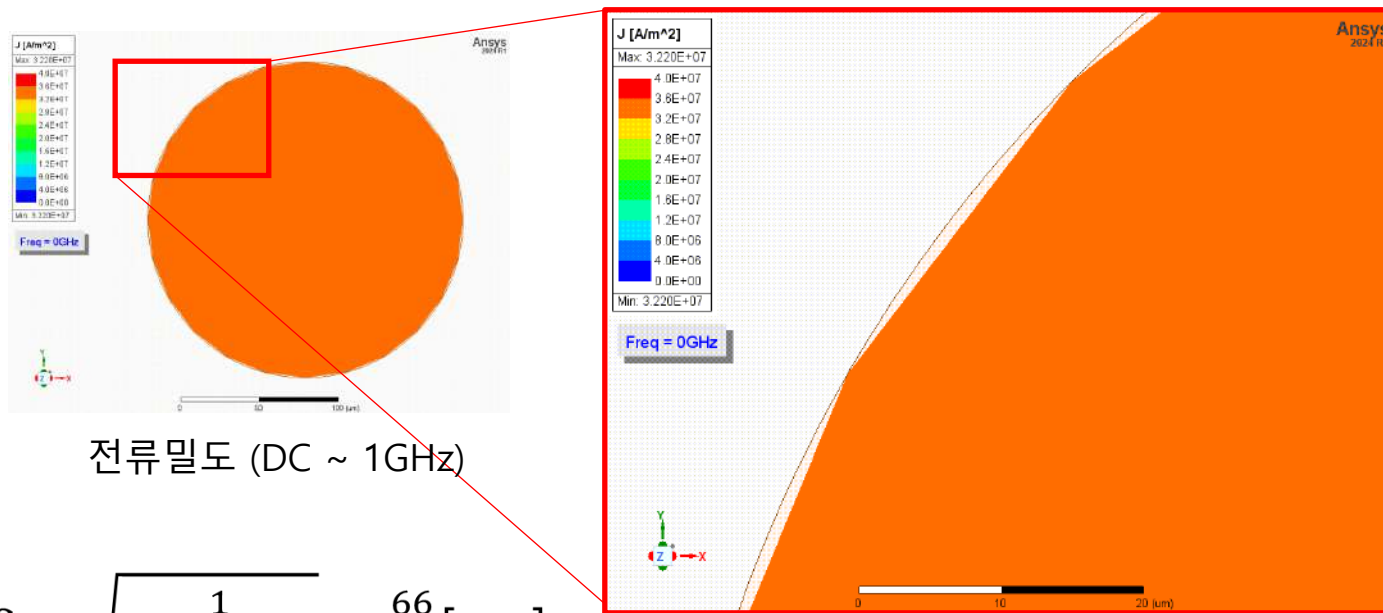
표피효과 (Skin Effect)



$$R = \rho \frac{L}{A}$$

표피효과

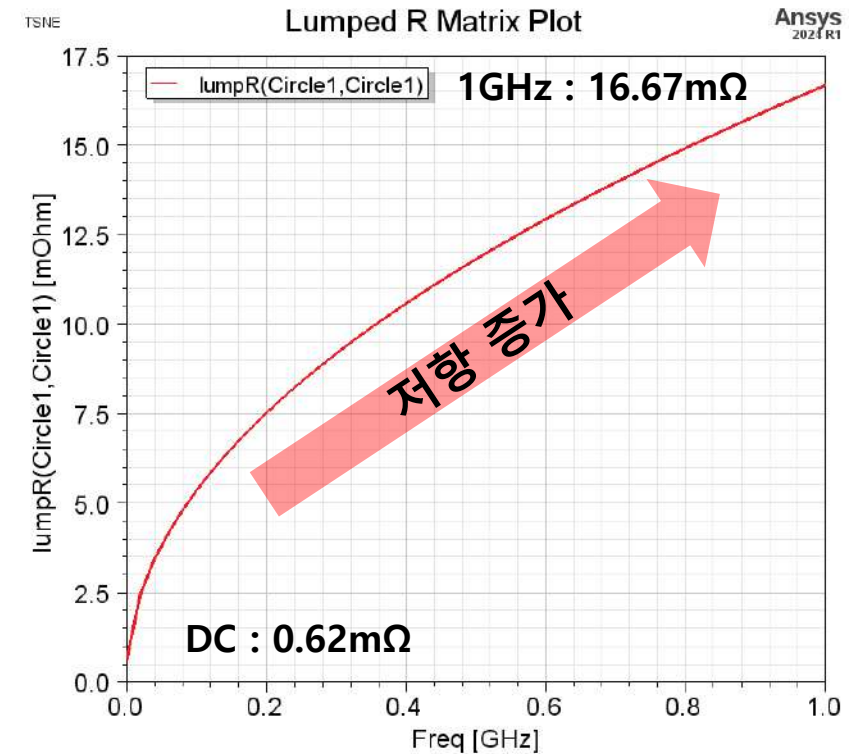
- 표피효과는 주파수가 높아 질수록 도체의 표면으로 전류가 흐르는 현상을 의미
- 중심에서 벗어날수록 exp하게 전류밀도가 증가
- 전류가 흐르는 표면 전류에 대해 1/e(약 0.37배)로 감소하는 표면 깊이 Skin Depth(δ)라 함
- 전류가 흐르는 면적이 감소하면서 저항 증가



전류밀도 (DC ~ 1GHz)

Copper Skindepth @1GHz : 2.06um

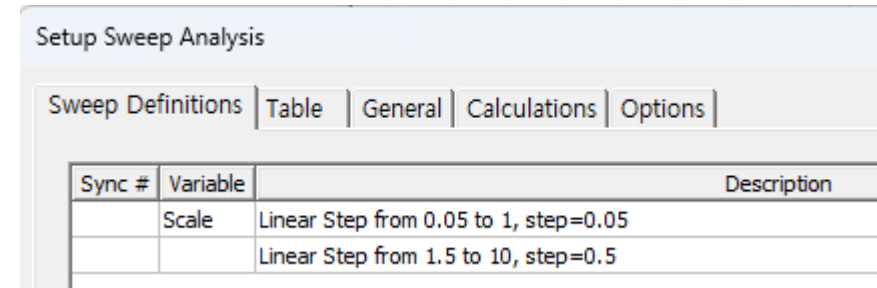
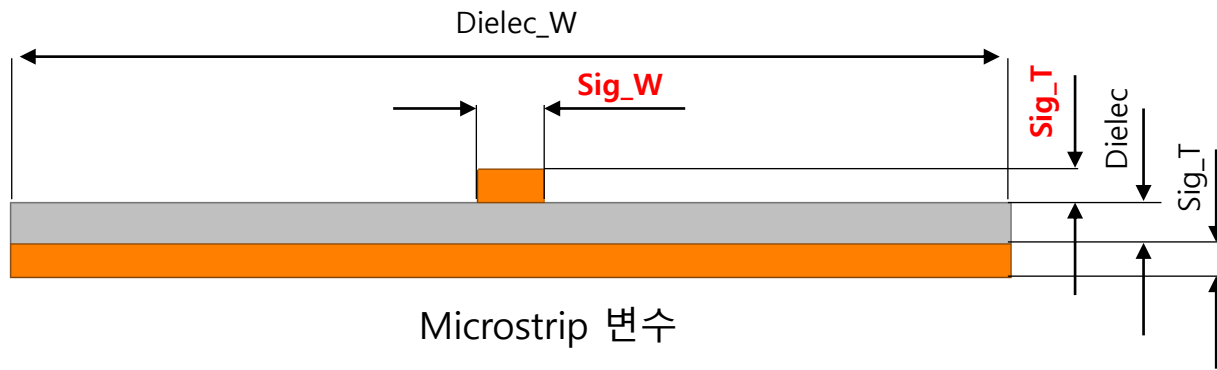
$$\delta = \sqrt{\frac{1}{\pi \cdot f \cdot \sigma \cdot \mu_0 \mu_r}} = \frac{66}{\sqrt{f}} [\mu\text{m}]$$



Scale 변화에 따른 결과 분석

• Scale Test

- 각 변수값에 *Scale을 입력 후 Scale = 0.05 ~ 10까지 해석



Parameter Setup 조건

Name	Value	Unit	Evaluated V...
Sig_T	50um*Scale		50um
Scale	1		1
Sig_W	100um*Scale		100um
Dielec_W	1500um*Scale		1500um
Dielec	60um*Scale		60um

2D Extractor Design Properties

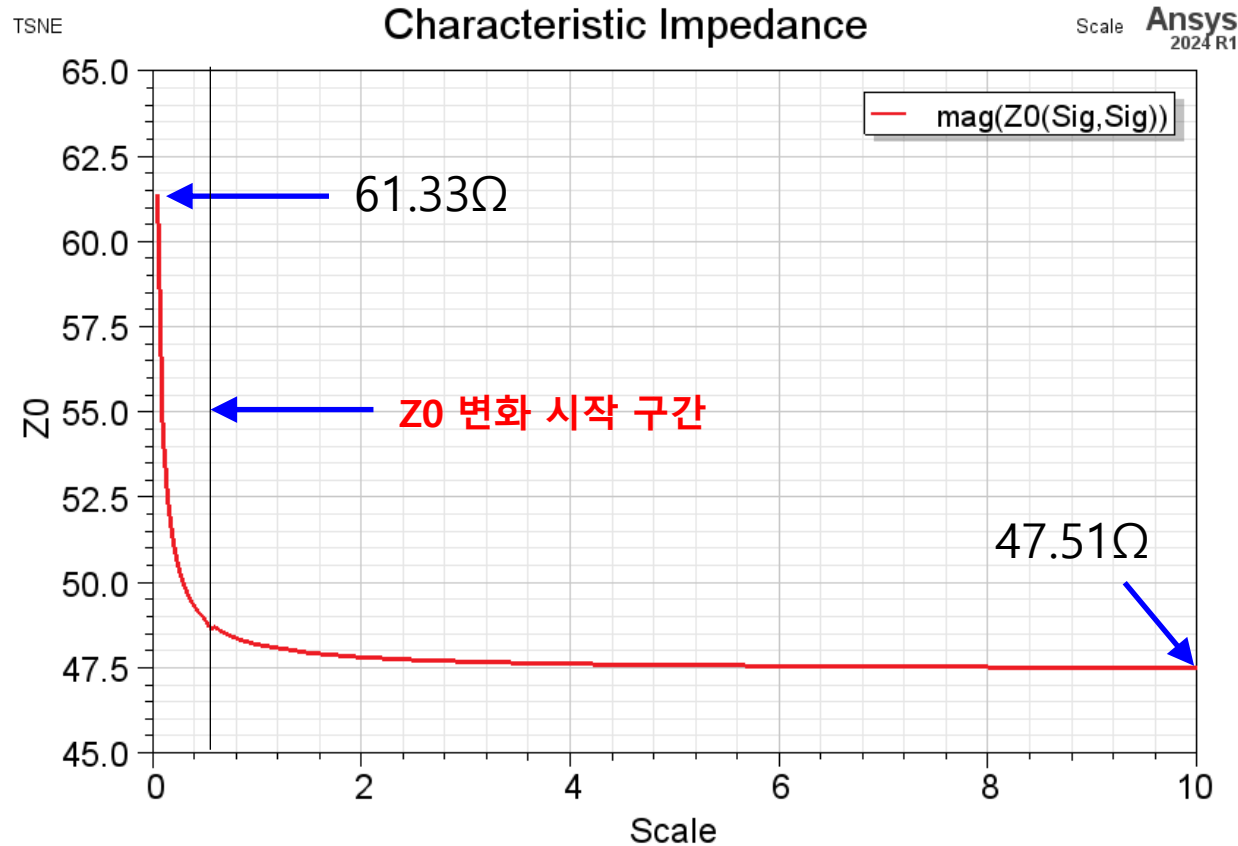


Scale Parameter

Scale 변화에 따른 결과 분석

• Scale Test 결과

- 선폭 50um/ 두께 25um 이하 부터 급격한 Impedance 변화 (단, 해당 결과는 1GHz 기준)

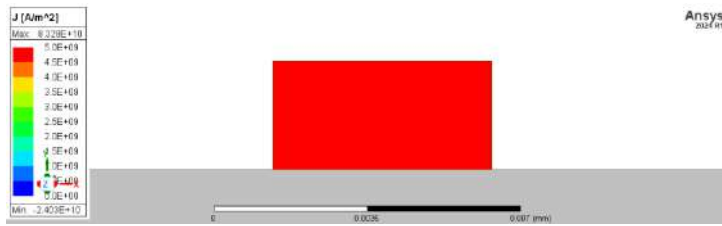


Scale	Sig_T [um]	Sig_W [um]	Dielec_W [um]	Dielec [um]	Z0 [Ω]
0.05	2.5	5	75	3	61.33
0.1	5	10	150	6	54.42
0.15	7.5	15	225	9	52.36
0.2	10	20	300	12	51.19
0.25	12.5	25	375	15	50.44
0.3	15	30	450	18	49.94
0.35	17.5	35	525	21	49.58
0.4	20	40	600	24	49.31
0.45	22.5	45	675	27	49.10
0.5	25	50	750	30	48.94
0.55	27.5	55	825	33	48.67
0.6	30	60	900	36	48.69
0.65	32.5	65	975	39	48.59
0.7	35	70	1050	42	48.51
0.75	37.5	75	1125	45	48.44
0.8	40	80	1200	48	48.38
0.85	42.5	85	1275	51	48.32
0.9	45	90	1350	54	48.27
0.95	47.5	95	1425	57	48.23
1	50	100	1500	60	48.19
1.5	75	150	2250	90	47.94
~	~	~	~	~	~
9.5	475	950	14250	570	47.51
10	500	1000	15000	600	47.51

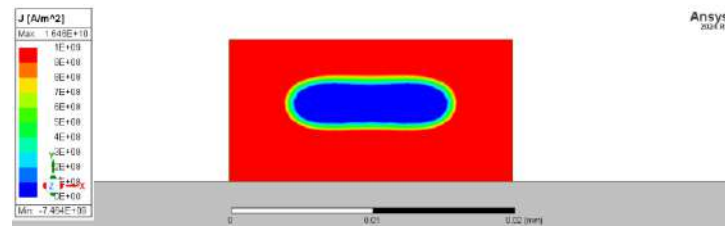
Scale 변화에 따른 결과 분석

• 전류밀도 분석

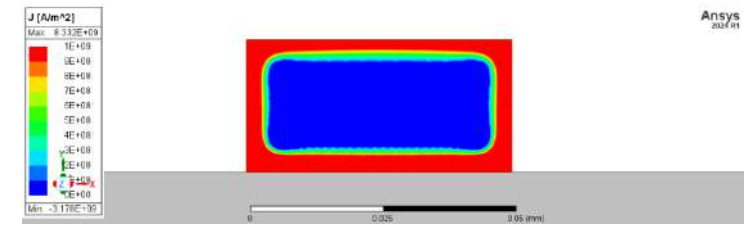
- 선로의 폭/높이에 따른 전류 밀도 차이 비교 (폭/높이)



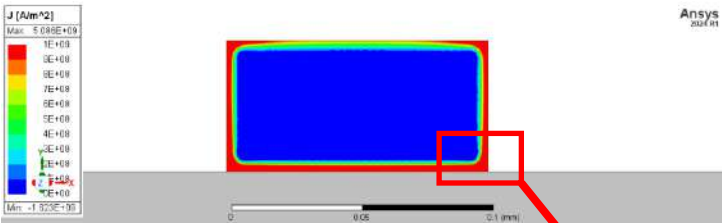
5um/ 2.5um



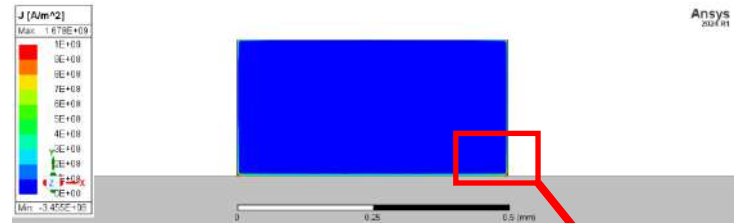
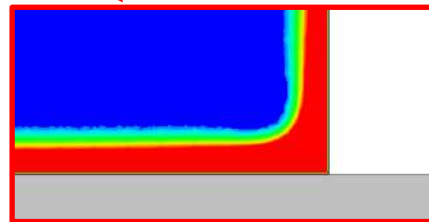
20um/ 10um



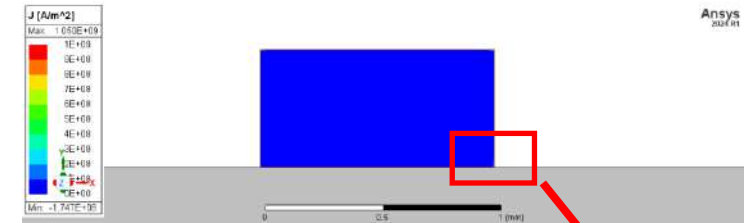
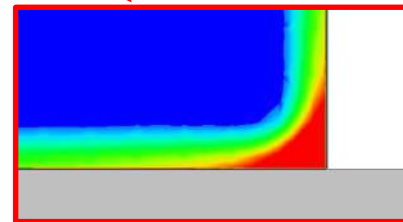
50um/ 25um



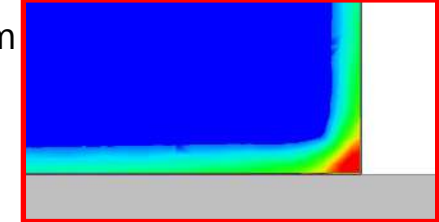
100um/ 50um



500um/ 250um




1000um/ 500um

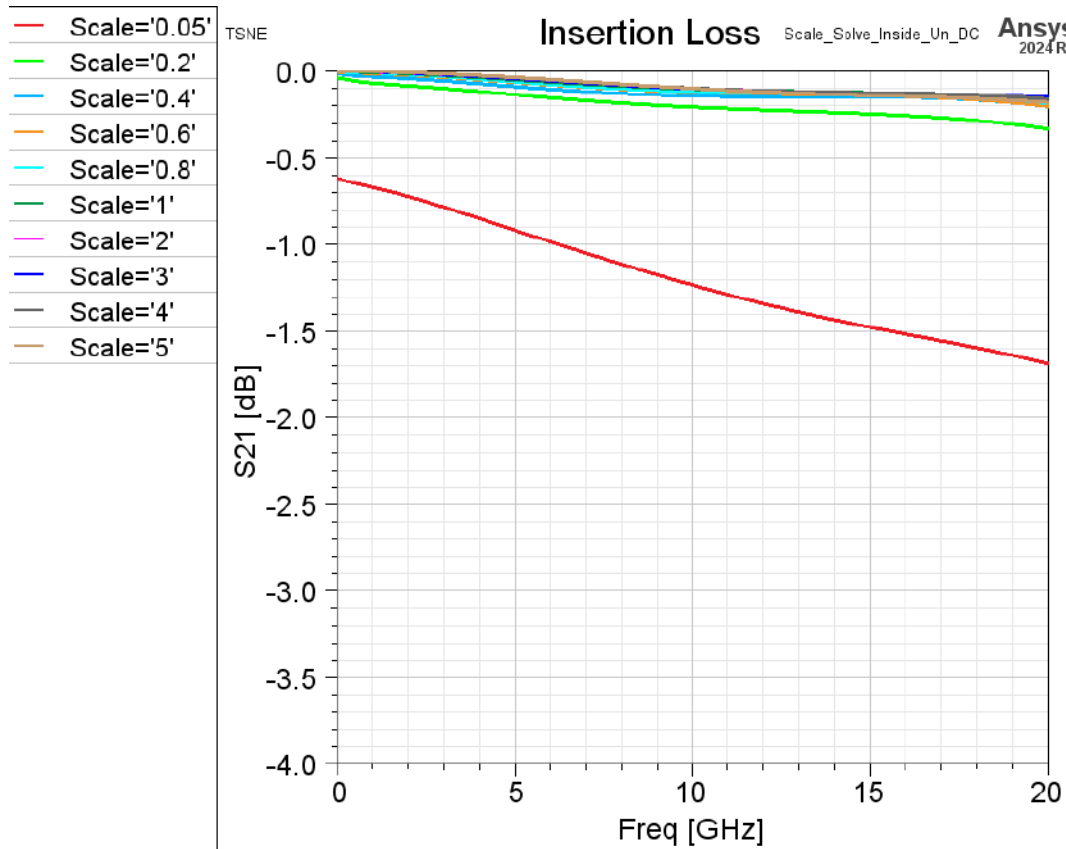


Scale 변화에 따른 결과 분석 *중요*

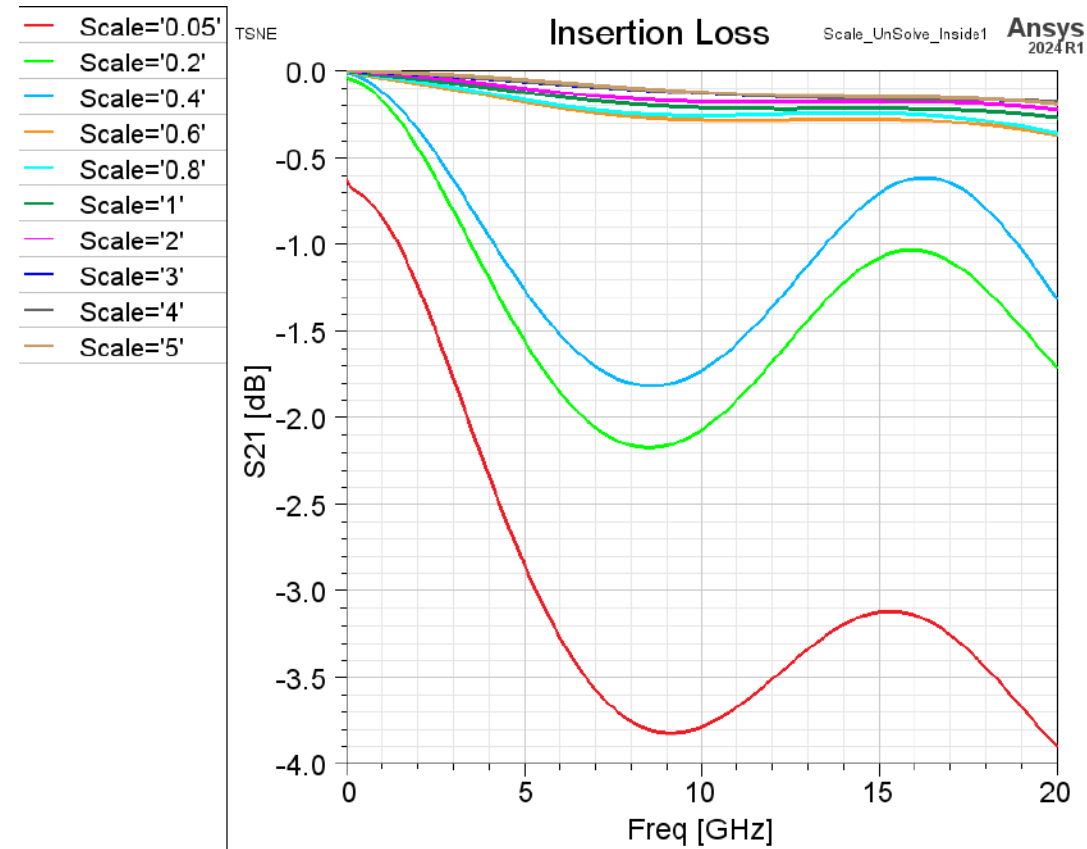
• Solve Inside 차이에 따른 결과 (Insertion Loss)

- HFSS 해석시 10um이하의 신호선은 반드시 Solve Inside 체크 필수

Name	Value	Unit	Evaluated V...
Name	Signal_Line		
Material	"copper"		"copper"
Solve Inside	<input checked="" type="checkbox"/>		
Orientation	Global		
Model	<input checked="" type="checkbox"/>		
Group	Model		
Display Wireframe	<input type="checkbox"/>		
Material Appearance	<input type="checkbox"/>		
Color			
Transparent	0		



Insertion Loss
(Solve Inside Check)




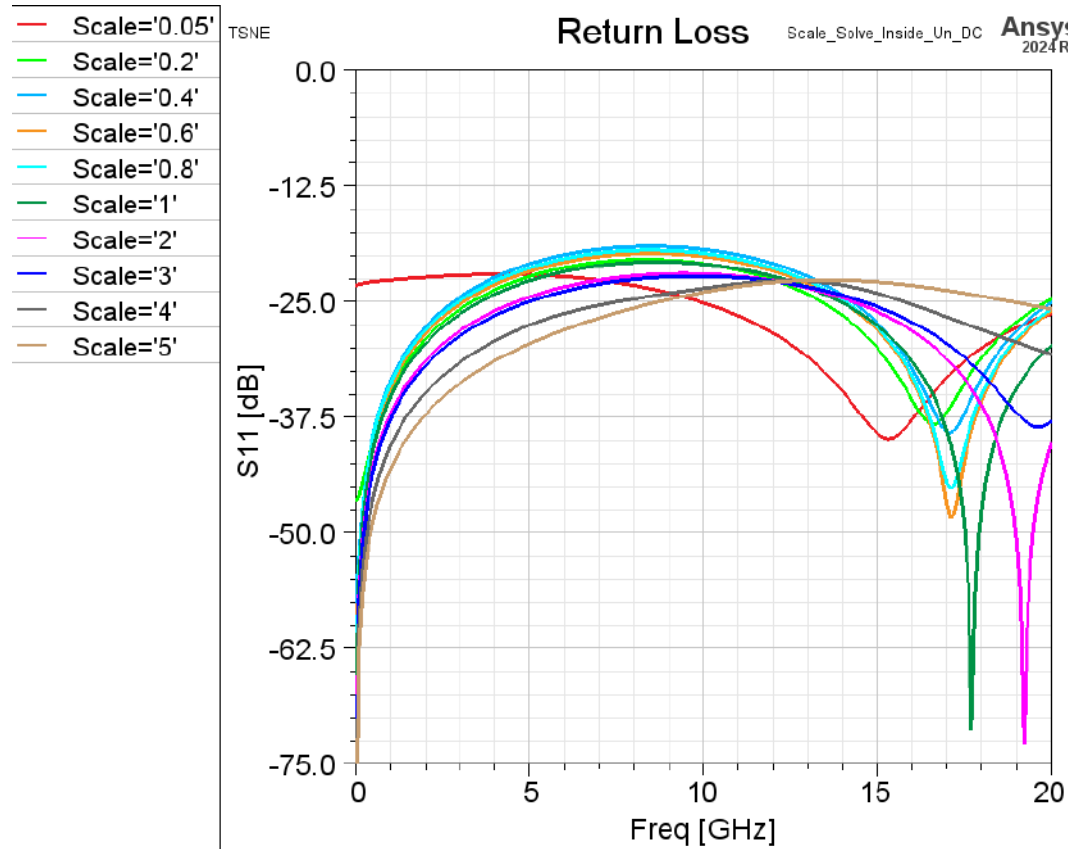
Insertion Loss
(Solve Inside Uncheck)

Scale 변화에 따른 결과 분석 *중요*

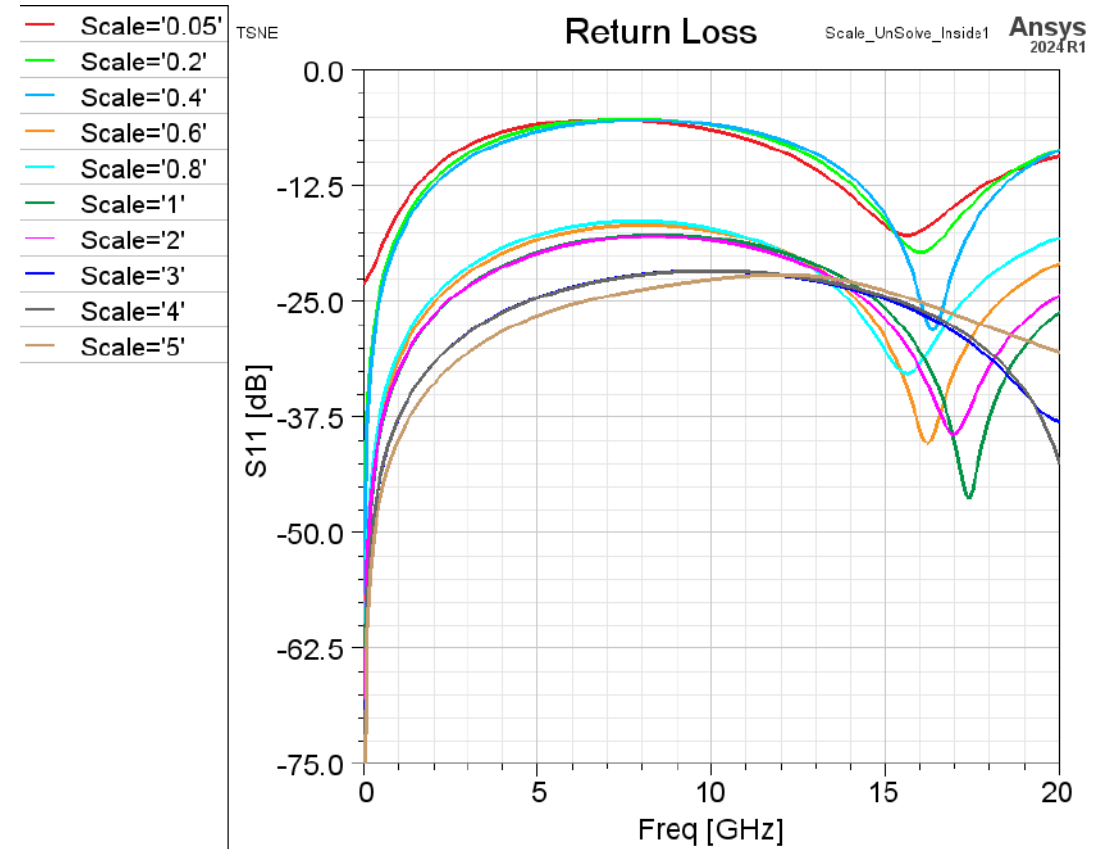
• Solve Inside 차이에 따른 결과 (Return Loss)

- HFSS 해석시 10um이하의 신호선은 반드시 Solve Inside 체크 필수

Name	Value	Unit	Evaluated V...
Name	Signal_Line		
Material	"copper"		"copper"
Solve Inside	<input checked="" type="checkbox"/>		
Orientation	Global		
Model	<input checked="" type="checkbox"/>		
Group	Model		
Display Wireframe	<input type="checkbox"/>		
Material Appearance	<input type="checkbox"/>		
Color			
Transparent	0		



Insertion Loss
(Solve Inside Check)



Insertion Loss
(Solve Inside Uncheck)

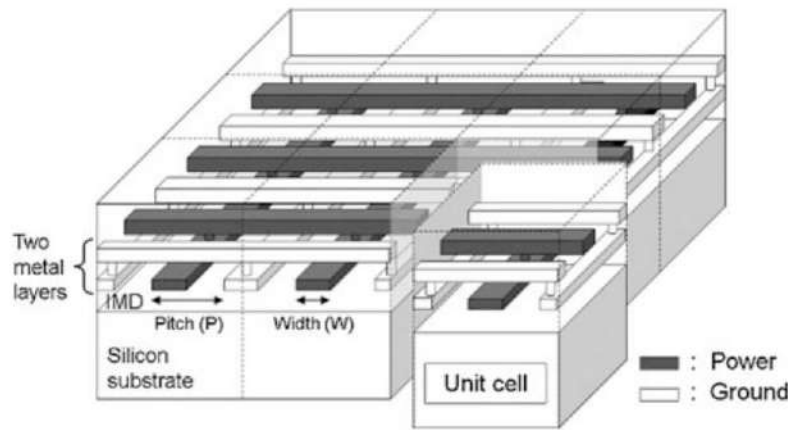


Simple Silicon Interposer 분석

Simple Silicon Interposer Model1

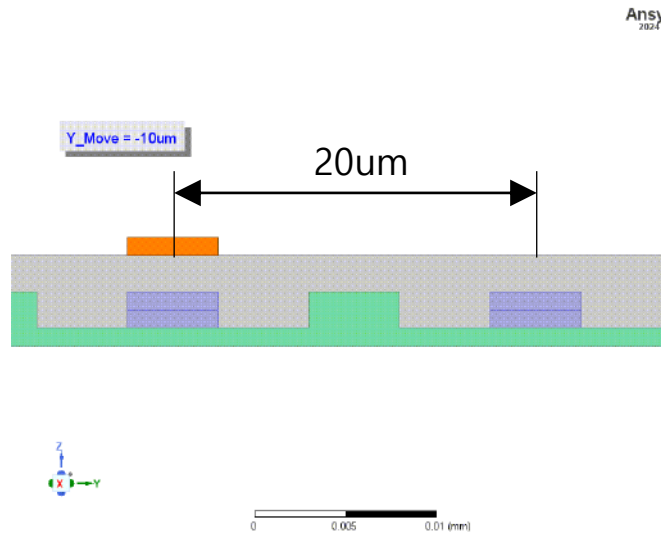
- 선폭과 신호선 위치에 따른 분석

- Silicon Interposer의 패턴은 도체의 비율을 도체 밀도 규칙으로 인해 격자 형태로 Power/GND 패턴을 형성
- 신호선의 폭(1~5um)과 신호선의 위치를 변경하며 분석

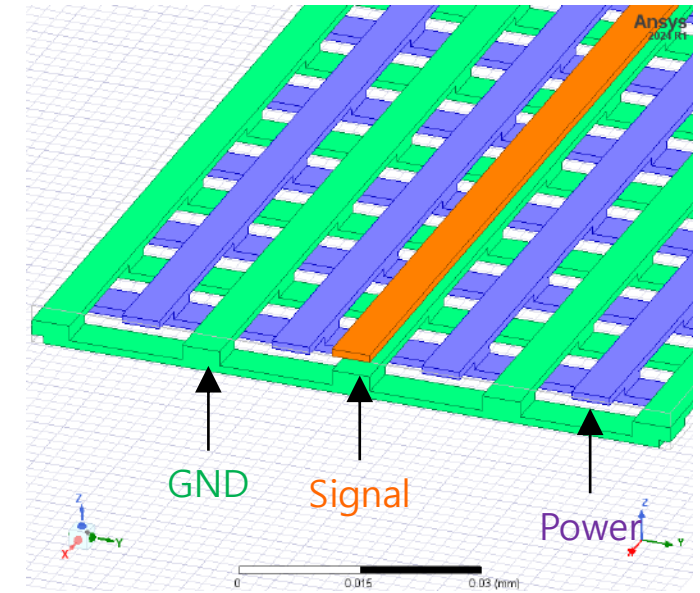


On-chip and Interposer

*Electrical Design of Through Silicon Via / Manho Lee, Jun So Pak, Joungho Kim

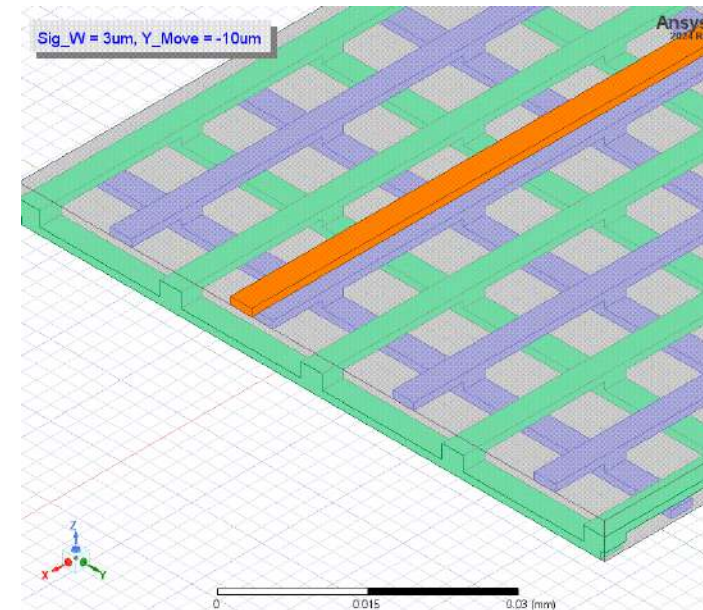
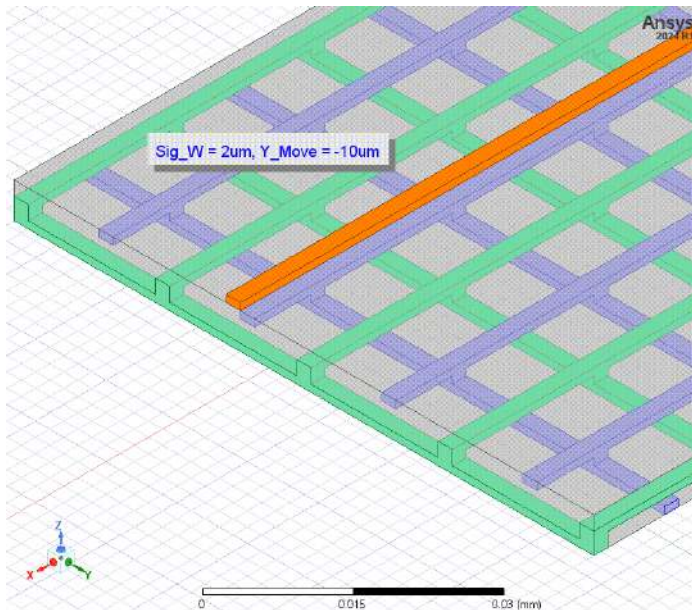
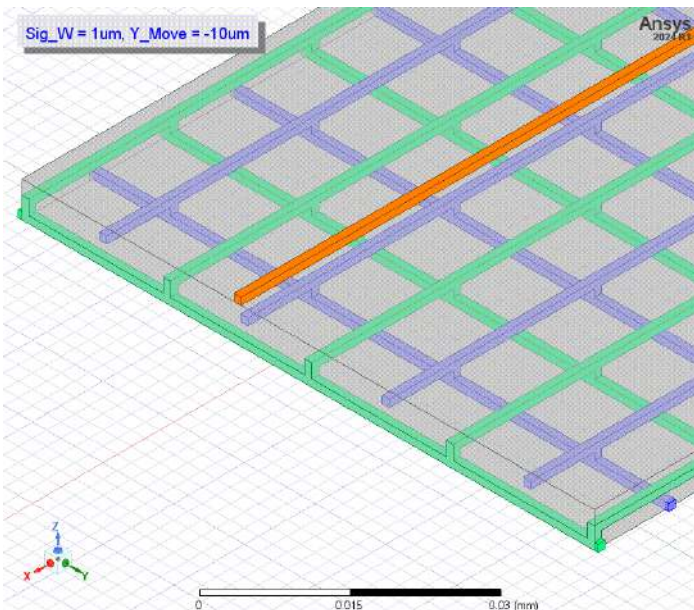


Signal line 위치에 따른 결과 분석

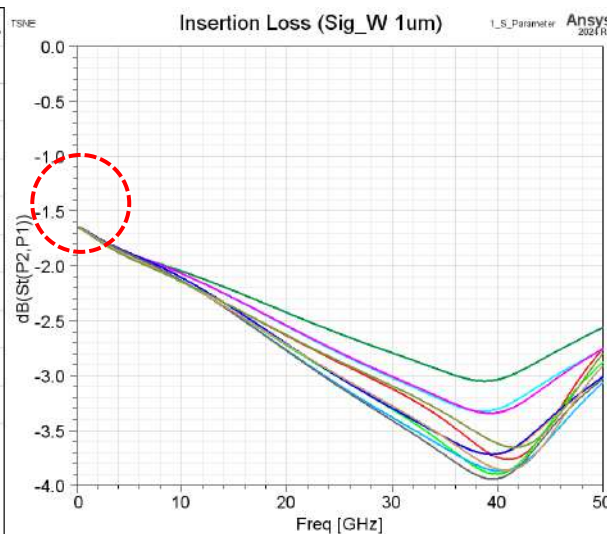


HFSS 분석 모델

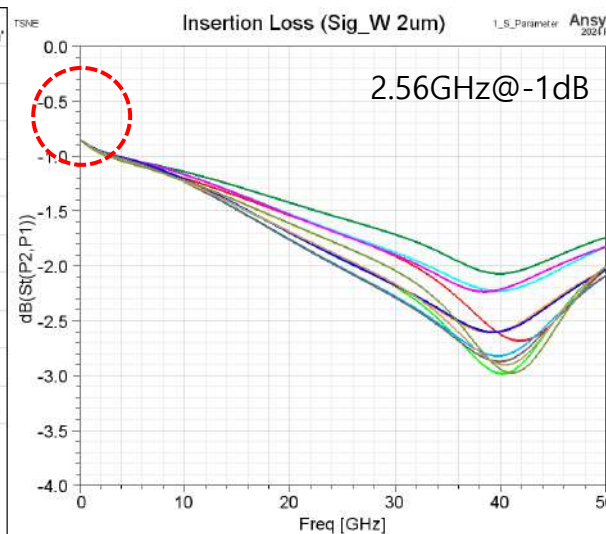
Simple Silicon Interposer Model1



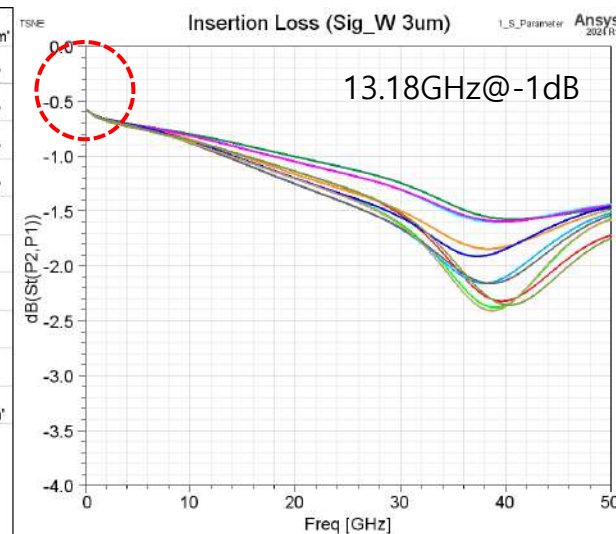
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=-10um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=-8um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=-6um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=-4um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=-2um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=0um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=2um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=4um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=6um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=8um'
- dB(St(P2,P1))
- Sig_W=1um*Y_Move=10um'



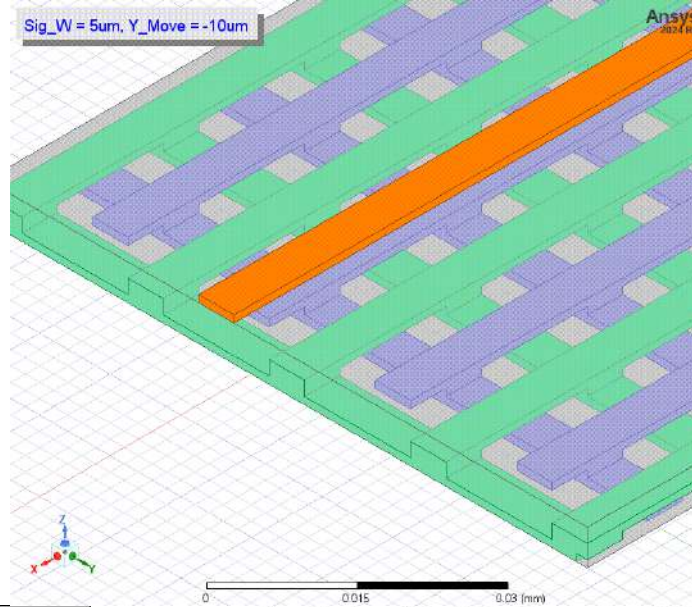
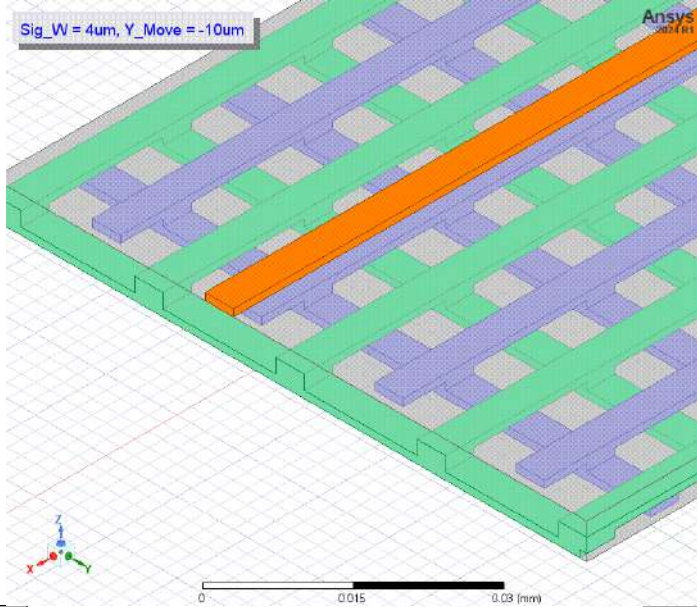
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=-10um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=-8um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=-6um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=-4um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=-2um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=0um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=2um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=4um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=6um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=8um'
- dB(St(P2,P1))
- Sig_W=2um*Y_Move=10um'



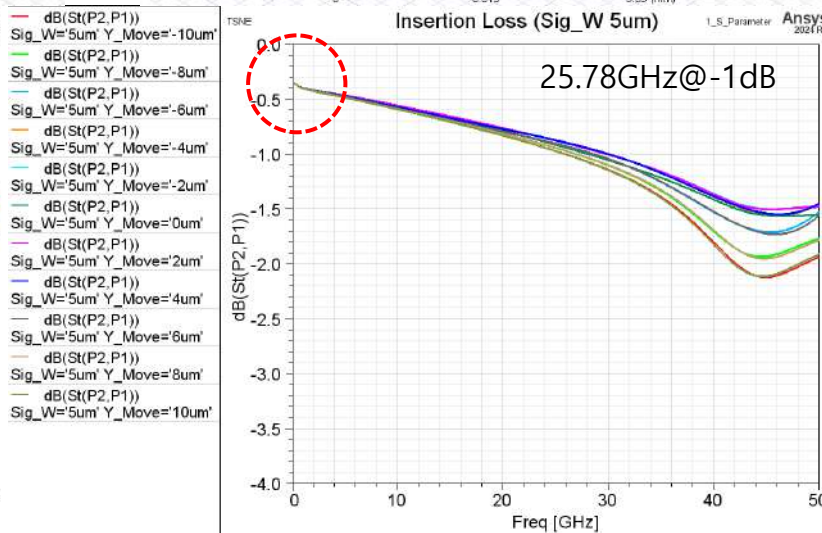
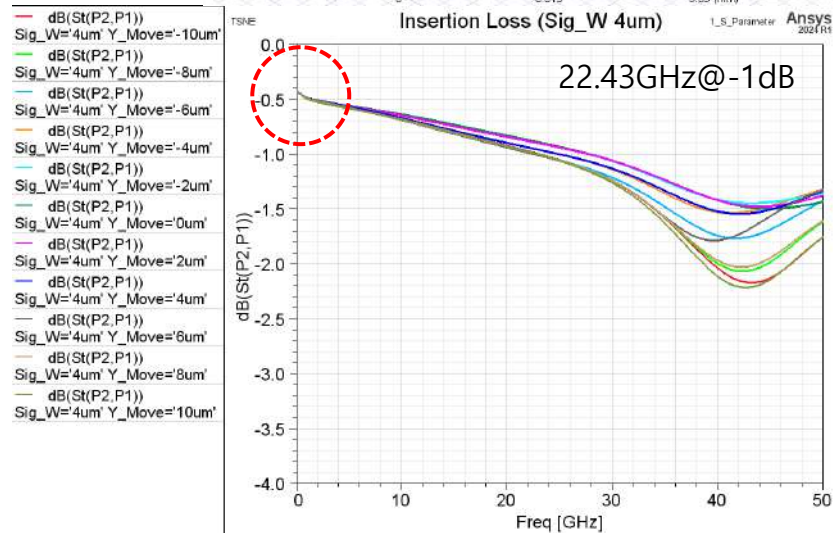
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=-10um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=-8um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=-6um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=-4um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=-2um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=0um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=2um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=4um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=6um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=8um'
- dB(St(P2,P1))
- Sig_W=3um*Y_Move=10um'



Simple Silicon Interposer Model



- 설계의 변수가 많을 경우 어떤 조건으로 설계를 했을 때 최적의 결과를 얻을 수 있는지 솔루션을 찾기 어려움



Ansys OptiSLang

• Ansys optiSLang

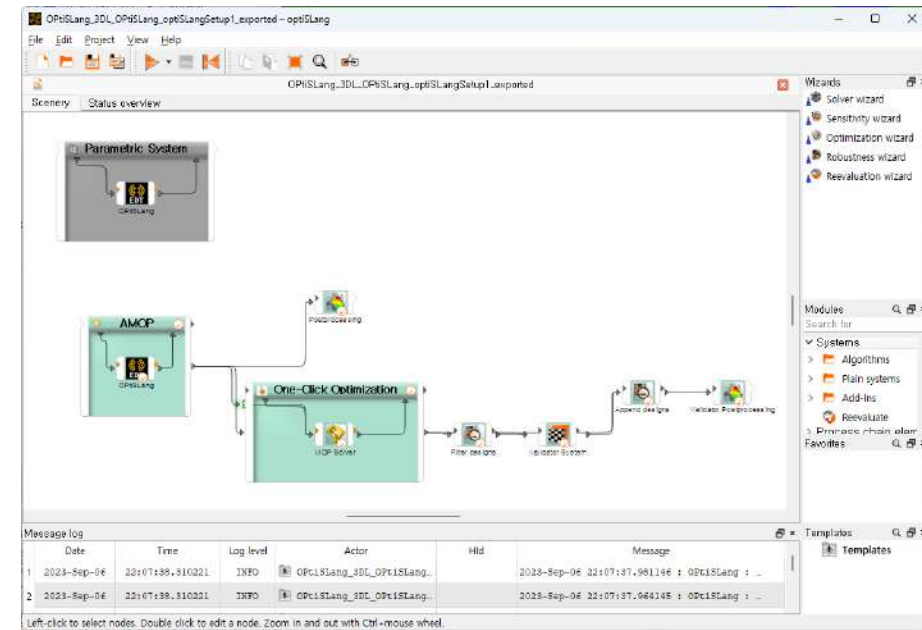
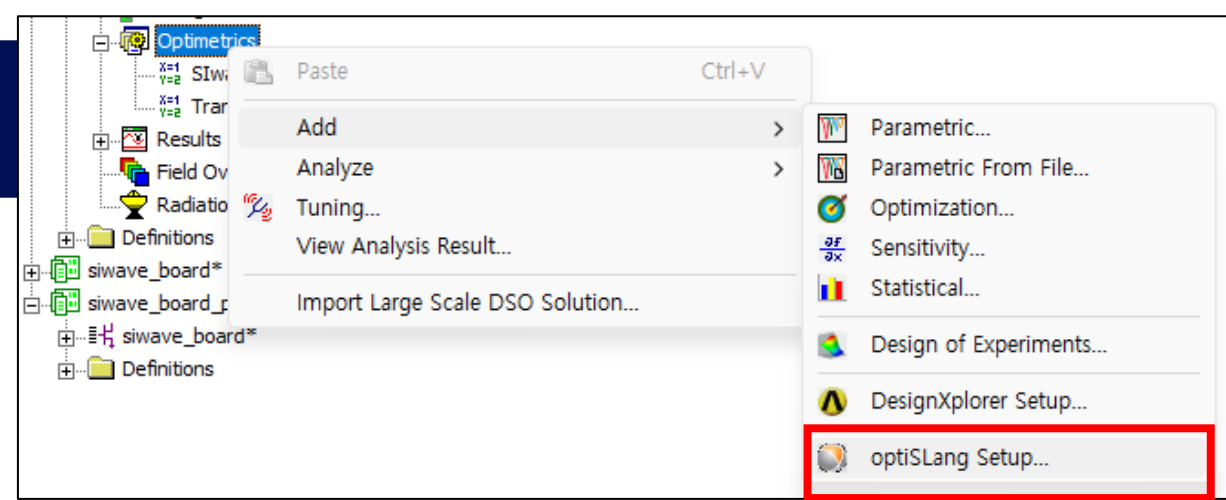
- 고성능 설계 최적화 Tool
- Metamodel 기반의 효율적이면서 고속의 설계 최적화 가능
- Deep Learning 등 최신의 AI 알고리즘 포함

• 장점

- Ansys Simulation Tool과의 완벽한 호환성 입출력 추가 coding 불필요
- 설계물에 특성에 맞는 최적의 Metamodel 을 자동으로 생성
- COP (Coefficient of Prognosis) 자동 계산 및 다양한 분석 지표 제시

• AEDT Integration

- 적용가능Tool : SIwave, HFSS, Q3D, Maxwell, Designer Circuit, Simplorer(Twin Builder)



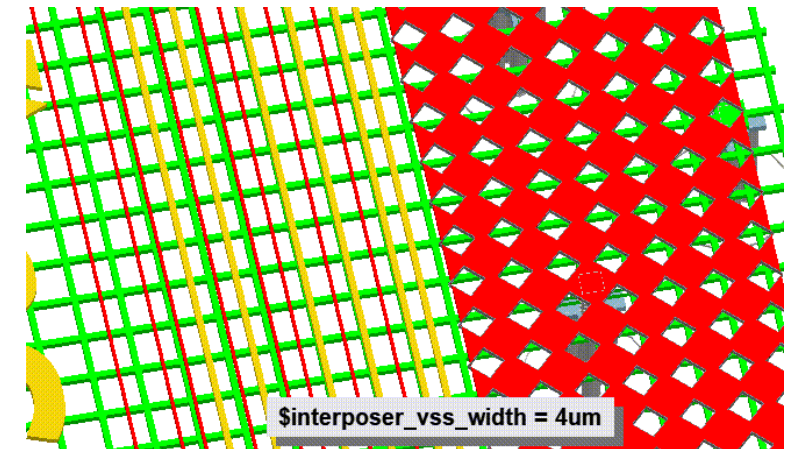
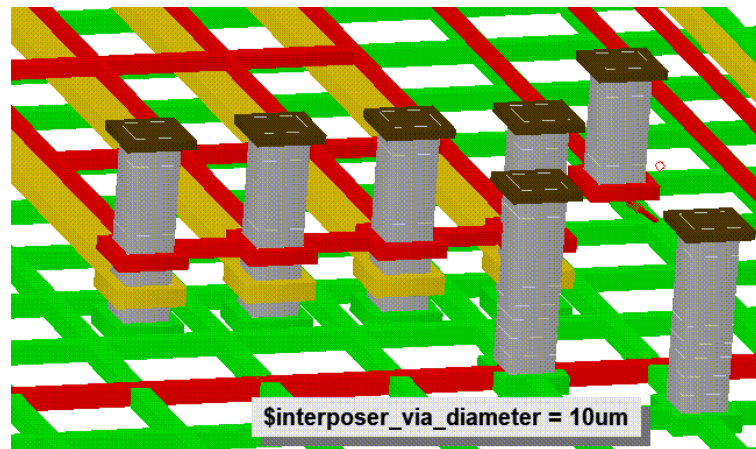
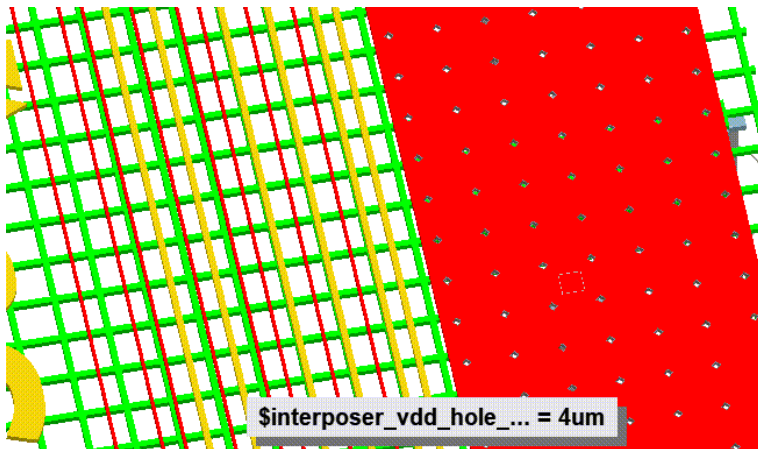
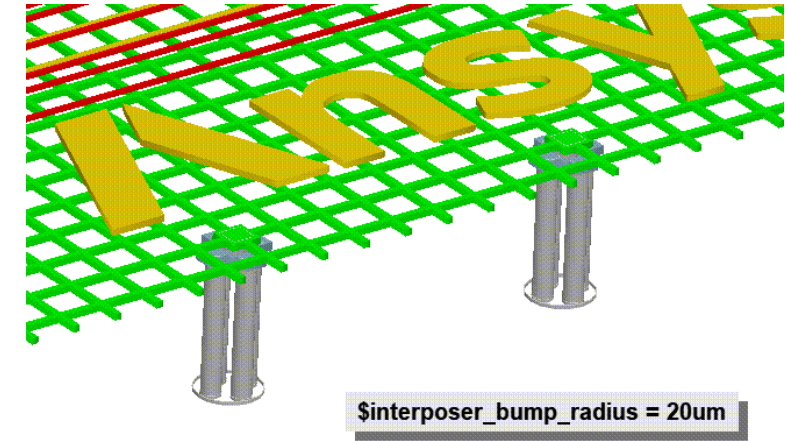
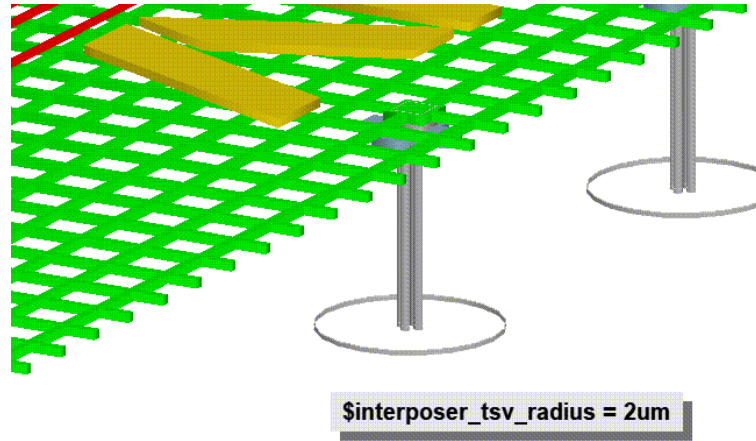
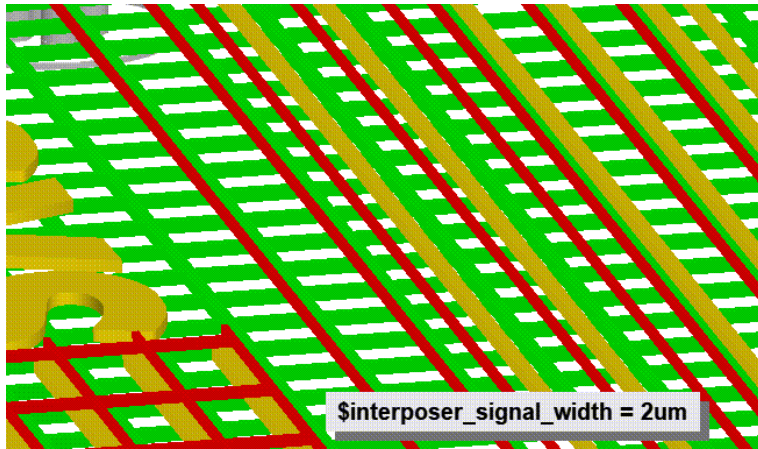
Ansys OptiSLang 화면

디자인 변수 설정 예시

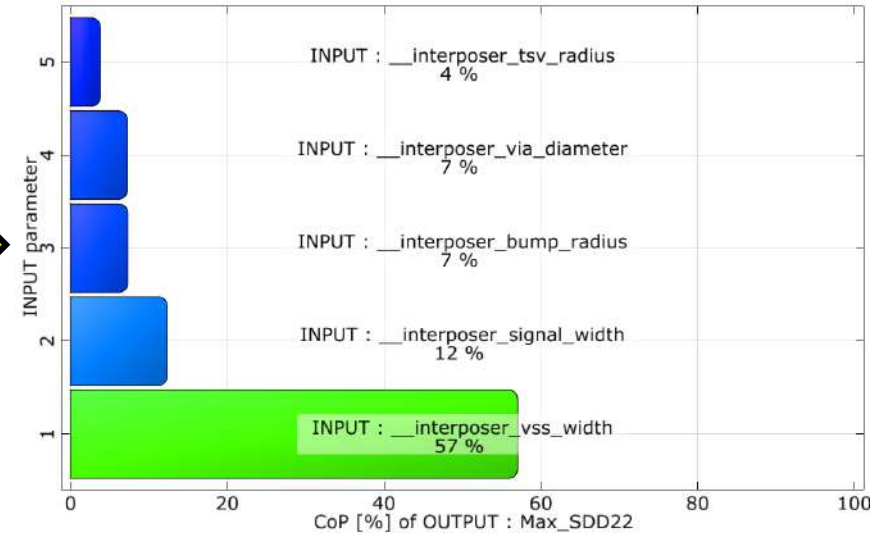
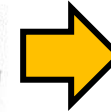
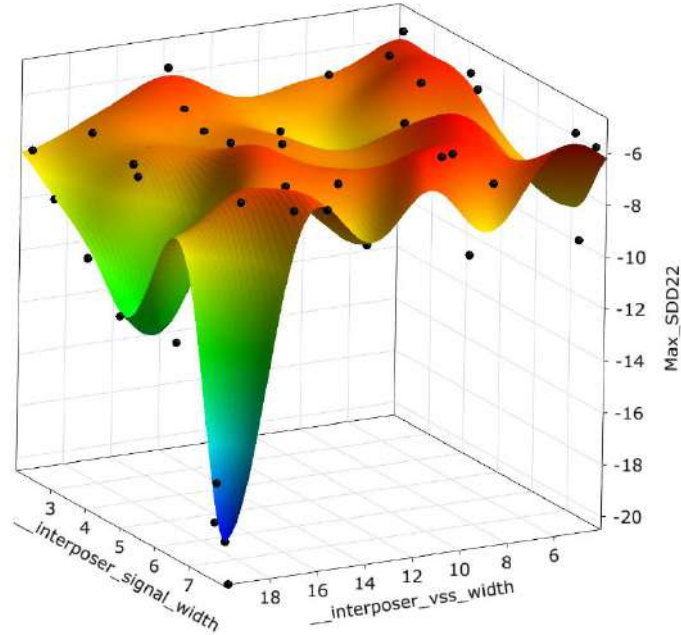
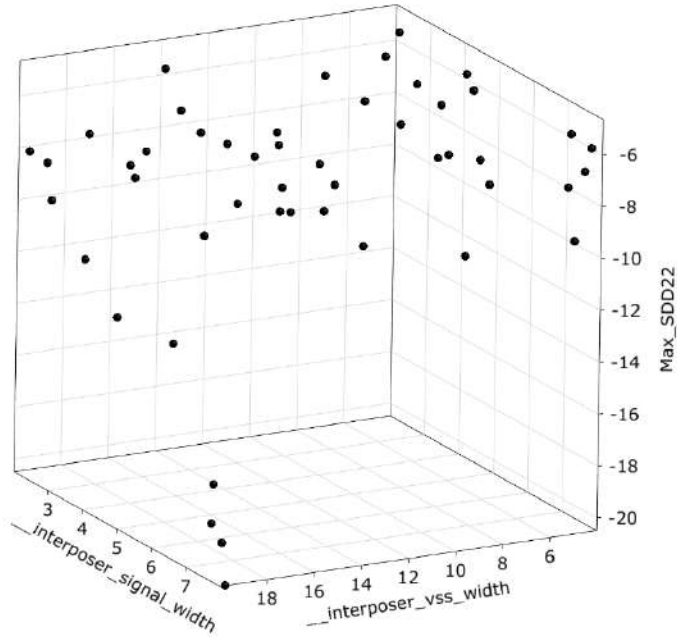
Activation	Name	Parameter type	ence	Constant	Value type	Resolution	Range	Range plot
<input checked="" type="checkbox"/>	_interposer_bump_radius	Optimization		<input type="checkbox"/>	REAL	Continuous	20 60	
<input checked="" type="checkbox"/>	_interposer_signal_width	Optimization		<input type="checkbox"/>	REAL	Continuous	2 8	
<input checked="" type="checkbox"/>	_interposer_tsv_radius	Optimization		<input type="checkbox"/>	REAL	Continuous	2 8	
<input checked="" type="checkbox"/>	_interposer_via_diameter	Optimization		<input type="checkbox"/>	REAL	Continuous	10 18	
<input checked="" type="checkbox"/>	_interposer_vss_width	Optimization		<input type="checkbox"/>	REAL	Continuous	4 20	

• 변수 설정

- 선로의 길이, 폭, 재질, Layer Stackup 등 수치가 입력되는 모든 항목에 변수 설정 가능



Sensitivity analysis in optiSLang



Sensitivity는 optiSLang에서 실험 계획을 생성하고 HFSS 3D 레이아웃에서 해당 디자인을 평가합니다.

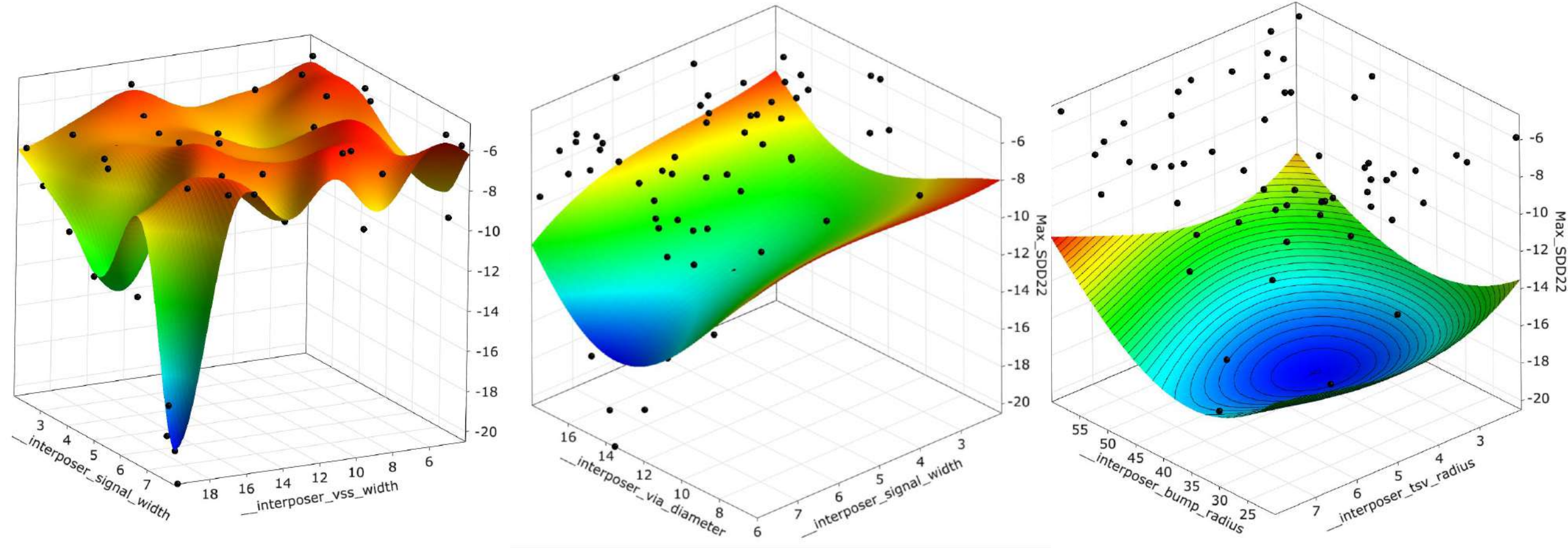
optiSLang은 평가된 결과에 Metamodel of Optimal Prognosis (MOP)의 메타모델을 적용시킵니다. MOP를 사용하여 optiSLang은 추가로 평가할 필요 없이 디자인을 빠르게 분석할 수 있습니다. HFSS의 추가적인 디자인을 해석할 필요가 없습니다.

optiSLang는 입력 Parameter 대한 Device response 의 Sensitivity 를 결정

- 어떤 입력 Parameter의 작은 변화가 응답에 가장 큰 변화를 초래하는지
- 어떤 입력 Parameter는 응답에 미치는 영향이 작으며 무시할 수 있는지

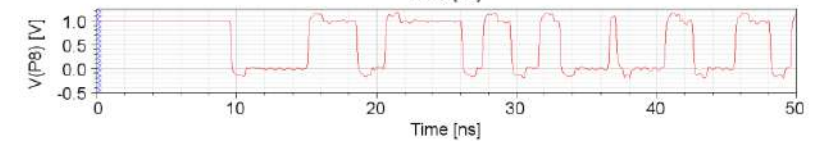
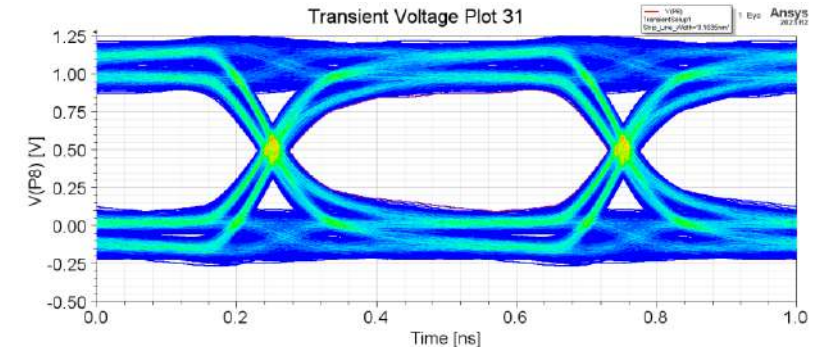
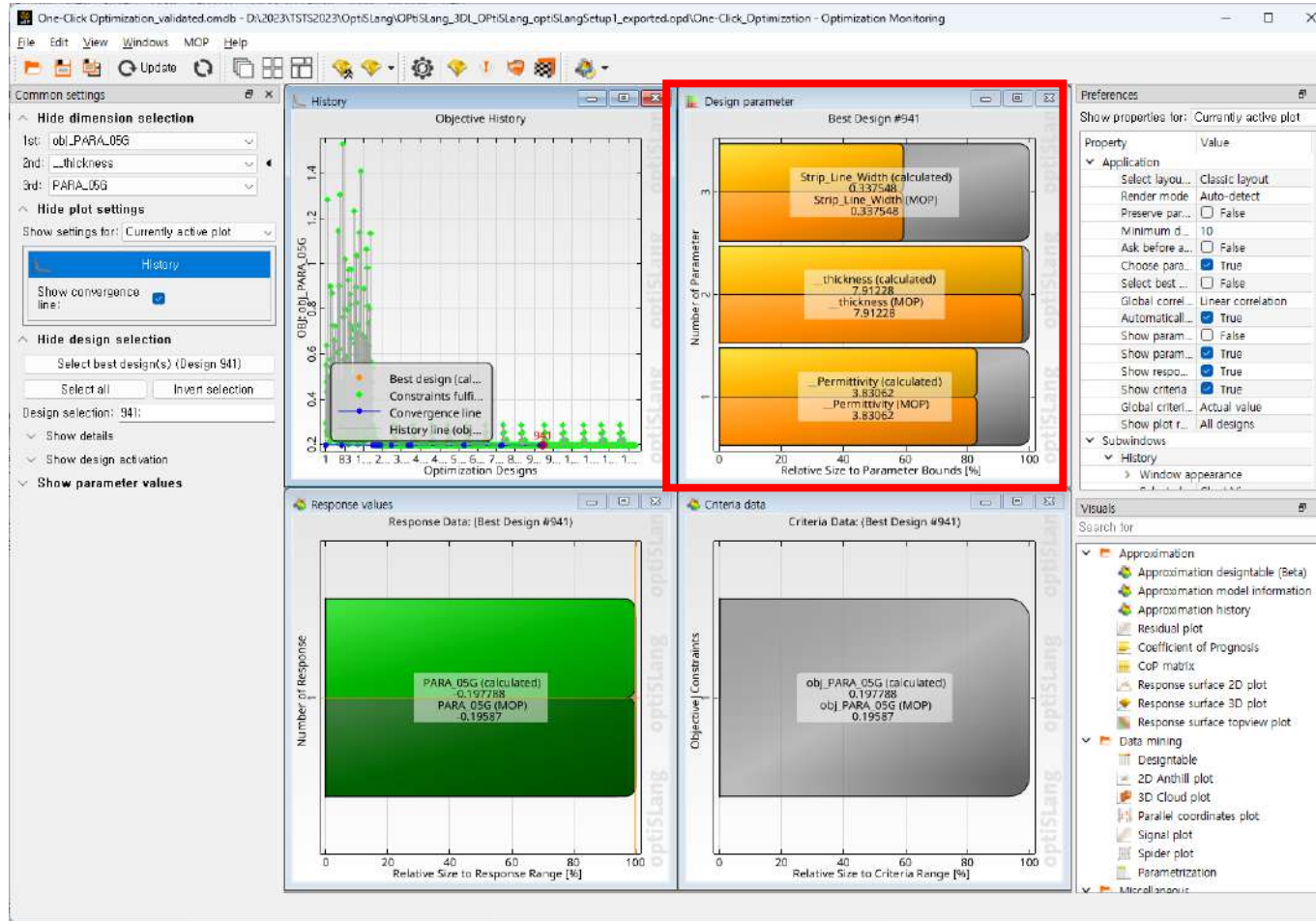
Sensitivity analysis results

- MOP는 변수 간의 관계 및 결과에 대한 영향을 보여줌



• Optimization Result

- 최적화 완료된 변수를 적용한 시뮬레이션



최적화 변수 적용 후

Conclusion

- 일반적인 PCB, Substrate에서는 저항을 고려하지 않고 임피던스 계산기를 통해 유사한 결과를 얻을 수 있음
- 20um이하의 패턴폭을 갖는 구조의 전송선은 저항이 고려되지 않을 경우 정확도 문제 발생 가능
- PCB의 임피던스 매칭을 위한 설계 변경 시 선로의 높이보다는 넓이가 더 효율적
- 표피효과를 인해 주파수가 증가함에 따라 저항의 중요도가 올라감
- 표피효과는 저항에 영향을 주며 이로인해 특정 크기 이하의 전송선에서 임피던스가 급격하게 상승함
- 일반 PCB 대비 더욱 복잡한 구조의 Silicon Interposer 모델 분석시 optiSLang 해석을 통해 더욱 효율적인 설계 가능
- 도체 비율 규칙에 의해 생성되는 Dummy Pattern 유무에 따른 큰 차이는 없으나 다른 크기 및 비율에서 어떤 영향을 미칠지 확인이 필요함