
■ High Performance Integrity Tips & Solutions :

Next Gen High Performance Integrity : Advanced Silicon/Package/PCB Interconnection Design

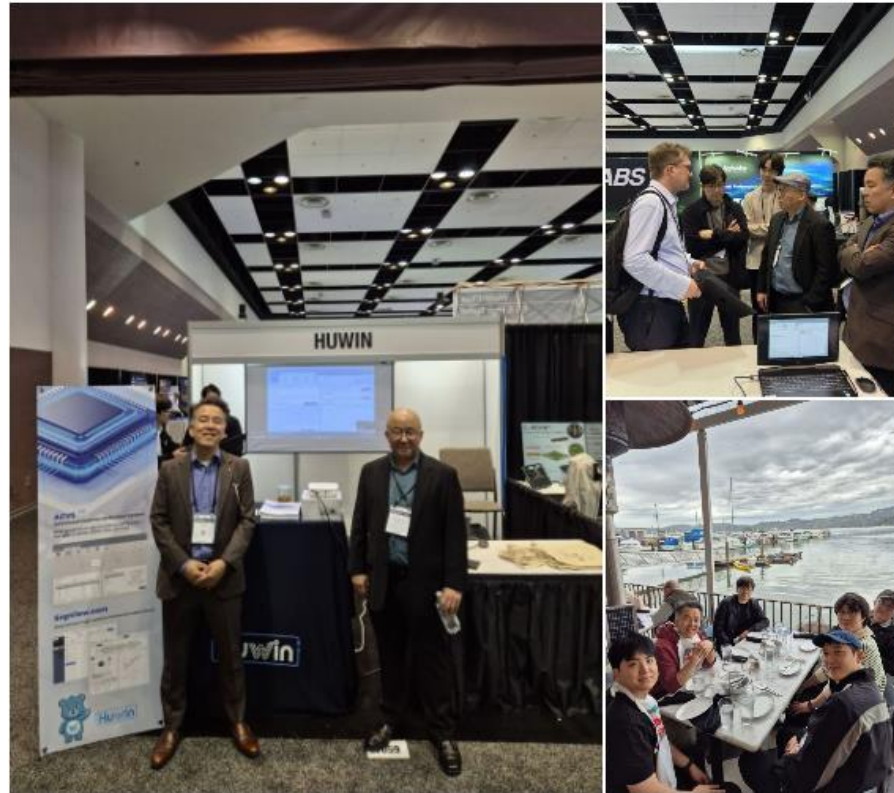
Chip/PKG/PCB 설계에서의 SI/PI 관련 기술 이슈와 시뮬레이션 Tips & Solutions 및 SI/PI 통합 검증 솔루션 및 방향

Huwin, 정성일

010-3381-1417, sijeung@huwin.co.kr

목차

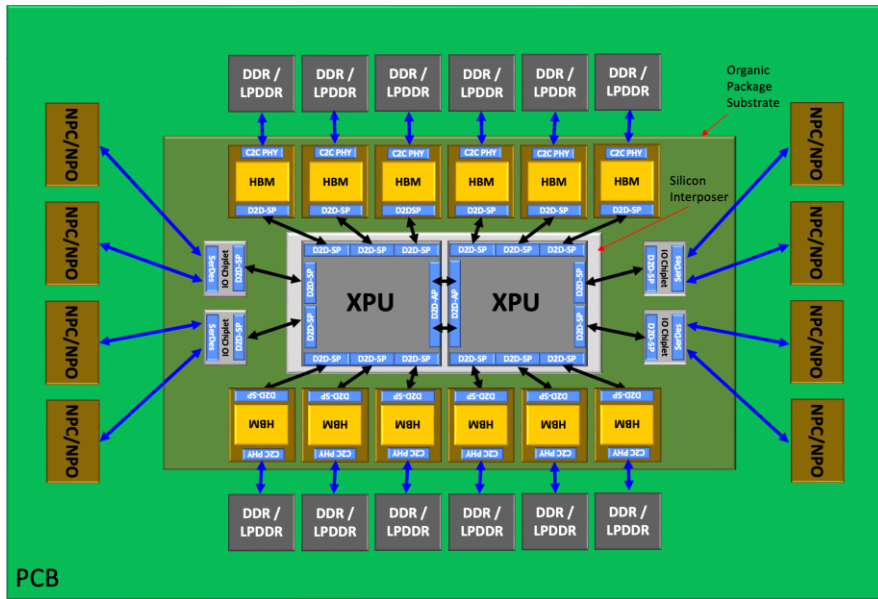
1. Advanced Silicon/Package/PCB SPGTI Design 기술동향
2. 시뮬레이션 통한 SPGTI 설계
3. DesignCon2026 자료 소개



3. DesignCon 2026 자료 소개

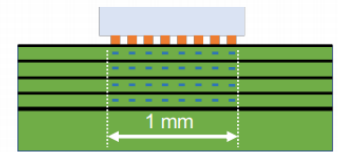
[T01_S01] IBIS-AMI Modeling Methodology for Simultaneous Bi-Directional (SBD) Die-to-Die Chiplet Connectivity, A. Kothari, Eliyan Corp.

- ✓ AI/HPC에서는 연산 성능보다 메모리·I/O 대역폭이 더 큰 병목으로 작용하며, chiplet 기반 D2D 인터커넥트의 bandwidth density 확보가 핵심 과제로 제시됨.
- ✓ 기존 해법은 wire당 속도를 올리거나 같은 면적에 더 많은 wire를 배치하는 방식이지만, loss·crosstalk·제조 난이도가 동시에 증가함.
- ✓ SBD는 동일한 wire를 송신과 수신에 동시에 사용해 면적 증가 없이 유효 대역폭을 2배로 높이려는 접근

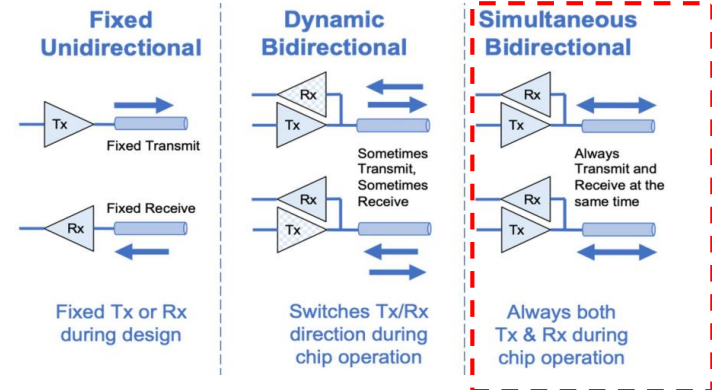


[Chiplet XPU]

$$\text{Beach Front Density} = \frac{32 \times 32 \text{ Gbps}}{1 \text{ mm}} = 1024 \text{ Gbps/mm}$$



Breakout Cross-section



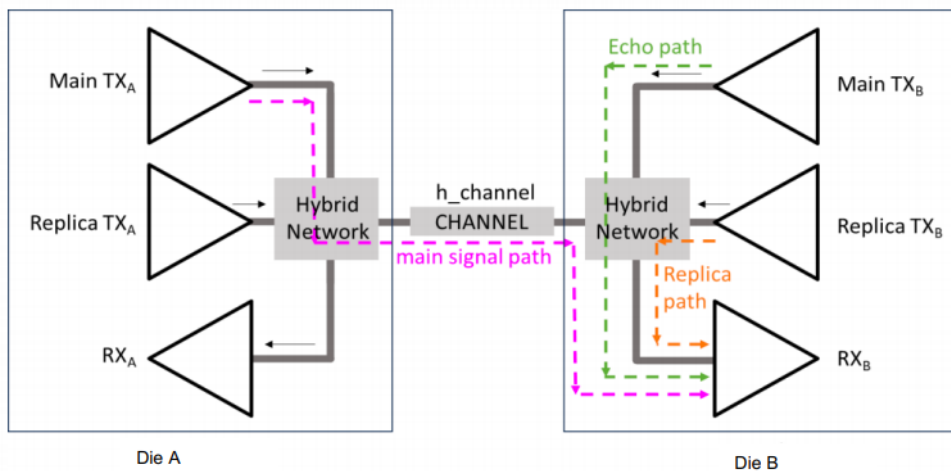
[SBD 구조와 수신 신호 구성]

채널을 양방향으로 동시에 사용하면 전송량을 높일 수 있지만 이 경우 echo와 crosstalk 문제 검증 문제가 설계 핵심

3. DesignCon 2026 자료 소개

[T01_S01] IBIS-AMI Modeling Methodology for Simultaneous Bi-Directional (SBD) Die-to-Die Chiplet Connectivity, A. Kothari, Eliyan Corp.

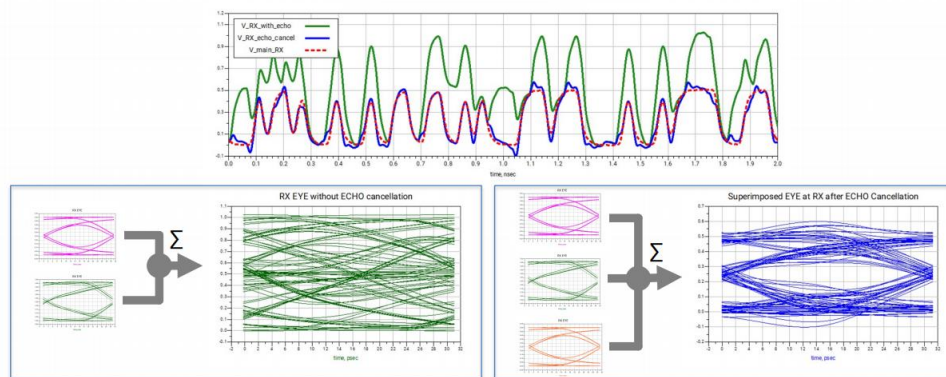
- ✓ RX 단에는 far-end의 main 신호 외에도 local TX의 강한 echo, 인접 lane crosstalk가 동시에 유입됨
- ✓ 특히 짧은 D2D 채널에서는 echo가 main 신호보다 더 크게 보일 수 있어 수신기가 두 신호를 분리하기 어려움
- ✓ 기존 IBIS-AMI는 "단방향 송신기-수신기" 구조를 전제로 하므로, 본래 SBD를 직접 표현하기 어려움
- ✓ 논문은 Main / Echo / Replica(Echo cancellation) 세 경로를 분리해 각각을 모델링한 뒤, 결과를 superposition으로 합성하는 방식을 제안함



$$V_{RX} = V_{main} + V_{echo} - V_{replica}$$

$$V_{replica} \approx V_{echo} \Rightarrow V_{RX} \approx V_{main}$$

[Echo cancellation 위한 Replica Tx 구성]



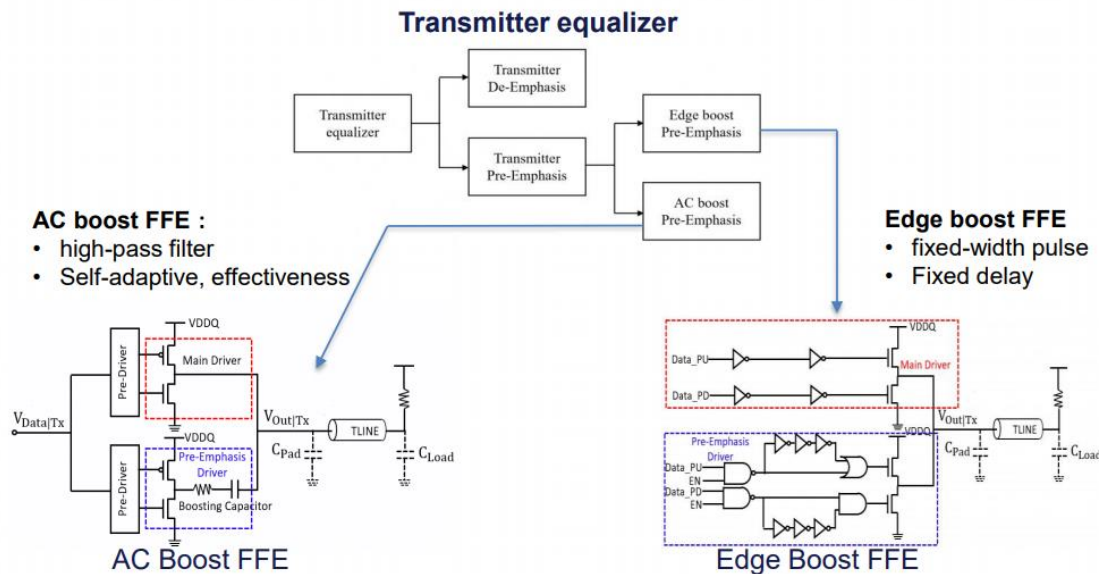
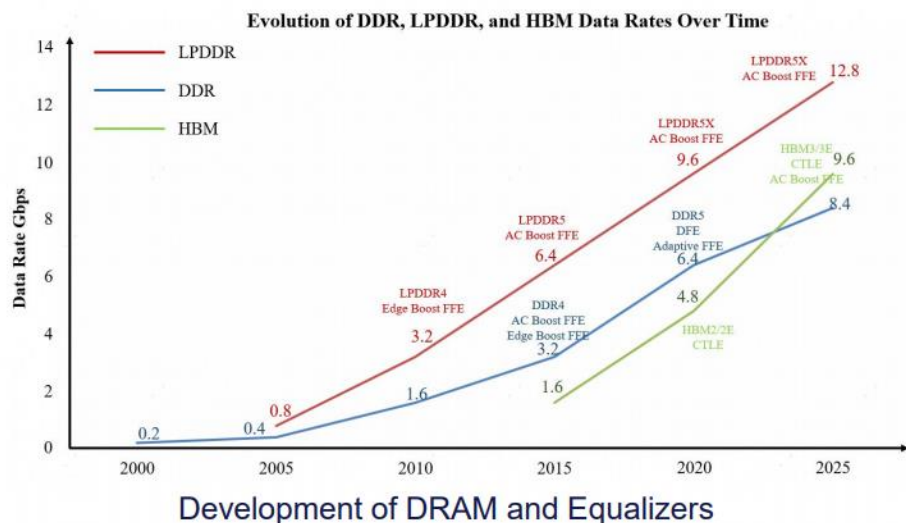
[Post Echo Cancellation : Signal at RX_B]

SBD 해석은 단순 채널 RL/IL 문제가 아니라, echo cancellation 경로를 포함한 시스템 수준 모델링이 필요

3. DesignCon 2026 자료 소개

[T02_S02] Modeling Transmitter with Boosting Capacitor based on Plugged-in Behavior IBIS, W. Yang, Huawei Technologies Co., Ltd.

- ✓ AC-coupled boosting capacitor 방식의 Pre-emphasis 기술 : LPDDR5x, HBM 과 같은 고속 병렬 인터페이스에 적용하기 좋음, 저전력 (기존 대비 60%), 칩 면적 적음, 보조 드라이버 하나로 간편한 제어
- ✓ IBIS : 비선형 전류 반영 x , IBIS-AMI : AC 부스트 기술이 아날로그 회로 특성 자체에 내장되어 모델링 분리 불가
- ✓ 제안된 PiB-IBIS 모델링 : Plugged-in Behavior IBIS => Main Driver + Auxiliary Driver + Auxiliary Driver Passive Network Stage 로 정의

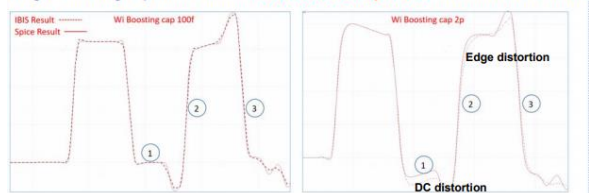


3. DesignCon 2026 자료 소개

[T02_S02] Modeling Transmitter with Boosting Capacitor based on Plugged-in Behavior IBIS, W. Yang, Huawei Technologies Co., Ltd.

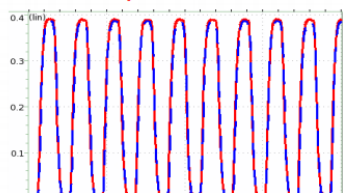
- ✓ Pre-Emphasis (AC Boost FFE) Driver V-I curve PiB model 추가 : 0.1pF -> 2pF 의 경우에도 9% 이하 transition error 유지
- ✓ Spice model 대비 error margins -> 2%(EW) and 0.6%(EH) 이하

Larger boosting capacitors lead to increased discrepancies between IBIS & SPICE

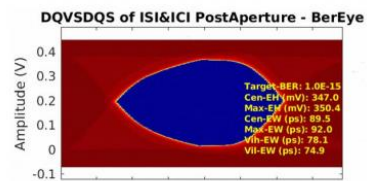


[PiB model 적용전 DC, Edge 에러]

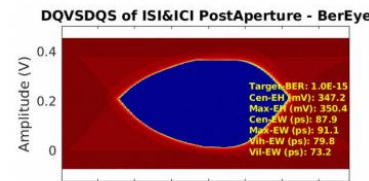
Red curve :spice Blue curve :PiB-IBIS



characterized using PiB-IBIS

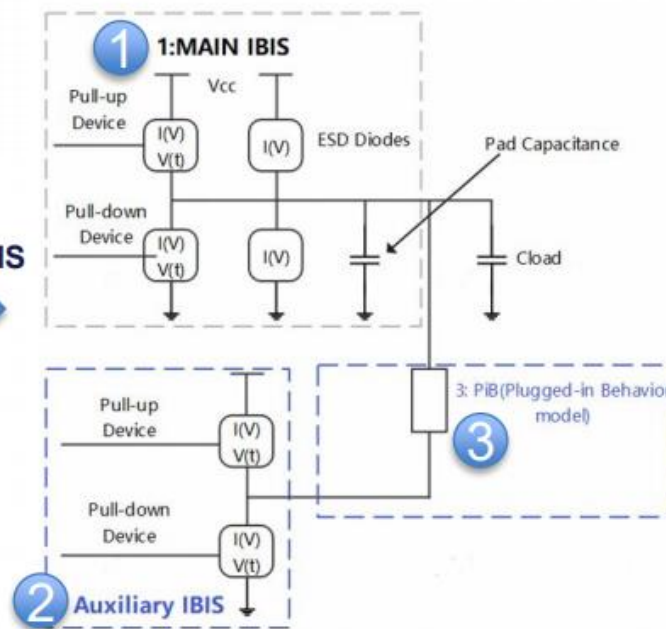
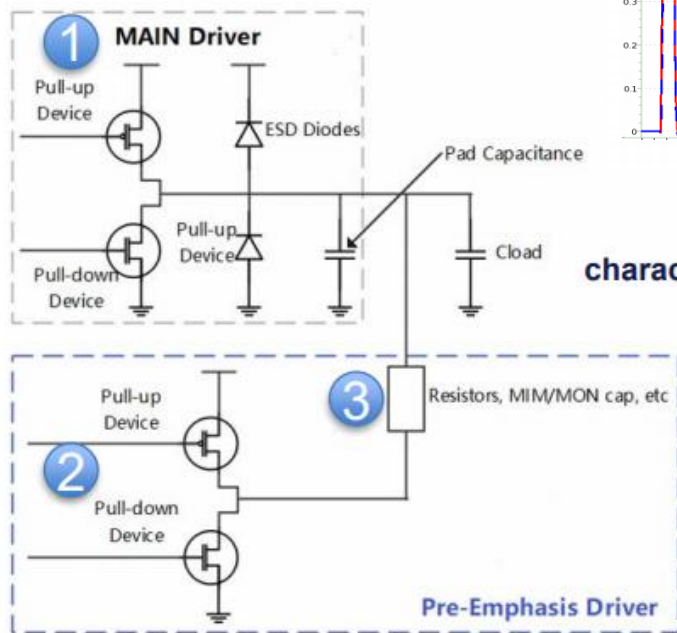


Worst dq Eye : spice model



Worst dq Eye : PiB-IBIS model

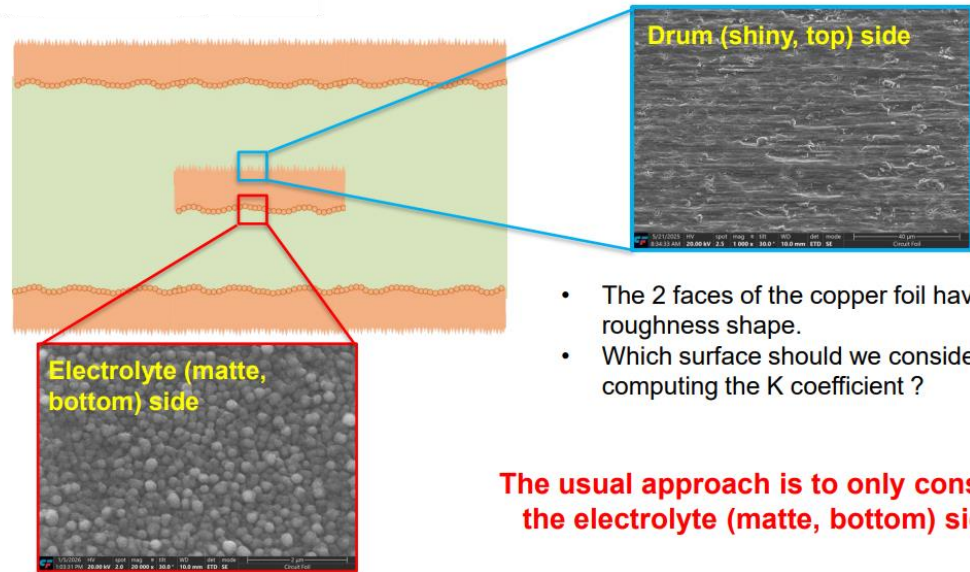
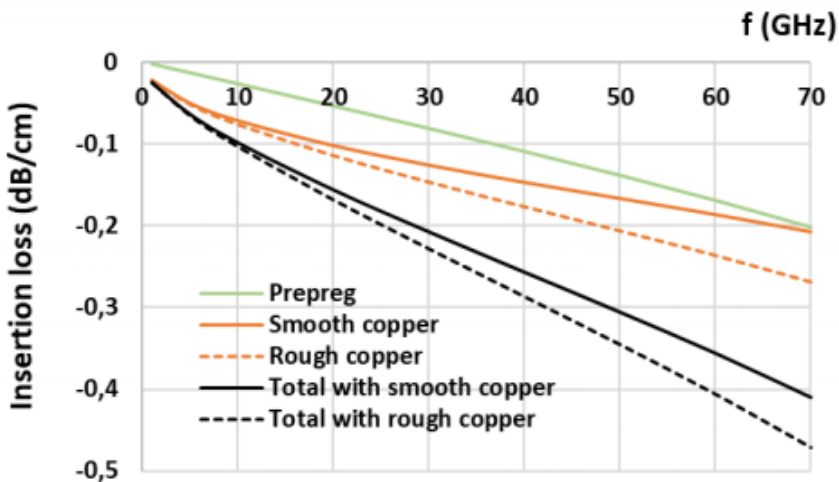
[PiB model 적용후]



3. DesignCon 2026 자료 소개

[T04_S07] From copper surface microroughness to the full transmission line: a comprehensive multiscale modeling approach to insertion loss., B. Wittmann, Circuit Foil

- ✓ 도체 손실은 고주파에서 전류가 표면에 집중되는 표피 효과(Skin Effect) 때문에 구리 표면 Roughness에 크게 영향
- ✓ FEM 으로 3D 표면 Roughness 의 영향을 맥스웰 방정식으로 해석
- ✓ 거친 표면 손실(P)를 이상적인 매끄러운 표면 손실(P_0) 로 나눈 K 계수를 추출
- ✓ 면의 전자기장 강도에 따라 K 계수들을 가중치 분배하여 K_{global} 도출

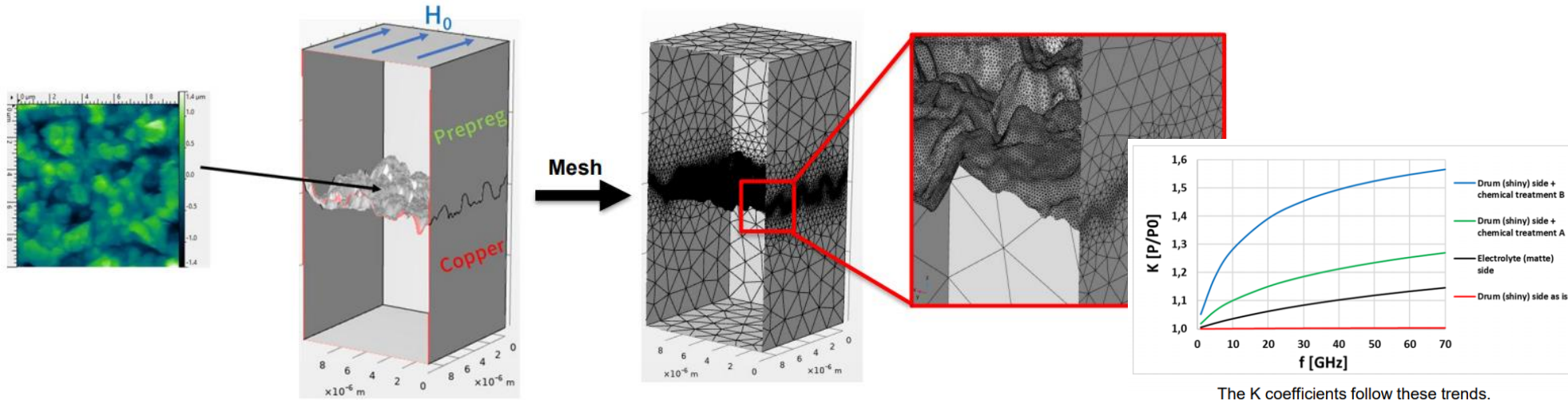


The usual approach is to only consider the electrolyte (matte, bottom) side.

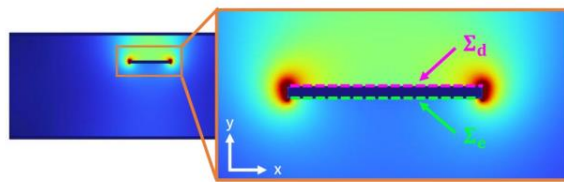
3. DesignCon 2026 자료 소개

[T04_S07] From copper surface microroughness to the full transmission line: a comprehensive multiscale modeling approach to insertion loss., B. Wittmann, Circuit Foil

✓ 결과 :

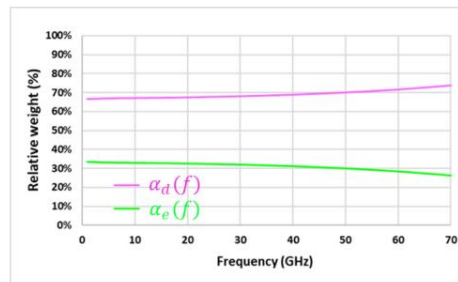


The K coefficients follow these trends.

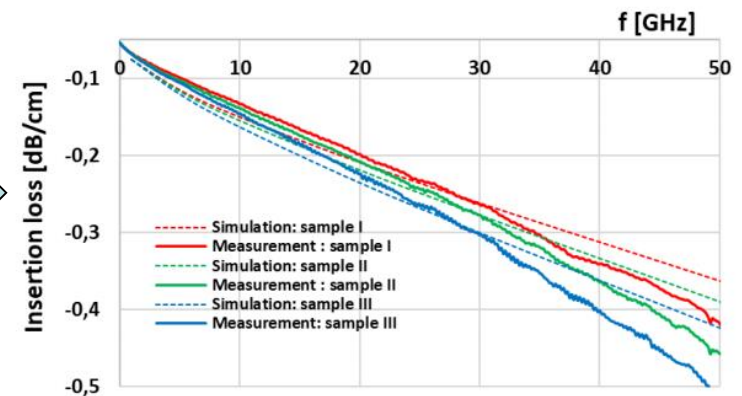


$$\alpha_d(f) = \frac{\int_{\Sigma_d} |H_t(x, f)|^2 dx}{\int_{\Sigma_d} |H_t(x, f)|^2 dx + \int_{\Sigma_e} |H_t(x, f)|^2 dx}$$

$$\alpha_e(f) = \frac{\int_{\Sigma_e} |H_t(x, f)|^2 dx}{\int_{\Sigma_d} |H_t(x, f)|^2 dx + \int_{\Sigma_e} |H_t(x, f)|^2 dx} = 1 - \alpha_d(f)$$



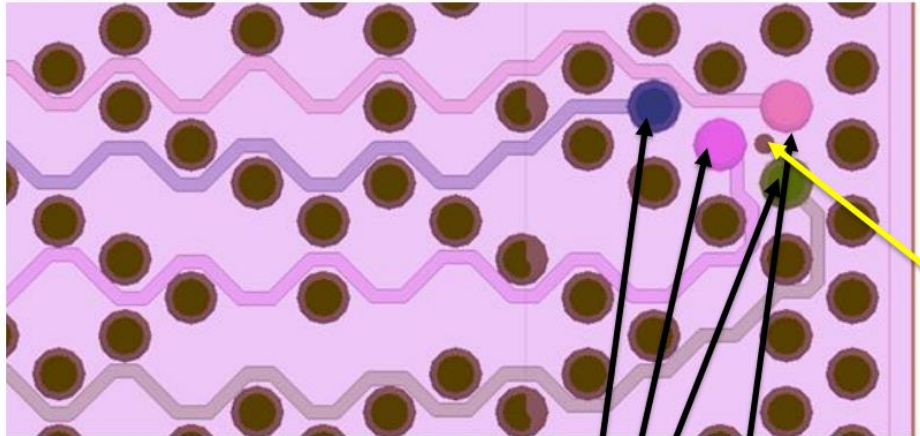
$$K_{\text{global}}(f) = \alpha_d(f) \cdot K_d(f) + \alpha_e(f) \cdot K_e(f)$$



3. DesignCon 2026 자료 소개

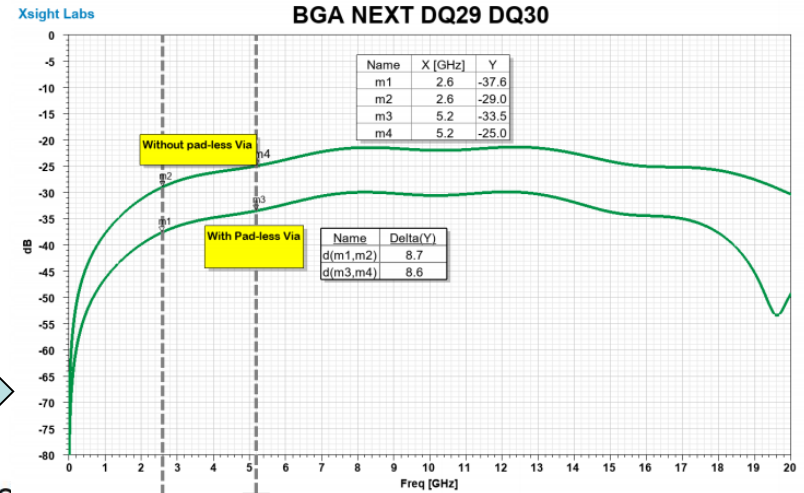
[T07 S3] New technique for crosstalk reduction in High Density PCBs, R. Bloch, Xsightlabs

- ✓ DQ간 crosstalk JEDEC 가이드 => -26dB 이하
- ✓ Crosstalk 를 줄이기 위한 Pad-less Via 구조 제안
- ✓ GND via 하나 추가 -> 10dB 정도 개선 효과

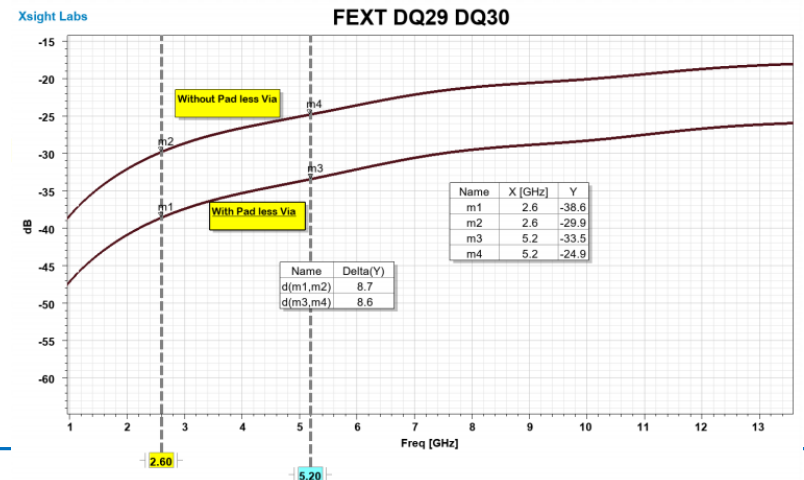
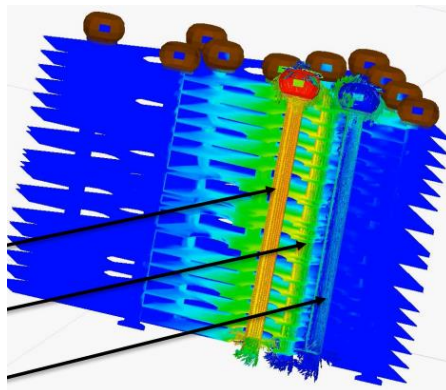
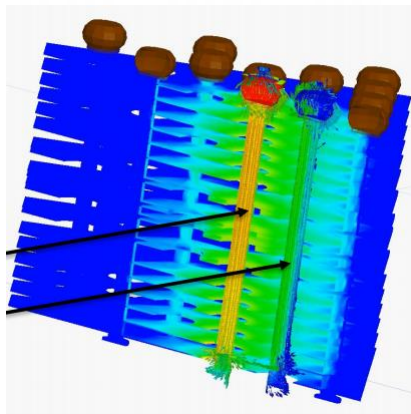


DDR Signals

Pad le



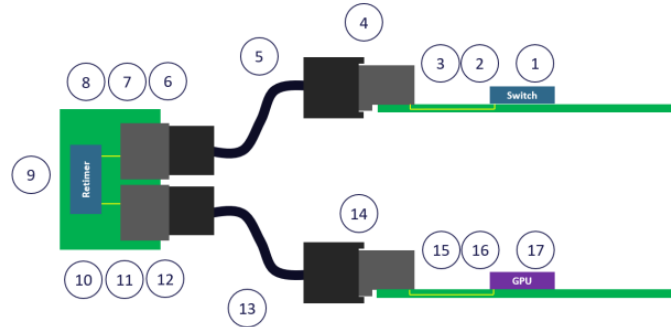
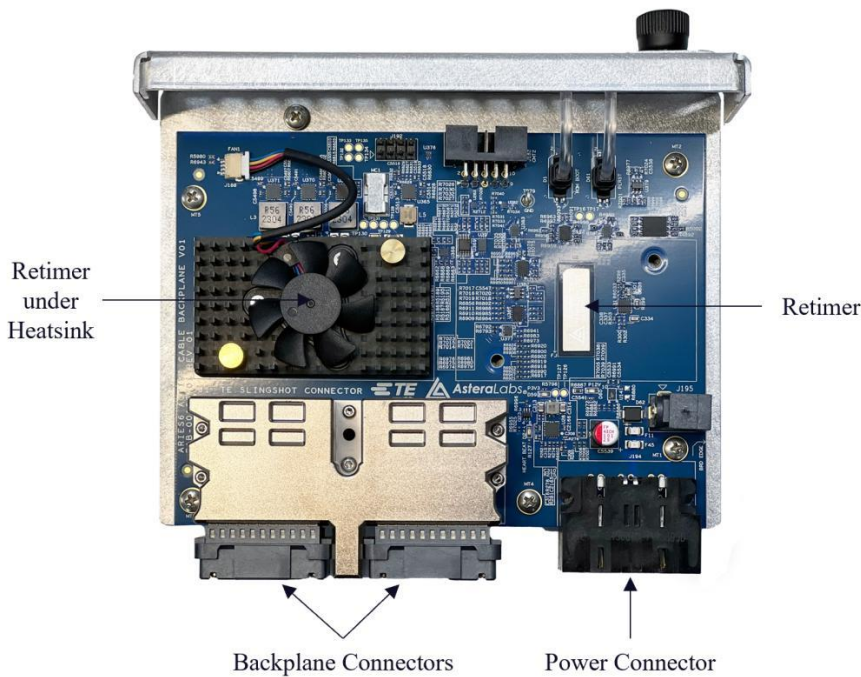
~9dB Crosstalk 개선



3. DesignCon 2026 자료 소개

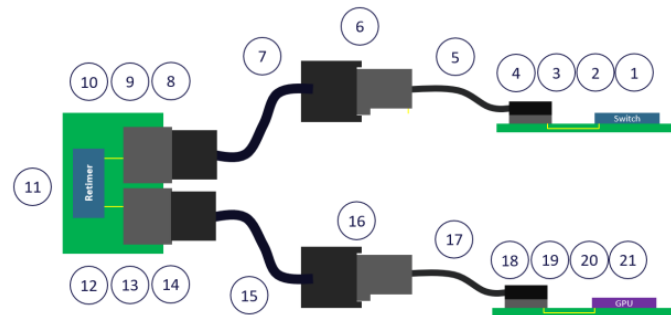
[T07_S10] Reinventing the Backplane: Why AI Demands an Active Approach, C. Blackburn, Astera Labs

- ✓ AI 백플레인 : 30AWG 케이블 53GHz 에서 미터당 10.23dB 의 높은 손실 -> 224G 이상에서 액티브 방식 필요
- ✓ ACB (Active Cable Backplane) : Retimer 를 백플레인 카트리지 내부에 내장
- ✓ 선택적 리타이밍 : 손실이 높은 특정 라인만 리타이머 적용, 짧은 라인은 수증으로 유지하는 하이브리드 방식
- ✓ 케이블 경로 중간에 배치하여 링크 양쪽의 신호 무결성을 최적화, 전체 도달 거리 극대화 => ~2.6m까지 확장
- ✓ 26AWG -> 얇고 유연한 30AWG 로 대체 가능, 시스템 가동 중에 교체 가능, 액체 냉각 시스템과 통합
- ✓ 구리 기반의 경제성/신뢰성 유지 초고속 AI 워크로드가 요구하는 물리적 도달 거리와 신호 무결성 해결



[Active Cable Backplane Channel with PCB Trace]

Item	Description	dB @53.125GHz
1	Switch Package	8.00
2	200mm of PCB Trace (Megtron 8)	9.45
3	Via	0.50
4	Backplane Mated Connection	1.00
5	1000mm 30AWG Twinax	10.23
6	Backplane Mated Connection	1.00
7	50mm of PCB Trace (Megtron 8)	2.36
8	Via	0.50
9	Retimer Package	3.00
10	50mm of PCB Trace (Megtron 8)	2.36
11	Via	0.50
12	Backplane Mated Connection	1.00
13	1400mm 30AWG Twinax	14.32
14	Backplane Mated Connection	1.00
15	75mm of PCB Trace (Megtron 8)	3.54
16	Via	0.50
17	GPU Package	10.00
Segment 1 Total		36.04
Segment 1 Total + 10%		39.65
Segment 2 Total		36.22
Segment 2 Total + 10%		39.85



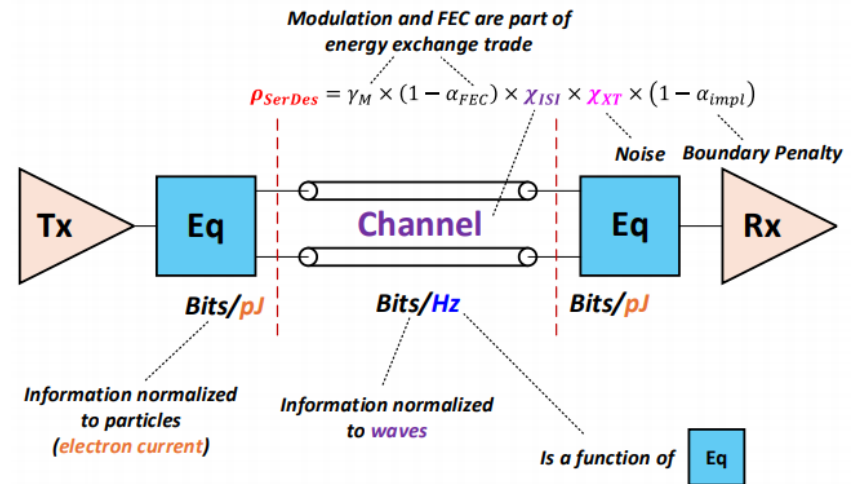
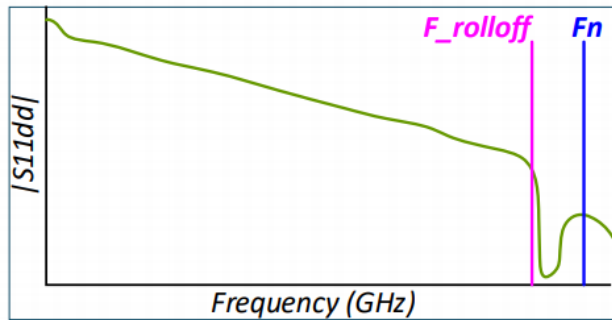
[Active Cable Backplane Channel with Flyover Cables]

Item	Description	dB @53.125GHz
1	Switch Package	8.00
2	50mm of PCB Trace (Megtron 8)	2.34
3	Via	0.50
4	Near Chip Mated Connection	0.70
5	200mm 30AWG Twinax	2.05
6	Backplane Mated Connection	0.70
7	1450mm 30AWG Twinax	14.83
8	Backplane Mated Connection	1.00
9	50mm of PCB Trace (Megtron 8)	2.36
10	Via	0.50
11	Retimer Package	3.00
12	50mm of PCB Trace (Megtron 8)	2.36
13	Via	0.50
14	Backplane Mated Connection	1.00
15	1250mm 30AWG Twinax	12.79
16	Backplane Mated Connection	0.70
17	200mm 30AWG Twinax	2.05
18	Near Chip Mated Connection	0.70
19	50mm of PCB Trace (Megtron 8)	2.34
20	Via	0.50
21	GPU Package	10.00
Segment 1 Total		35.98
Segment 1 Total + 10%		39.58
Segment 2 Total		35.94
Segment 2 Total + 10%		39.53

3. DesignCon 2026 자료 소개

[T08_S02] Improving Spectral Efficiency by Optimizing Sub-Nyquist Equalization for 448 Gbps, A. Josephson, Samtec

- ✓ 현재 224 Gbps PAM4 시스템이 개발 단계에 있는 반면, IEEE와 OIF와 같은 표준화 기구는 이미 448 Gbps 솔루션을 조사하고 있음.
- ✓ 데이터 속도를 448 Gbps로 두 배 높이면 나이퀴스트 주파수 역시 56 GHz에서 112 GHz로 두 배 증가
- ✓ 공진 없는 채널 설계와 신호 대 잡음비(SNR) 급감 방지가 핵심이며, 이를 위해 최적의 이퀄라이제이션 필수
- ✓ SerDes 역량 지수 (ρ_{SerDes}) : SerDes 채널은 물리적 특성과 DSP 기반 이퀄라이제이션의 보상 능력에 따라 사용 가능한 대역폭이 달라지므로 본 논문은 실제 환경의 페널티(변조, 코딩, ISI, 누설 등)를 통합한 유효 SerDes 역량 지수를 도입함.
- ✓ 달성 가능한 주파수 대역 효율성 수식 : $\eta_{achievable} = \rho_{SerDes} \times \log_2(1 + SNR_{post})$



[Bits/Hz : Spectral Efficiency]

3. DesignCon 2026 자료 소개

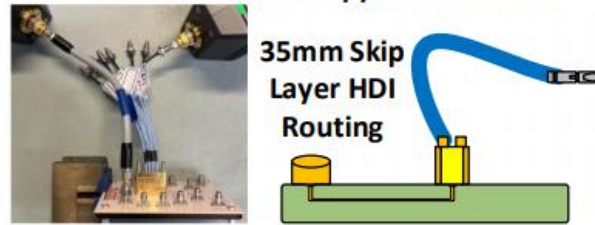
[T08_S02] Improving Spectral Efficiency by Optimizing Sub-Nyquist Equalization for 448 Gbps, A. Josephson, Samtec

- ✓ DUT1 (채널 에뮬레이션) : 스트립라인 기반 100GHz 미만에서 가파른 삽입 손실 롤 오프를 보이는 최악의 조건
- ✓ DUT2 (Coaxial C2M) : 칩-투-모듈 동축 솔루션으로 110GHz 까지 비교적 매끄러운 응답
- ✓ DUT3 (Co-Packaged Cable) : 112GHz 이상에서 롤오프가 발생하는 차세대 노드 간 연결 채널

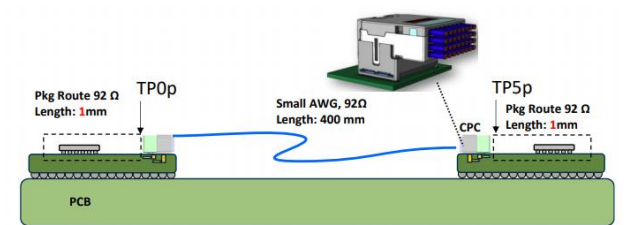
Coax to Stepped Stripline Chan. Em.



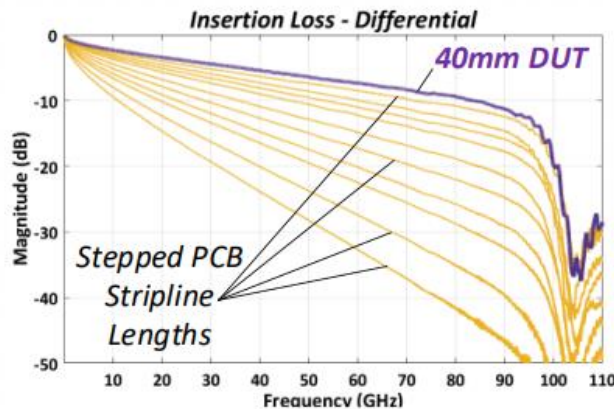
HDI Substrate to Stepped Coax C2M



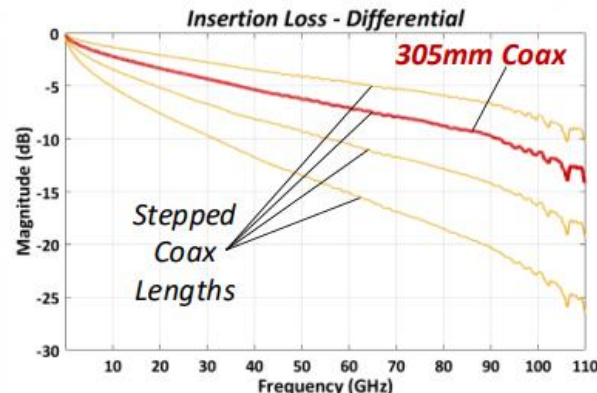
Coax high water mark for C2M topology



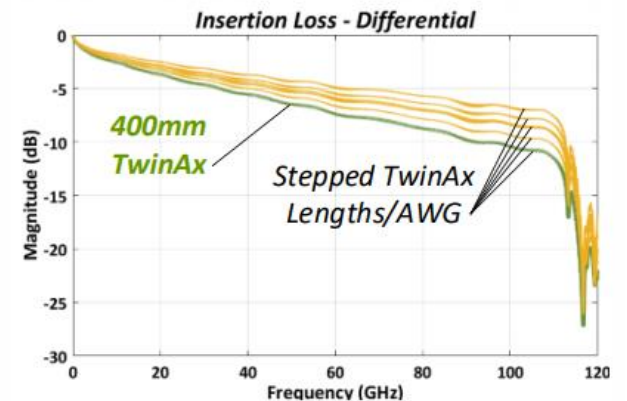
CPC Channel Simulation



[DUT1 : Stripline]



[DUT2 : C2M]

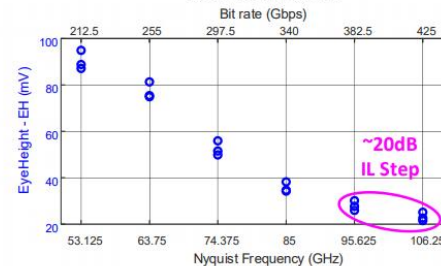
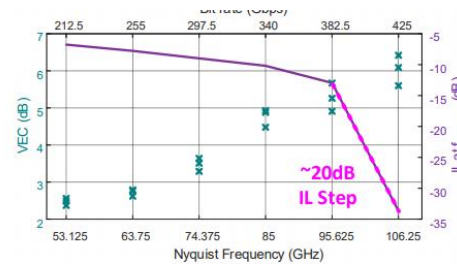
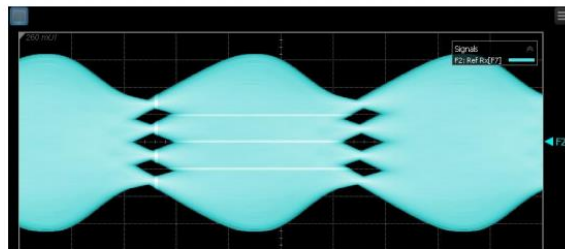
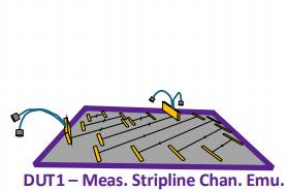


[DUT3 : C2C]

3. DesignCon 2026 자료 소개

[T08_S02] Improving Spectral Efficiency by Optimizing Sub-Nyquist Equalization for 448 Gbps, A. Josephson, Samtec

- ✓ Rx에서 CTLE-FFE-DFE 시퀀스를 사용하는 이퀄라이제이션 구성, 최적화
- ✓ CTLE 2단계 필터 구성 VEC 를 최적화, FFE 30탭 필터로 포스트 CTLE 펄스 응답에 따라 자동 최적화, DFE 단일 탭으로 제한하여 복잡성 조절
- ✓ 결과 : 425Gbps 까지 모든 채널에서 Open Eye 성공 => 서브 나이퀴스트 채널의 가능성 - 나이퀴스트 주파수에서의 삽입 손실이 -30dB 이하로 떨어지더라도 적절한 이퀄라이제이션 설정을 통해 PAM4 기반 전송 가능, 아이 너비(EW)가 1ps 미만으로 떨어지는 구간에서는 매우 정밀한 클럭 복구 기술이 요구됨.
- ✓ 결론 : 나이퀴스트 근처의 펄스 셰이핑 필터와 송신기 측의 프리코딩 기술은 수신기 측의 부담을 줄여줄 수 있음., 궁극적으로 패키징, 커넥터, PCB 연결 구간의 임피던스 불연속을 최소화하여 이퀄라이저가 재구성하기 힘든 스펙트럼 널(Null)을 방지하는 것이 필수적



400G Class SerDes Eq. maintains eye height metrics across the -20dB IL step with expected pJ/bit penalty.

3. DesignCon 2026 자료 소개

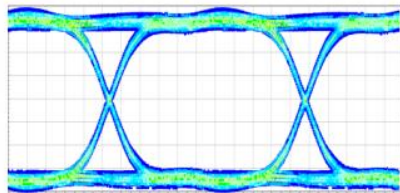
[T09_S04] Analysis of High-Order Pulse Amplitude Modulation for 400+ Gb/s per lane in Ethernet for AI, T. Wang, Huawei Technologies

- ✓ 고차 변조 방식은 더 낮은 심볼 속도로 동작할 수 있지만, 신호 레벨 간 간격이 좁아져 노이즈 내성이 약해지는 트레이드오프가 존재
- ✓ SNR 페널티: NRZ 방식 기준, 동일한 성능을 내기 위해 필요한 SNR 페널티는 PAM4(-6.98dB), PAM6(-10.67dB), PAM8(-13.22dB) 순으로 커짐.
- ✓ DFE 오류 전파: DFE는 이전 심볼의 오류가 현재 심볼로 이어지는 '오류 전파'를 유발, 분석 결과, PAM6와 PAM8은 PAM4보다 오류 전파 확률이 더 높으며(각각 0.833, 0.875), 이는 더 강력한 순방향 오류 정정(FEC) 기술을 필요로 함을 의미
- ✓ 논문은 대역폭 효율성을 100%에 가깝게 끌어올리기 위한 다양한 코딩 기법 제안 -> PAM6 18B7S: 18비트를 7개의 PAM6 심볼로 매핑하는 방식으로, 기존 5B2S 방식(96.7%)보다 높은 99.5%의 코딩 효율을 달성하여 대역폭 소모를 최소화 -> PAM8 DSQ32: 32개의 점을 사용하는 이중 사각형 QAM(Double Square QAM) 성좌도를 활용하여 일반적인 PAM8보다 높은 코딩 이득을 얻음.
- ✓ 라인당 400Gb/s 이상의 속도에서 발생하는 높은 SNR 손실과 버스트 오류를 극복하기 위해 더 강력한 리드-솔로몬(RS) FEC가 검토됨
- ✓ 400Gb/s 이상의 차세대 AI 이더넷 인터커넥트를 위해 PAM6 18B7S 변조와 최적화된 RS FEC 및 LLR 기술의 결합이 가장 유망한 경로임을 시사
- ✓ 향후 표준 개발 시 가벼운 FEC 사용에 따른 신뢰성 위험과 재전송으로 인한 지연 시간 변동성을 신중히 고려해야 하며, 특히 RS(272, 258) 기반 솔루션의 지속적인 개선이 필요

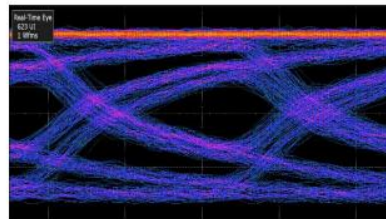
3. DesignCon 2026 자료 소개

[T12_S10] Bridging the Gap Between Simulation and Measurement in DDR5: Techniques for Improved Correlation, L. Forni, SECO

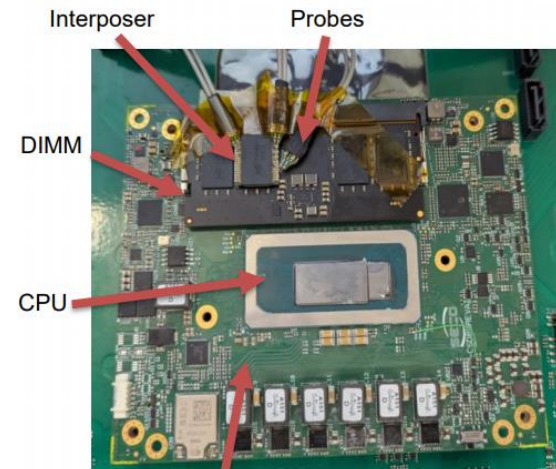
- ✓ 시뮬레이션 결과는 물리적 제약이 덜 반영되어 낙관적인 경향이 있는 반면, 측정 결과는 측정 장비의 부하(Loading) 효과로 인해 비관적으로 나타남.
- ✓ 고밀도 설계 및 양면 DIMM 채택으로 인해 과거처럼 보드 뒷면에서 비아(Via)를 통해 프로빙하는 방식이 불가능
- ✓ 측정 지점을 DRAM 볼(Ball)에 최대한 가깝게 가져가기 위해 인터포저가 표준 솔루션으로 채택
- ✓ 프로브 아키텍처 : RC 아키텍처: 단순한 저항-커패시터 구조로, 예측 가능한 임피던스 프로파일을 가짐, DDR5의 On-Die Termination(ODT) 학습 과정을 방해하지 않아 메모리 측정에 선호
- ✓ RCRC 아키텍처: 더 넓은 대역폭을 제공하지만 주파수에 따른 임피던스 변화가 복잡하여 메모리 시스템의 부팅이나 트레이닝에 영향을 줄 수 있음



Simulation



Measurement



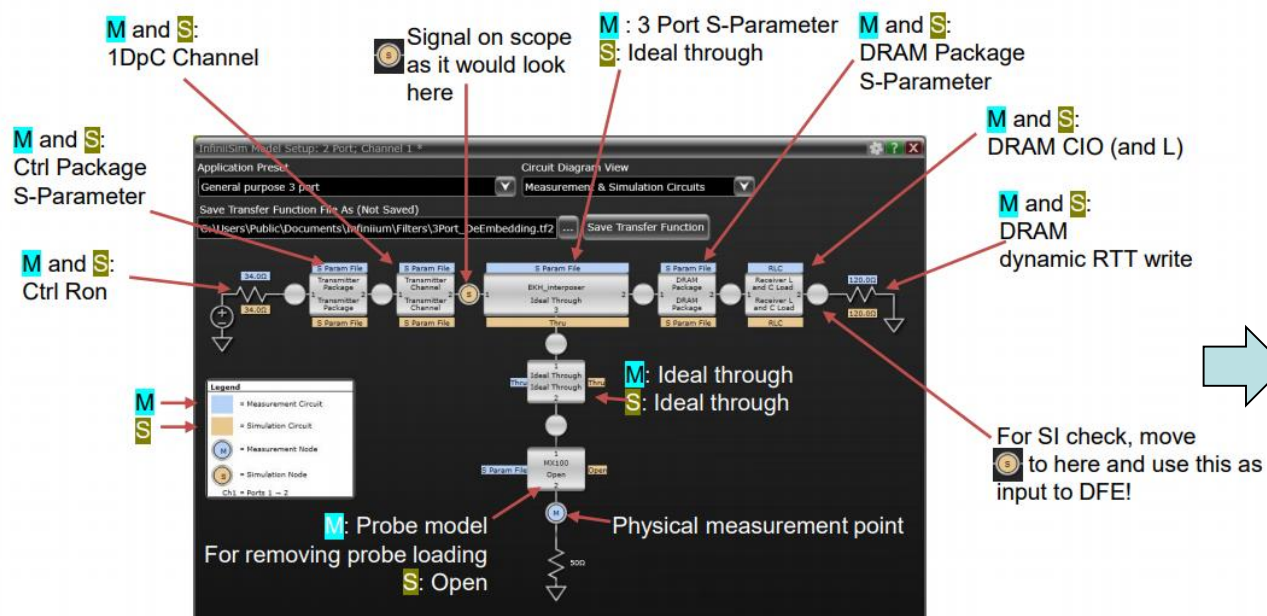
PCB Module

[+ Interposers and probes]

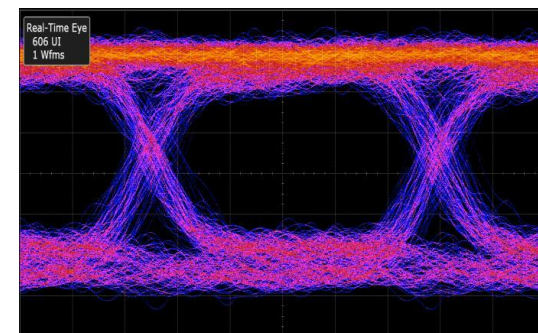
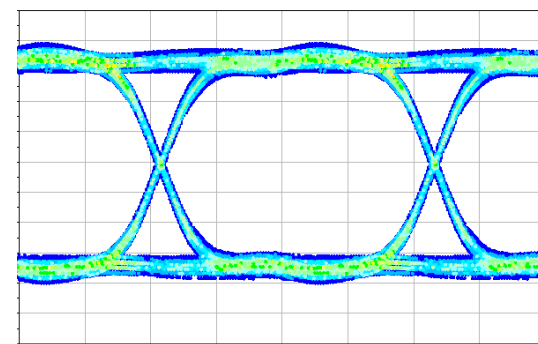
3. DesignCon 2026 자료 소개

[T12_S10] Bridging the Gap Between Simulation and Measurement in DDR5: Techniques for Improved Correlation, L. Forni, SECO

- ✓ 시뮬레이션과 측정 correlation
- ✓ De-embedding / move probe point
- ✓ 3-port de-embedding and moving test point for WRITE eye



[InfiniiSim Setup : De-embedding / move probe point]

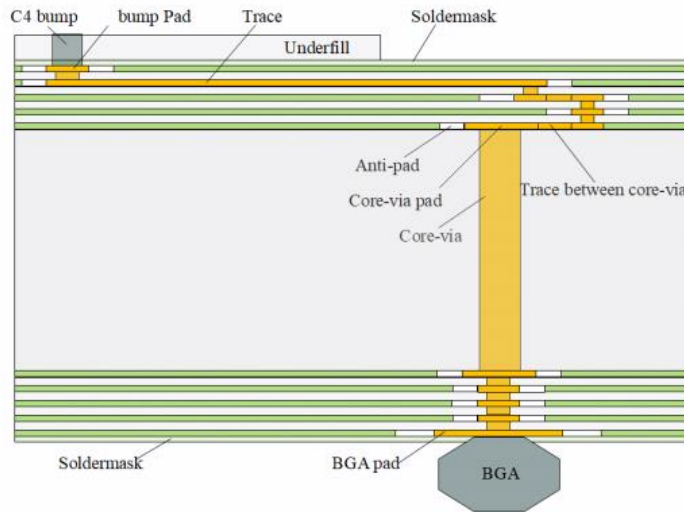


[Correlation : DDR5-4800]

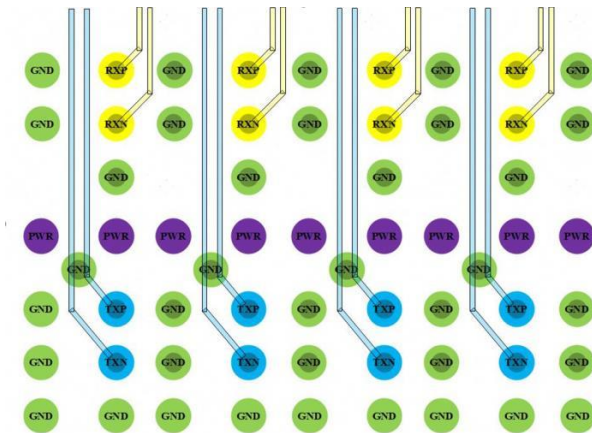
3. DesignCon 2026 자료 소개

[T13_S05] Impact Analysis of Package Manufacturing Process Variations Across Different Design Scenarios, P. Krotnev, Huawei Canada

- ✓ 패키지 제조 공정 편차가 신호 및 전력 무결성에 미치는 영향 분석
- ✓ SerDes (112 Gbps) : ICN 분석에서 기판 금속층 두께와 주요 위치의 격리된 접지 비아 오차가 큰 영향 ~13.8% 편차, ERL 분석에서 배선 폭이 가장 큰 요인이며, 코어 비아 패드 반경과 BGA 반경이 그 뒤, 평균 대비 6% 감소
- ✓ DDR DIMM : Layer A의 배선폭이 Eye Height에 가장 큰 영향 -> 1.35mV/um, 공정 편차 반영 시 EH는 5% 감소, EW는 3% UI 감소
- ✓ D2D : 유전체 두께가 가장 변수, EH 영향 -> 4mV/um, 공정 편차로 EH가 19% 낮게 형성, D2D 설계에서 유전체 두께 제어가 중요
- ✓ 전력 무결성 : 금속 두께는 기생 저항에, BGA 직경은 기생 인덕턴스에 큰 영향 -> 공정 편차로 시간 영역 노이즈 p-p 값이 정상치 대비 4% 악화



[Every part in chip package have process variations]

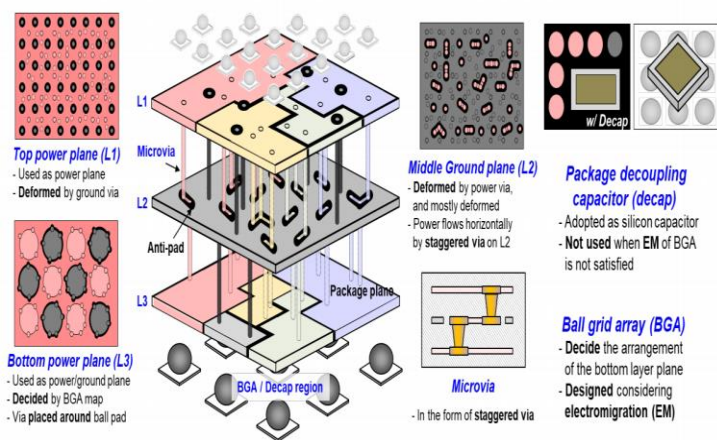


[Routing at SerDes Bump Area]

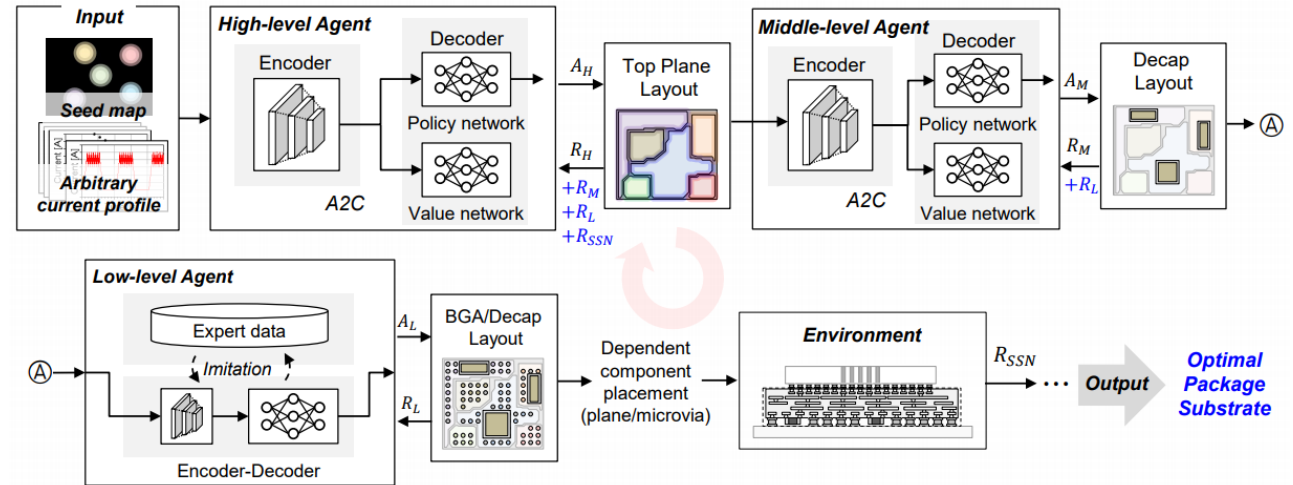
3. DesignCon 2026 자료 소개

[T14_S04] Holistic Design Optimization of 3D-IC Package Substrate Interconnections in Multiple Power Domain Environments based on Hierarchical Reinforcement Learning, S. Ryu, KAIST

- ✓ 계층적 강화 학습을 기반으로 한 다중 전력 도메인 환경에서의 3D-IC 패키지 기판 상호 연결의 통합 설계 최적화
- ✓ 칩 설계 전 패키지 평면, 디커플링 커패시터(Decap), BGA를 먼저 정의하여 전원 노이즈(SSN) 위험을 줄이는 방법론
- ✓ 보상 함수 : SSN 억제 보상, BGA 영역에서 전류가 특정 볼에 집중되어 발생하는 전자 이주(EM) 방지 및 PDN 임피던스 피크와 전류 스펙트럼 피크가 겹치지 않도록 페널티 부여
- ✓ 3D-EM 시뮬레이션 없이도 정확한 피드백 제공하여 계산 비용 낮춤
- ✓ 향후 시스템 레벨의 공동 최적화로 확장될 수 있는 방법을 제시



[Package Substrate Details]

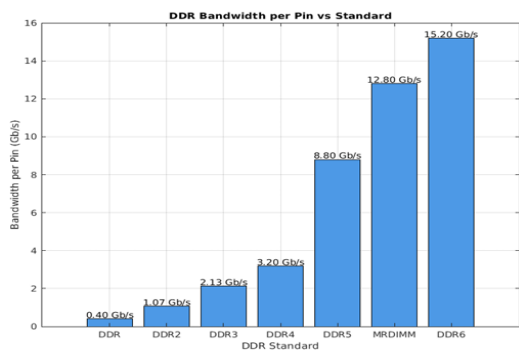


[HRL-based Package Substrate Optimization]

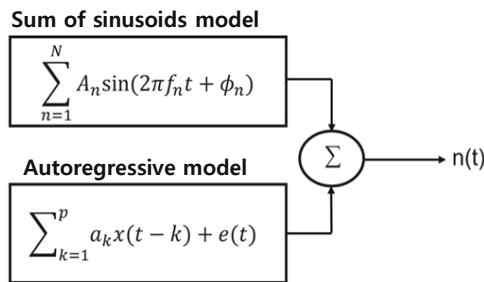
3. DesignCon 2026 자료 소개

[T02_S01] Modeling & Study of Power Supply Noise (PSN) in server DDR Links, K. Bhardwaj, AMD.

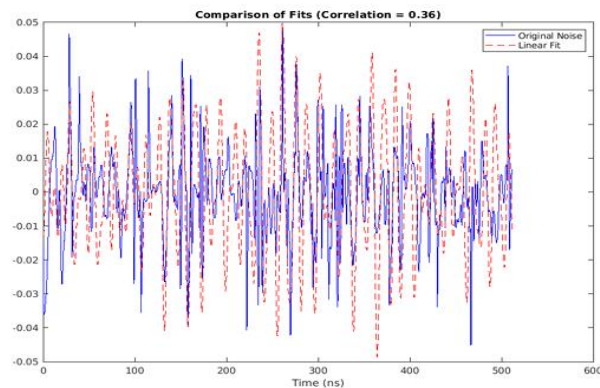
- ✓ 데이터 속도 증가에 따라 PSN이 전압 및 타이밍 마진에 미치는 영향을 초기 설계 단계에서 정확히 평가해야 함
- ✓ 실제 데이터 트래픽 반영한 하이브리드 모델 (Sinusoids + AR 모델) 제안
- ✓ 하이브리드 모델을 전통적인 LTI 시뮬레이션 도구에 통합



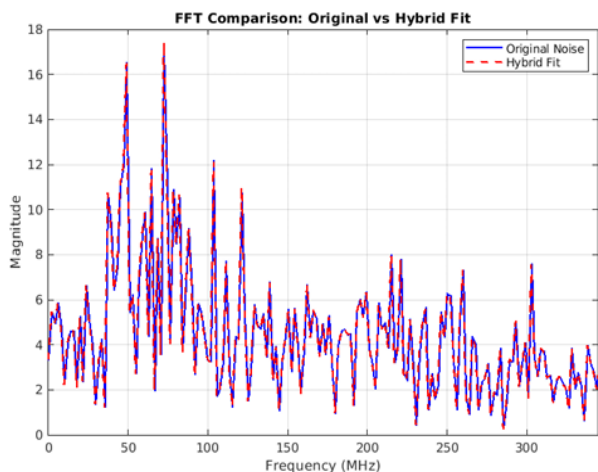
[DDR data rate의 발전]



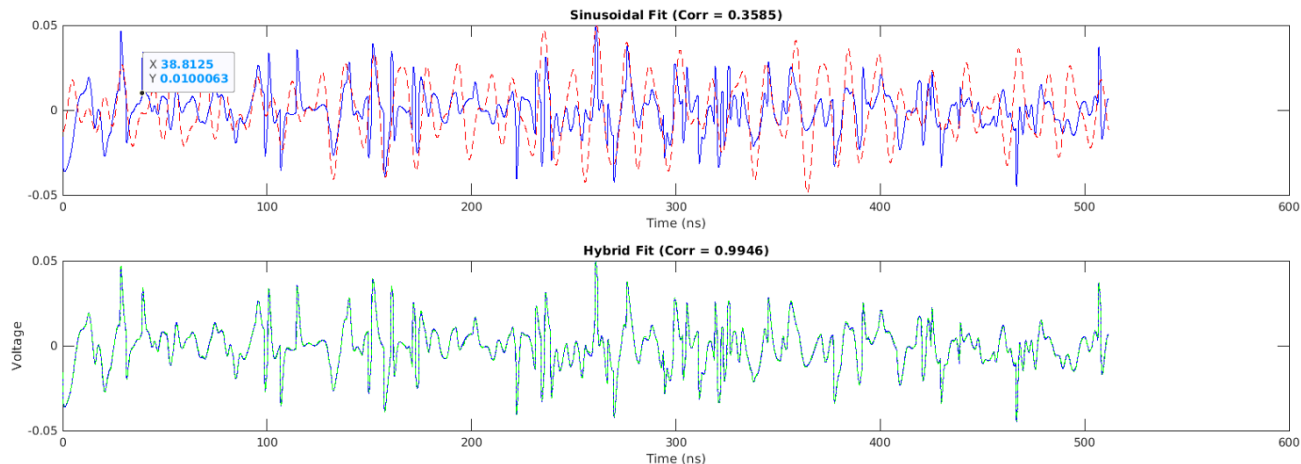
[하이브리드 모델]



[Linear fit과 비교; Sum of sinusoids (n=5)]



[FFT 비교: 기존 vs 하이브리드]

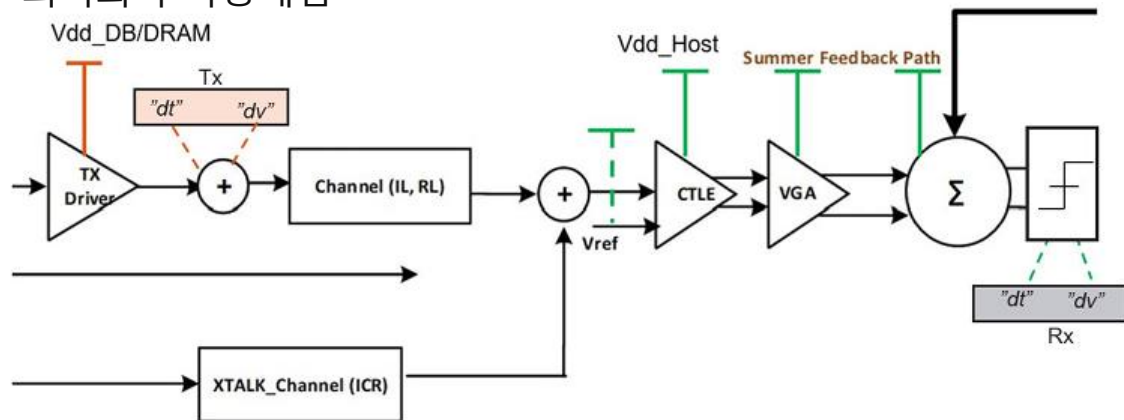


[실제 노이즈 프로파일과 하이브리드 모델의 결과 비교]

3. DesignCon 2026 자료 소개

[T02_S01] Modeling & Study of Power Supply Noise (PSN) in server DDR Links, K. Bhardwaj, AMD.

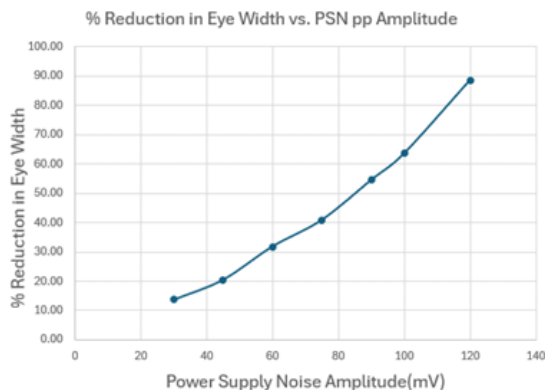
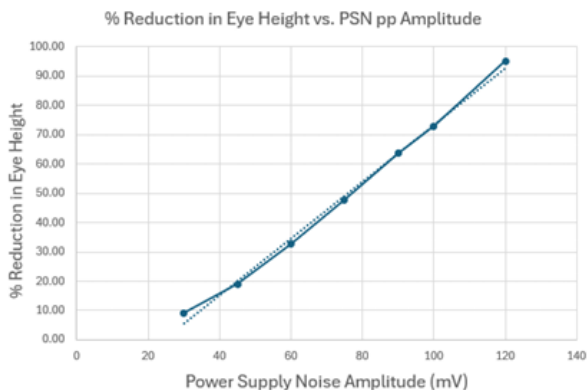
- ✓ 실제 측정값 대비 EH(-1%), EW(4.55%)의 낮은 오차 보이며 높은 신뢰성을 입증함
- ✓ PSN에 의한 전압 변조 효과를 시뮬레이션에 포함함으로써 보다 견고한 메모리 아키텍처 설계 및 시스템 수준의 최적화가 가능해짐



[Single-Rank DDR link (READ 모드)]

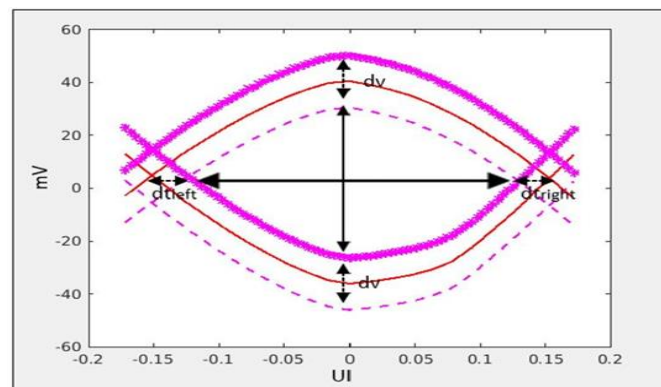
Setup	EH_delta(%)	EW_Delta(%)
Transient Profile	33.80	27.27
Model Based : Equal PSN on Tx and Rx	32.66	31.82
Model Based : PSN on Tx Only	17.56	15.91

→ PSN이 링크 마진에 미치는 영향을 결정하기 위해 Tx와 Rx 측의 전압 및 타이밍 손실을 모두 고려해야 함



[링크 마진에 대한 PSN amplitude의 영향]

→ PSN의 peak-to-peak amplitude 증가에 따른 EH, EW 감소 비율

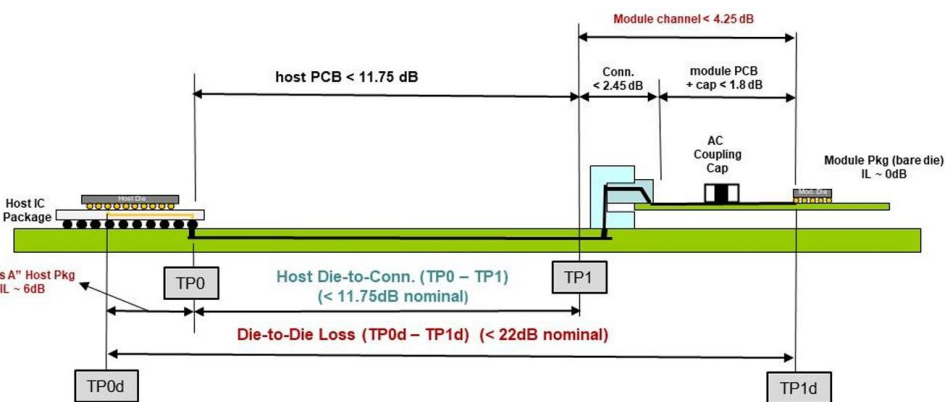


[Statistical Eye contour]

3. DesignCon 2026 자료 소개

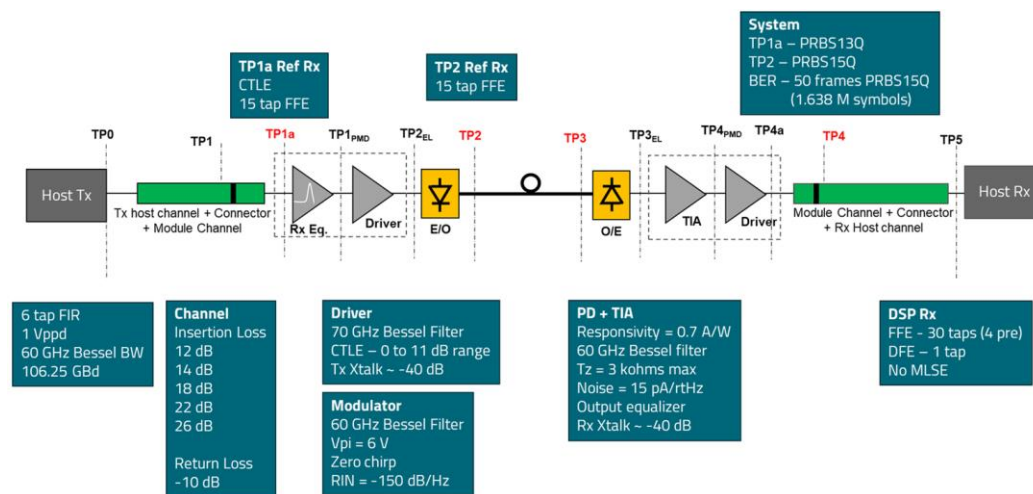
[T03_S05] 200G Per Lane Linear Direct Drive Optical Channels for Power Efficient AI Interconnect, M. Kimber, Semtech.

- ✓ 차세대 AI 클러스터의 높은 대역폭 요구 및 기존 DSP 기반 광 모듈의 고전력/발열 문제
- ✓ 전력 효율이 높은 Linear Direct Drive 방식의 광학 채널을 분석하고 시스템 설계 파라미터가 링크 성능에 미치는 영향 검토
- ✓ DSP 제거하고 LPO 기술 적용 → 전력 소비 50% 절감
- ✓ 호스트 시스템과 광 모듈 간의 지능적 분할 및 서브 시스템별 독립적인 이퀄라이제이션 설계



Port Type	Host PCB Loss (dB)	Host PCB Length (in.)	TP0d-TP1 (dB)	Die-to-Die Loss (TP0d - TP1d) (dB)
Short	1.75	~ 1.5	7.75	12
Medium	7.75	~ 6.5	13.75	18
Long	11.75	~ 9.8	17.75	22

[Host-to-Module Electrical Channel 구조]

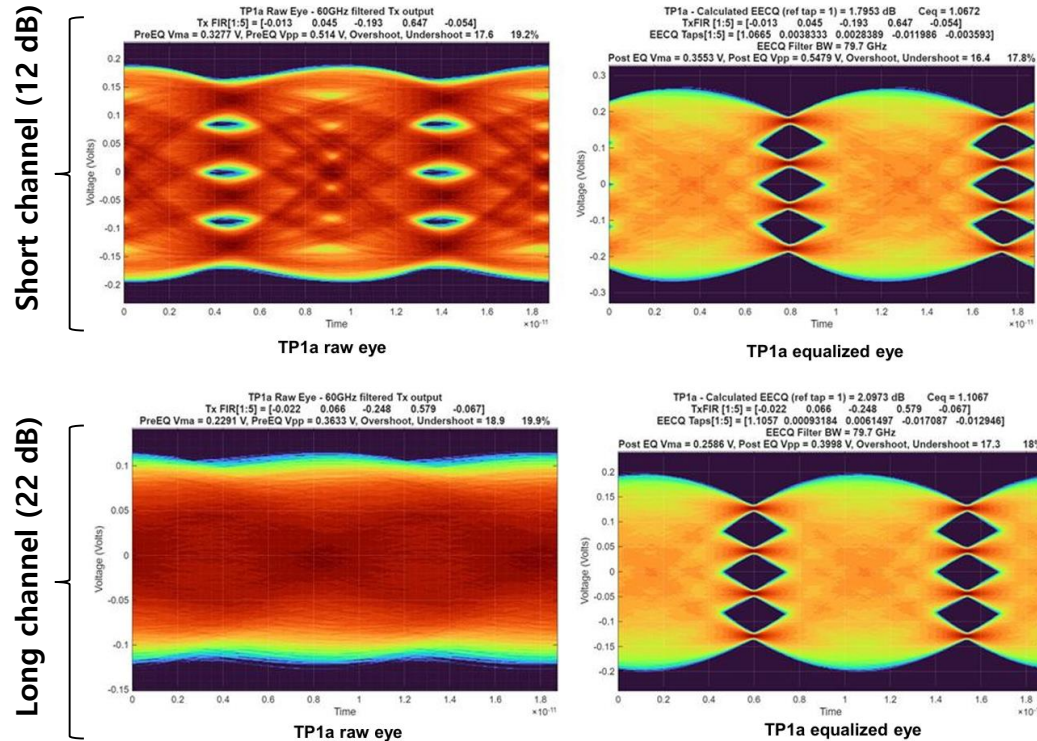


[200G End-to-End LPO 시스템 블록 다이어그램]

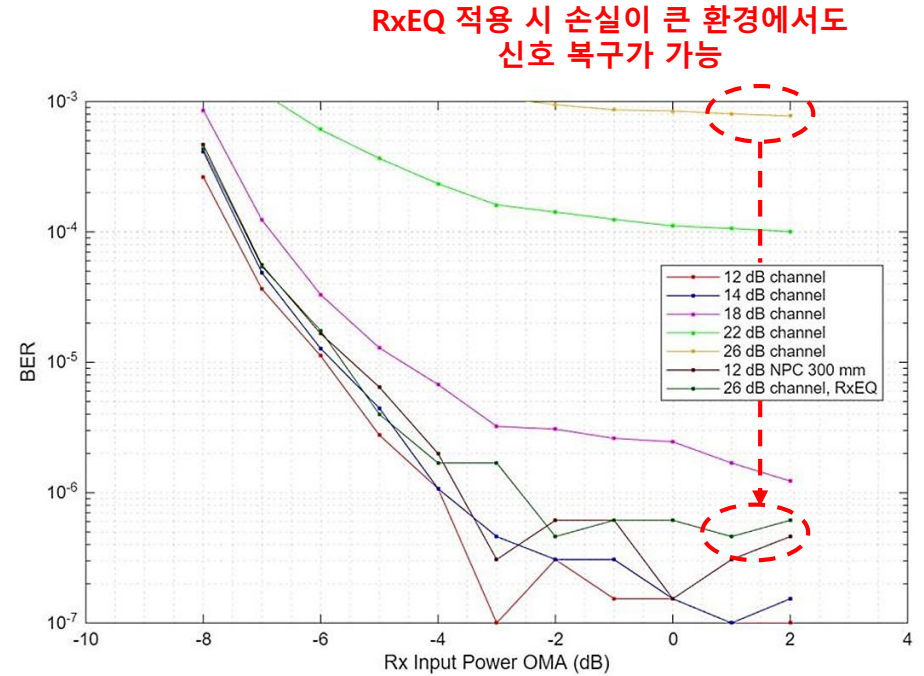
3. DesignCon 2026 자료 소개

[T03_S05] 200G Per Lane Linear Drive Optical Channels for Power Efficient AI Interconnect, M. Kimber, Semtech.

- ✓ 200Gb/s 환경에서 저전력 특성과 상호운용성을 동시에 입증
- ✓ 채널 손실에 따른 BER 시뮬레이션 결과, RxEQ가 성능 개선에 결정적 역할
- ✓ 대역폭 증가에 따른 시스템 수준의 열 관리 미치 전원 공급 설계 최적화를 위한 구성 및 사양 정의의 필요성 식별
- ✓ 전력 효율적인 AI 인터커넥트 구현을 위한 선형 광학 채널 설계 가이드라인과 포트 구성 방향을 제시



[Host-to-Module Electrical Channel 구조]



[200G End-to-End LPO 시스템 블록 다이어그램]

3. DesignCon 2026 자료 소개

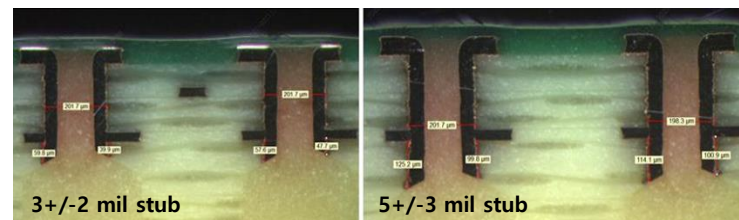
[T04_S06] Breakthroughs in PCB Technology for PCIe 7.0 Interconnects, D. Liu, Alibaba Cloud Computing.

- ✓ PCIe 7.0 구현하기 위해 pin field 영역의 임피던스 부정합과 crosstalk 병목 문제를 PCB 제조 기술로 해결해야 함
- ✓ AI 알고리즘 기반 마크 포인트 인식 기술로 층간 정렬 정밀도 극대화
- ✓ 고해상도 노광 장비와 최적화된 에칭 파라미터 제어를 통한 미세 회로 구현

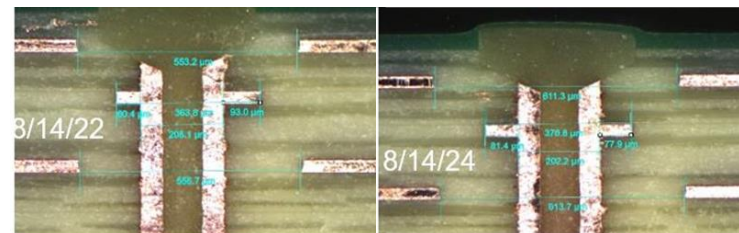
	Case Value		
Via stub length	5+/-3 mil	3+/-2 mil	1+/-1 mil
Via stack geometry	8/14/24 mil	8/14/22 mil	6/12/20 mil
Breakout trace geometry	3/3/3 mil	2/2.5/2 mil	2/2/2 mil
Backdrilling filling materials	NA	Epoxy-filled vs. Air-filled vias	NA

	Case	5+/-3 air ²	5+/-3 epoxy ²	3+/-2 air	3+/-2 epoxy	1+/-1 epoxy	8-14-24	8-14-22	6-12-20	3-3-3	2-2.5-2	2-2-2	Open field ³	Pin field ³	Layer03 ³	Layer20 ³
Via Stub ¹	1		✓				✓						✓		✓	
	2	✓					✓						✓		✓	
	3				✓		✓						✓		✓	
	4			✓			✓						✓		✓	
	5					✓	✓						✓		✓	
	6		✓				✓						✓			✓
	7	✓					✓						✓		✓	
	8				✓		✓						✓		✓	
	9				✓		✓						✓		✓	
	10					✓	✓						✓		✓	
Via Stack ³	11		✓				✓			✓				✓	✓	
	12		✓				✓		✓	✓				✓	✓	
	13		✓				✓		✓	✓				✓	✓	
	14		✓				✓		✓	✓				✓	✓	
	15		✓				✓		✓	✓				✓	✓	
	16		✓				✓		✓	✓				✓	✓	
	17				✓		✓		✓	✓				✓	✓	
	18				✓		✓		✓	✓				✓	✓	
	19				✓		✓		✓	✓				✓	✓	
	20				✓		✓		✓	✓				✓	✓	
	21				✓		✓		✓	✓				✓	✓	
	22				✓		✓		✓	✓				✓	✓	
Trace ⁴ (pin field)	23		✓				✓		✓					✓	✓	
	24		✓				✓		✓		✓			✓	✓	
	25		✓				✓		✓			✓		✓	✓	
	26		✓				✓		✓		✓			✓	✓	
Air-filled vias ⁷	27		✓				✓		✓					✓	✓	
	28		✓				✓		✓			✓		✓	✓	
	29				✓			✓		✓				✓	✓	
	30				✓			✓		✓				✓	✓	

[PCB Design Study case]



[Stub Length Measurement]



[Pad Stack Geometry Measurement]

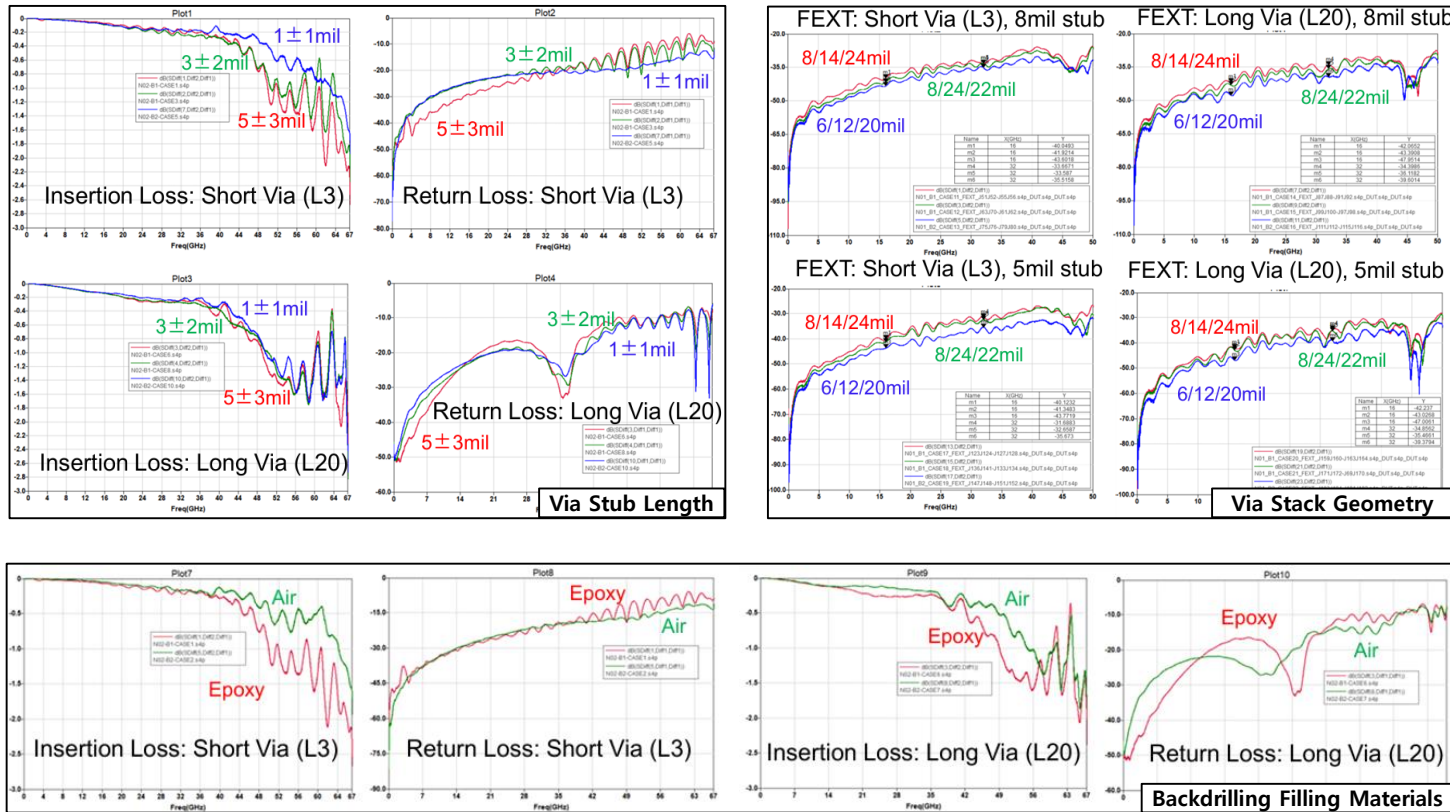


[Breakout Trace Geometry Measurement]

3. DesignCon 2026 자료 소개

[T04_S06] Breakthroughs in PCB Technology for PCIe 7.0 Interconnects, D. Liu, Alibaba Cloud Computing.

- ✓ 고주파 대역에서 삽입 손실 개선과 pin field 영역에서 crosstalk 감소 확인
- ✓ 32GHz 이상 고주파 대역에서 비아 스템브 감소에 따른 현저한 성능 개선 효과 확인
- ✓ 향상된 PCB 제조 능력이 신호 무결성 개선과 직결됨을 확인하여 PCIe 7.0 상용화의 기반을 마련함

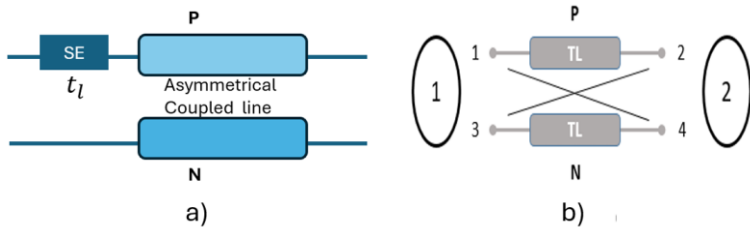


[SI measurement data]

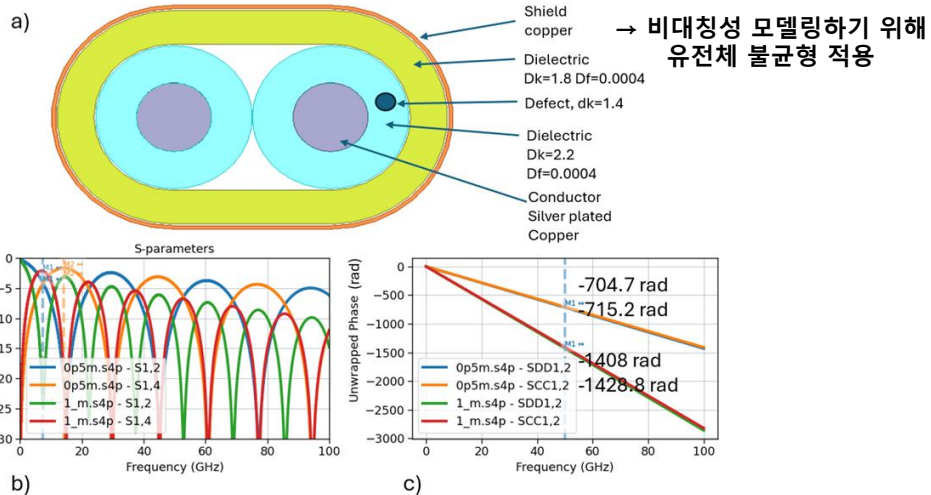
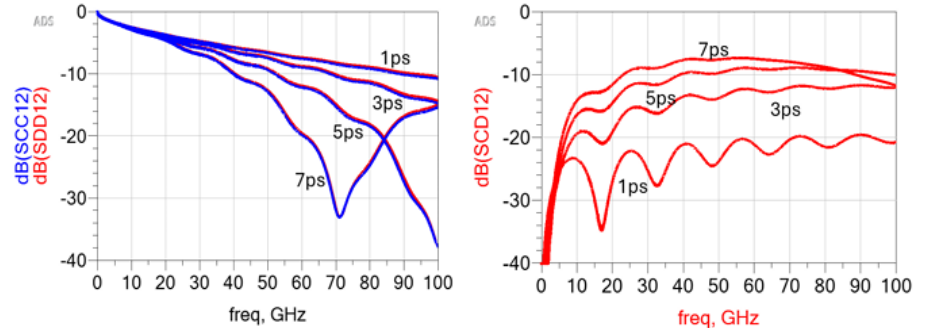
3. DesignCon 2026 자료 소개

[T06_S3] Analytical Derivation of P/N Skews in Coupled Channels: Impact on 400G PAM6 SerDes, D. Nozadze, Cisco Systems.

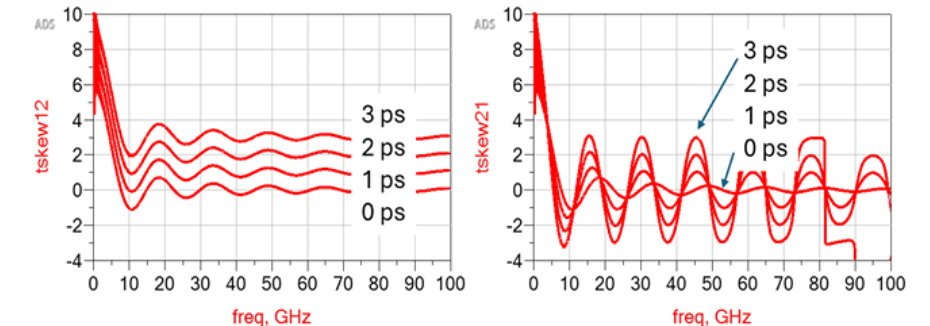
- ✓ PAM6를 사용하는 400G 시스템은 신호 간 타이밍 불일치인 P/N skew에 민감하여 이를 분석할 이론적 틀이 필요
- ✓ 전송선로 이론을 바탕으로 결합된 채널의 P/N skew 유도 수식을 개발



[(a) 시뮬레이션 채널, (b) Coupled Transmission line 스키매틱]



[Twinax 케이블 단면과 차동/공통 모드의 위상 차이]



→ 케이블 통과한 후 t_l 섹션 지날 때: t_l 만큼 오프셋 생김

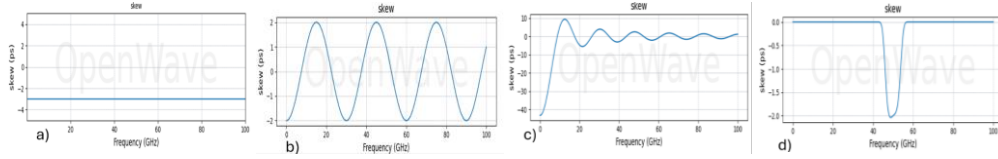
→ t_l 지난 후 케이블로 들어갈 때: Cosine 함수에 의해 진폭 변조됨

[전송 방향에 따른 skew의 비가역성]

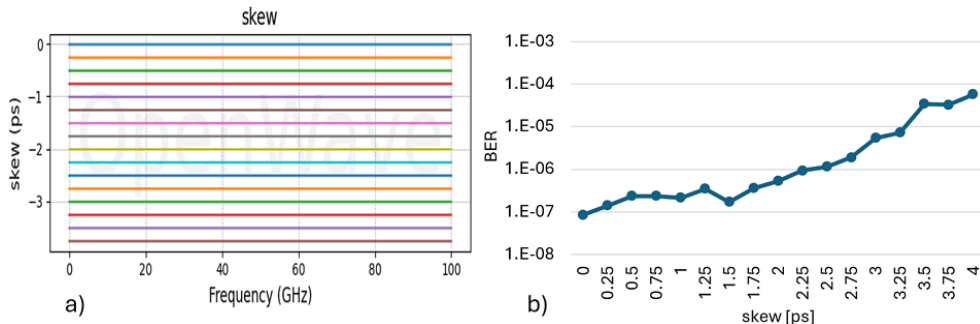
3. DesignCon 2026 자료 소개

[T06_S3] Analytical Derivation of P/N Skews in Coupled Channels: Impact on 400G PAM6 SerDes, D. Nozadze, Cisco Systems.

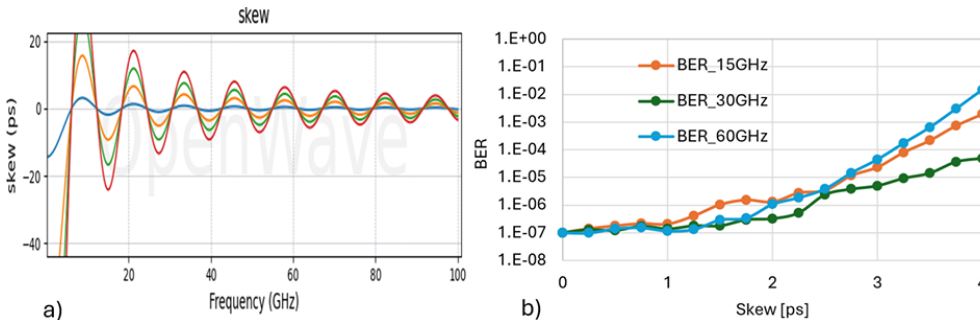
- ✓ PAM6 성능 영향 분석 : 다양한 skew 형태에 따른 BER 변화 시뮬레이션
- ✓ Flat skew가 BER 저하에 가장 큰 영향 미치며, gaussian 형태의 skew가 가장 적은 영향 미침



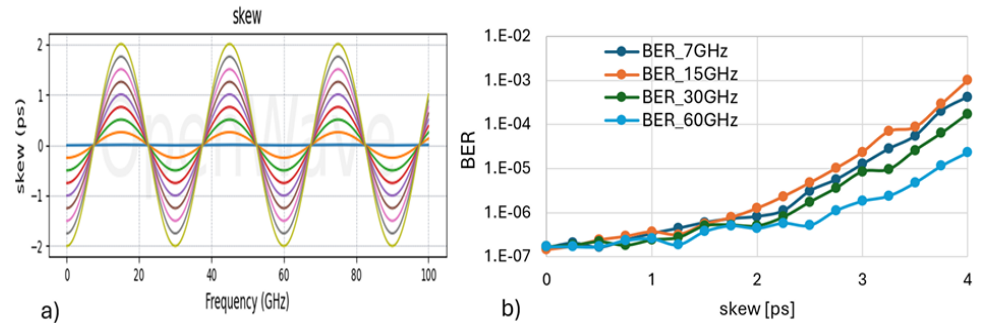
[시뮬레이션에 사용된 4가지 skew 형태]



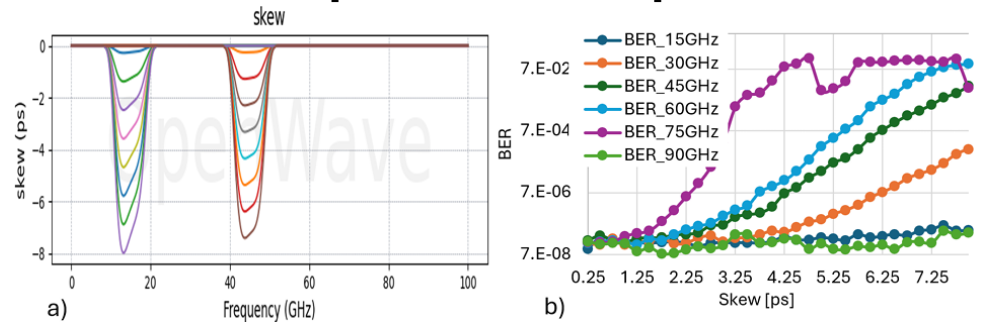
[Frequency independent skew]



[Damped oscillated skew]



[Cosine oscillated skew]



Peak Freq [GHz]	15	30	45	60	75	90
Less than 0.5 order degradation up to * skew [ps]	6.25	3.75	2.25	2	1.25	None

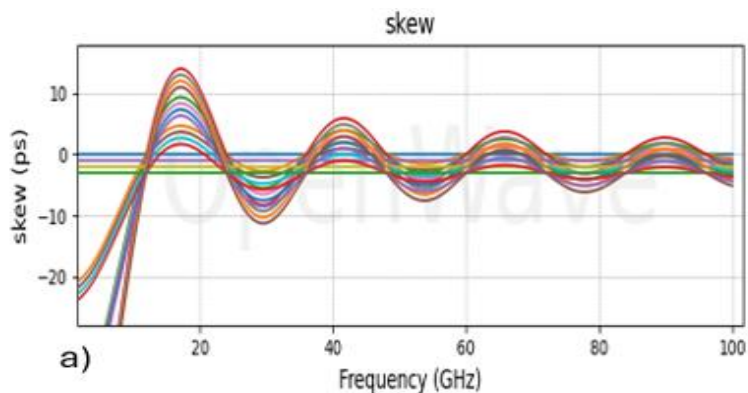
[Gaussian-shaped skew]

→ PAM6에서 약 1.5~2ps 이상의 skew 발생 시, BER이 허용 범위 벗어남

3. DesignCon 2026 자료 소개

[T06_S3] Analytical Derivation of P/N Skews in Coupled Channels: Impact on 400G PAM6 SerDes, D. Nozadze, Cisco Systems.

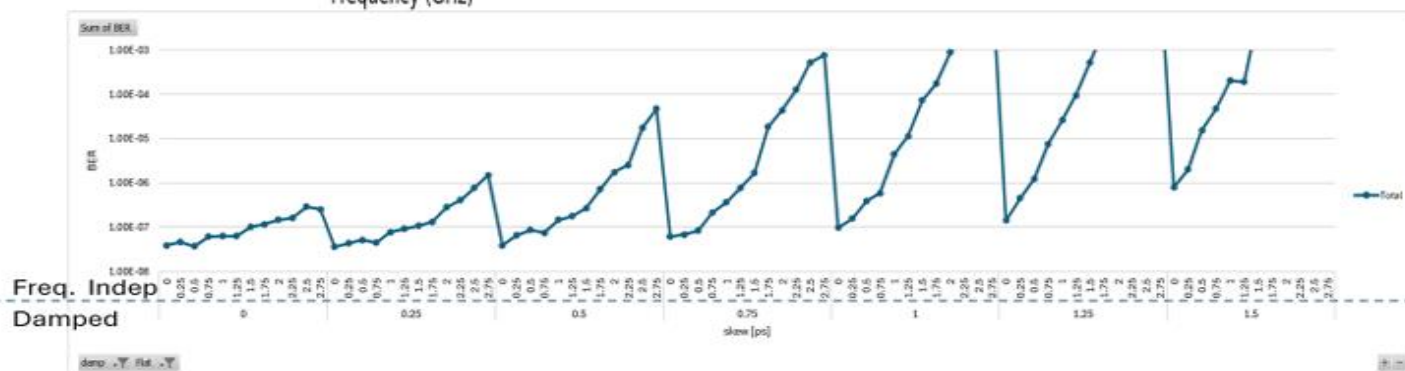
- ✓ 도출된 closed-form expression 수식을 통해 복잡한 고속 채널에서 skew 유도 성능 저하를 사전에 예측하고 설계 가이드라인으로 활용할 수 있게 함



	Freq. Indep. [ps]	Damped osc. [ps]
Less than 0.5 order degradation	2	0
Less than 0.5 order degradation	1.75	0.25
Less than 0.5 order degradation	1.25	0.5
Less than 0.5 order degradation	0.75	0.75
Less than 0.5 order degradation	0.25	1
Less than 0.5 order degradation	0	1.25

→ 전체 합산 skew가 약 2ps 수준까지는 BER 저하가 크지 않음

0.25ps 이하: 주파수 독립적 skew를 상대적으로 더 많이 허용 가능



- Damped-skew 크기 커질수록 허용 가능한 주파수 독립적 skew의 양은 급격히 감소

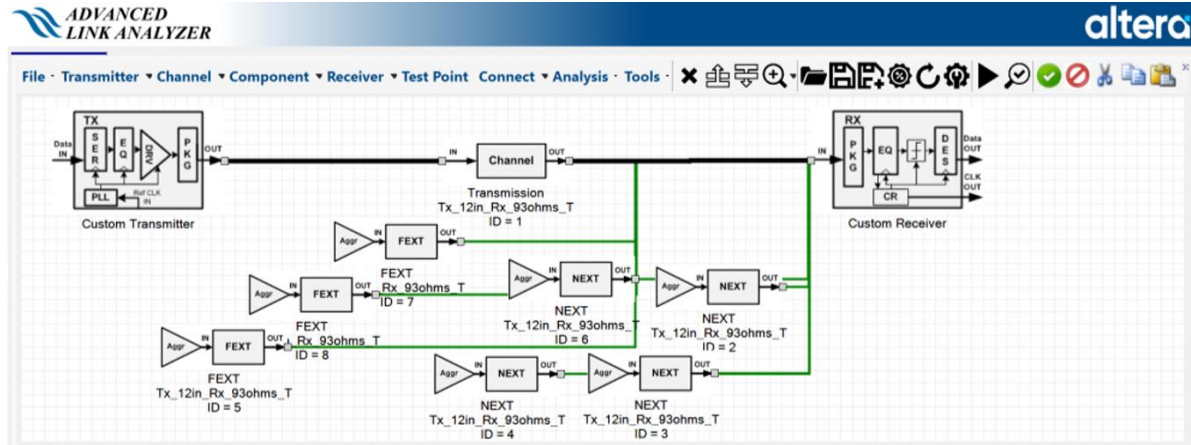
b)

[시스템이 허용할 수 있는 최대 skew 범위]

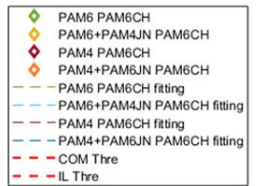
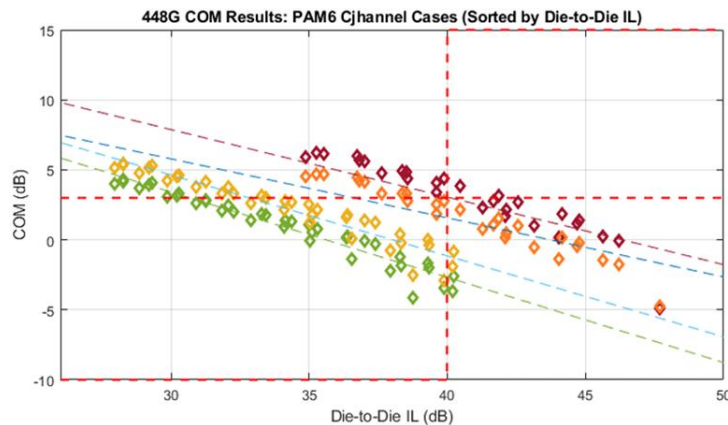
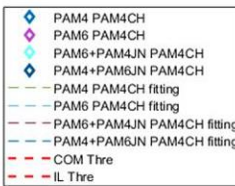
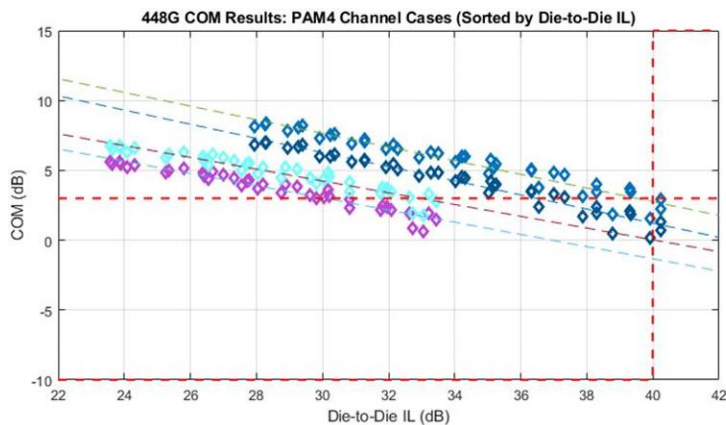
3. DesignCon 2026 자료 소개

[T07_S9] Next Generation 448 Gbps SERDES, Package, Long Reach Channels, and End-to-End Link Simulation and Analysis, M. Li, Altera.

- ✓ AI 네트워크 가속화로 인해 대역폭 수요가 448G로 이동함에 따라 전체 링크 시스템의 기술적 타당성 검토 필요
- ✓ 3nm 이하 첨단 공정의 SerDes 특성과 최신 CPC(Co-packed copper) 커넥터 기술 등을 종합적으로 분석



[448Gbps PAM4/PAM6 simulation topology]



[Die-to-Die 삽입 손실에 따른 COM(channel operating margine) 값 비교]

3. DesignCon 2026 자료 소개

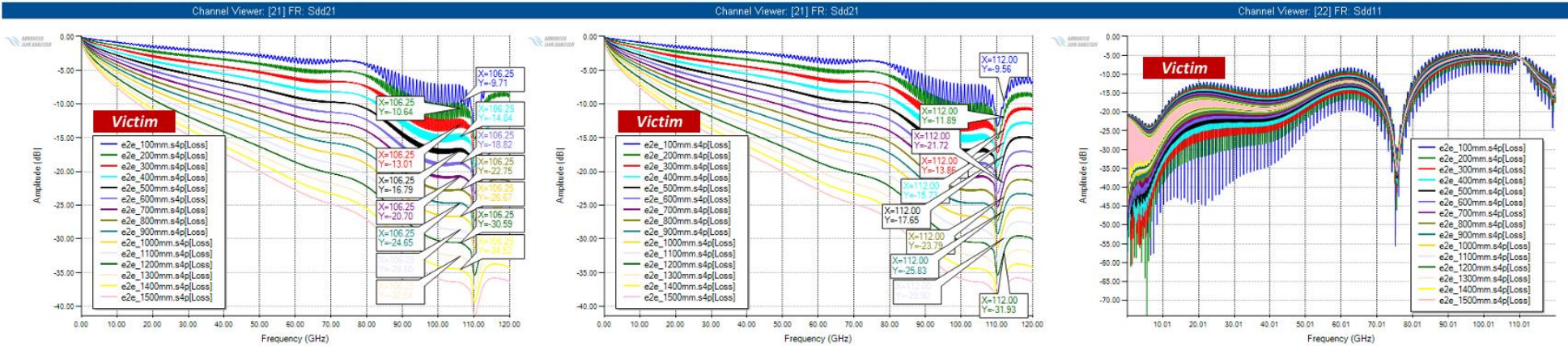
[T07_S9] Next Generation 448 Gbps SERDES, Package, Long Reach Channels, and End-to-End Link Simulation and Analysis, M. Li, Altera.

- ✓ 448G PAM4 링크가 112GHz 대역에서 약 40dB의 삽입 손실 조건에서도 2~4dB의 COM 마진을 확보할 수 있음
- ✓ CPC 커넥터와 31 AWG 케이블 조합이 448G 데이터 전송을 지원하는 견고한 솔루션임을 확인
- ✓ 차세대 링크 설계를 위한 전력 효율 및 시뮬레이션 기반의 상세 가이드라인 제공

End-to-End IL at 106.25 GHz

End-to-End IL at 112 GHz

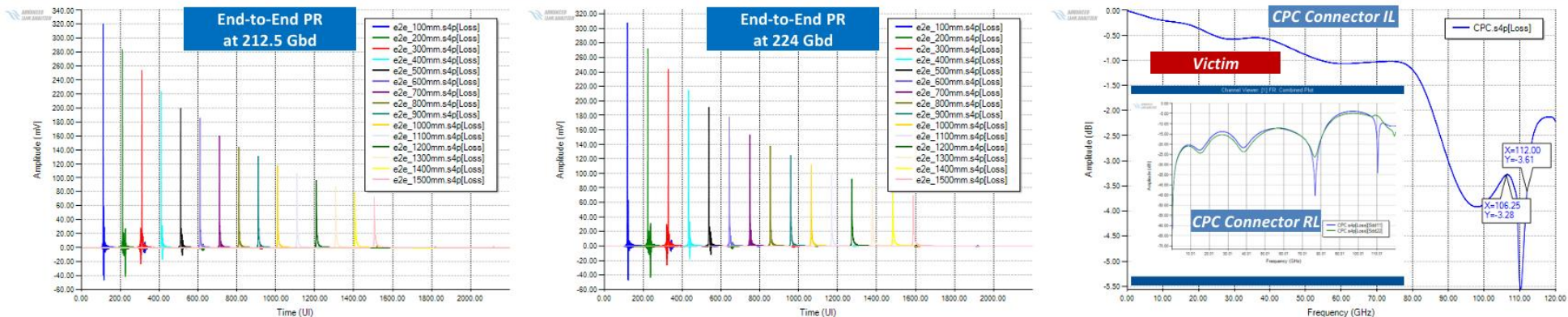
End-to-End Return Loss



Channel Viewer: [24] SBR: Sdd21

Channel Viewer: [25] SBR: Sdd21

Channel Viewer: [1] FR: Sdd21

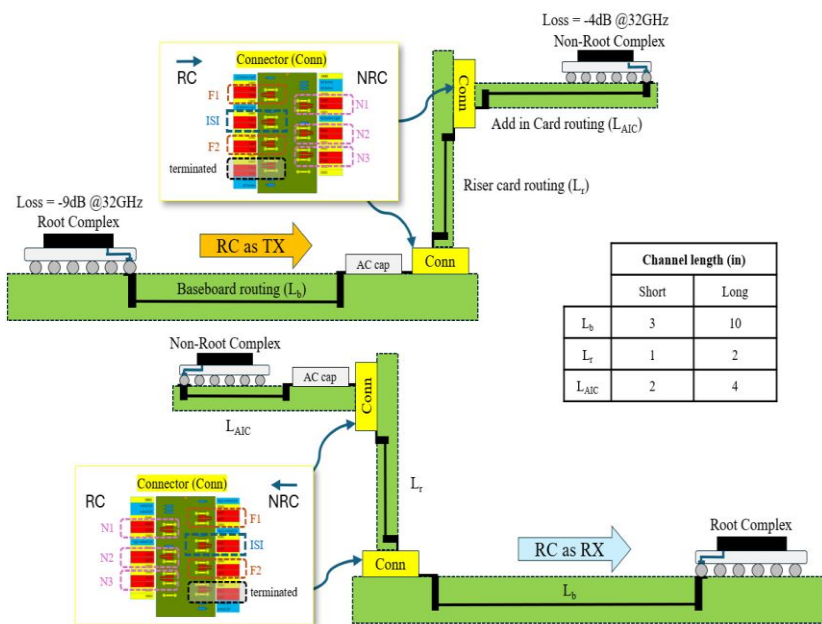


[448G CPC 채널과 End-to-end PAM4 시뮬레이션]

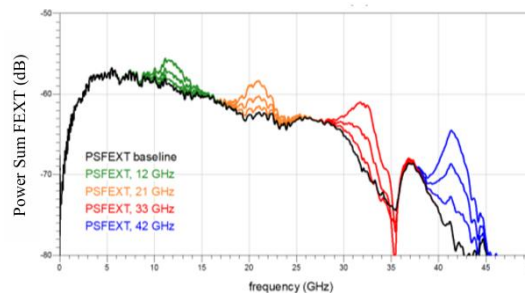
3. DesignCon 2026 자료 소개

[T07_S16] Crosstalk Sensitivity New finding on PCIe 7.0 Channel Through S-parameter Manipulations, D. M. Cortes-Hernandez, Intel.

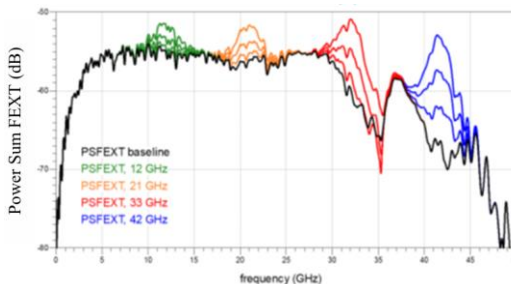
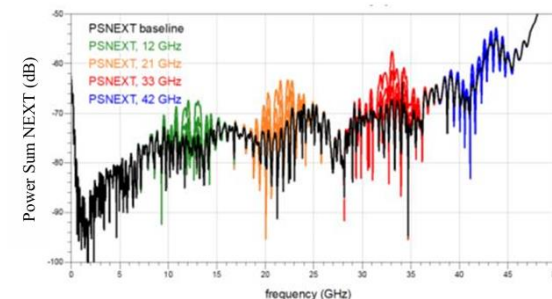
- ✓ PCIe 7.0의 대역폭 환경에서 커넥터 레벨의 crosstalk 성분인 FEXT와 NEXT가 전체 시스템 마진에 미치는 민감도를 파악해야 함
- ✓ S-parameter를 조절하여 특정 주파수 대역의 crosstalk 크기를 변화시키는 새로운 방법론을 적용
- ✓ Long/Short 채널 시나리오에서 성능 변화를 시뮬레이션



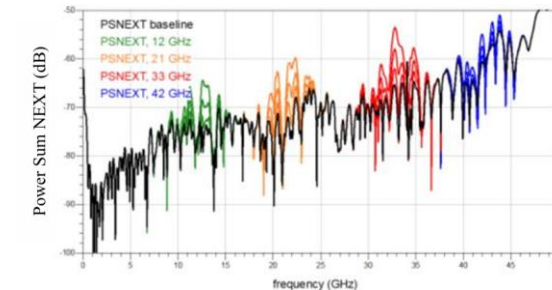
[Root complex(RC)와 Non-root complex(NRC) 사이의 PCIe 7.0 2-커넥터 채널 구성]



[RX 채널의 PSFEXT와 PSNEXT 프로파일]



[TX 채널의 PSFEXT와 PSNEXT 프로파일]

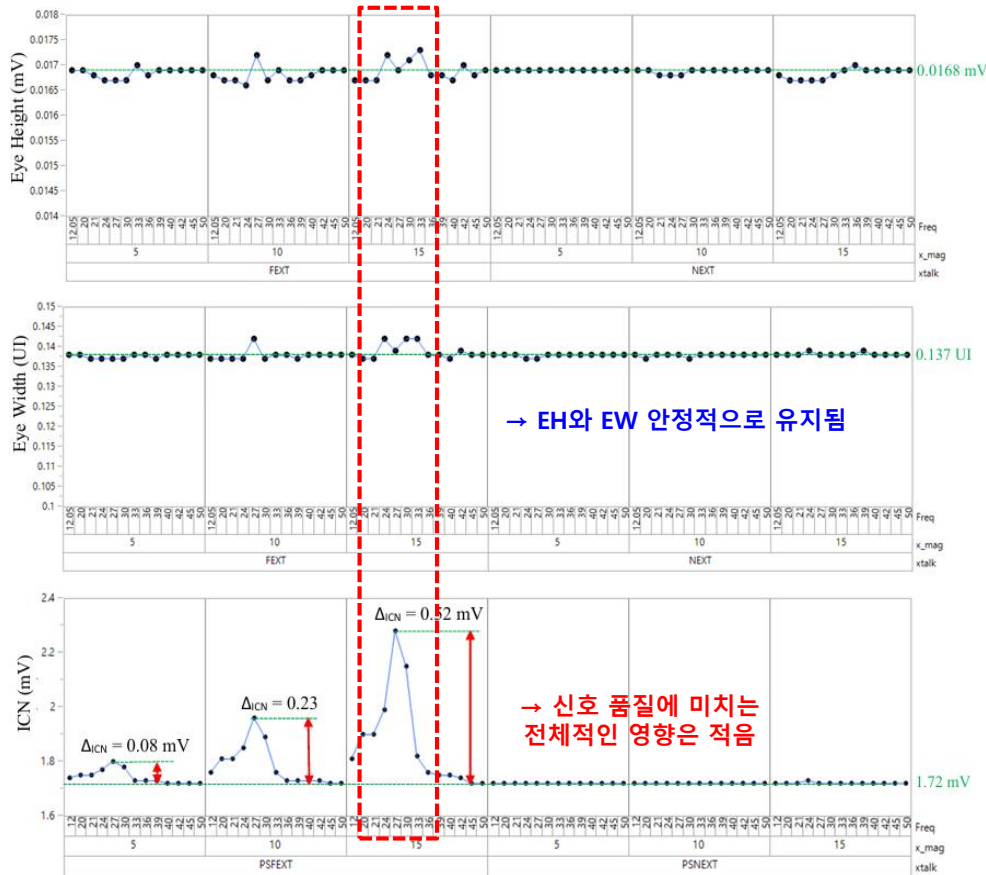


→ 특정 주파수 대역 (12, 21, 33, 42GHz)에서 인위적으로 증폭시킴

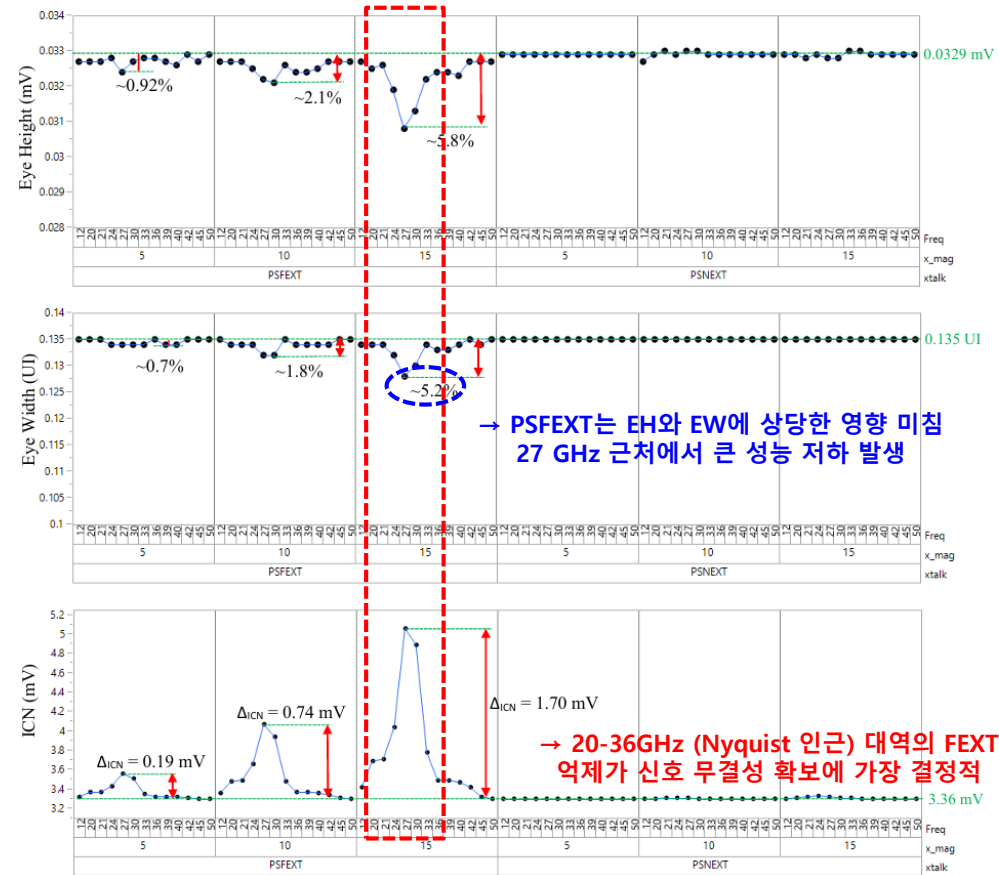
3. DesignCon 2026 자료 소개

[T07_S16] Crosstalk Sensitivity New finding on PCIe 7.0 Channel Through S-parameter Manipulations, D. M. Cortes-Hernandez, Intel.

- ✓ RX 내 CTLE 이퀄라이저의 증폭 특성으로 인해 Nyquist 주파수 근처의 FEXT가 성능 저하 유발
- ✓ PCIe 7.0 설계 시 20-36GHz 대역의 FEXT 관리와 주파수별 정밀 분석이 마진 확보의 핵심임을 확인



[Long RX channel에 대한 시뮬레이션 결과]



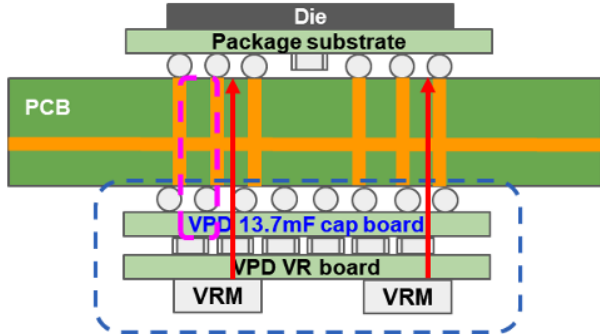
[Short RX channel에 대한 시뮬레이션 결과]

3. DesignCon 2026 자료 소개

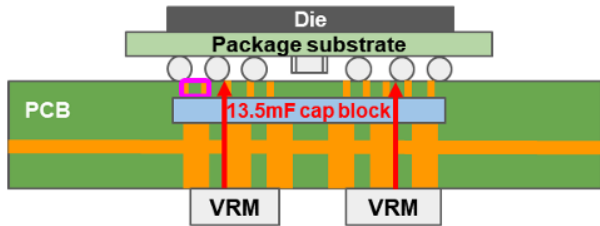
[T10_S01] Embedding of Capacitor Blocks within PCB for AI Accelerator, L. Lu, Meta.

- ✓ 고전력 AI SoC에서 발생하는 전류 변화로 인한 전압 강하 문제를 해결하기 위해 PCB 내부의 PI 강화가 필수적
- ✓ 42층 고층 PCB 내부에 커패시터 블록을 삽입하고 수직 전력 공급(VPD)을 가능하게 하는 신규 슬롯 아키텍처 제안
- ✓ BGA 패드 바로 아래 PCB 내층에 8개의 커패시터 블록을 삽입하는 제조 공정을 도입하고 성능을 분석

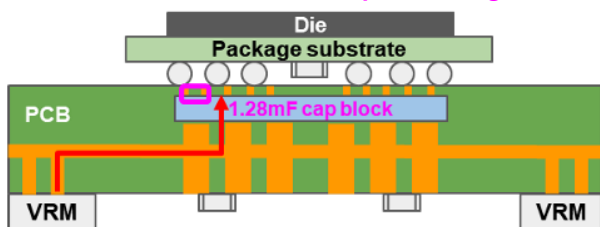
1. VPD with 13.7mF Capboard (PCB Bot)



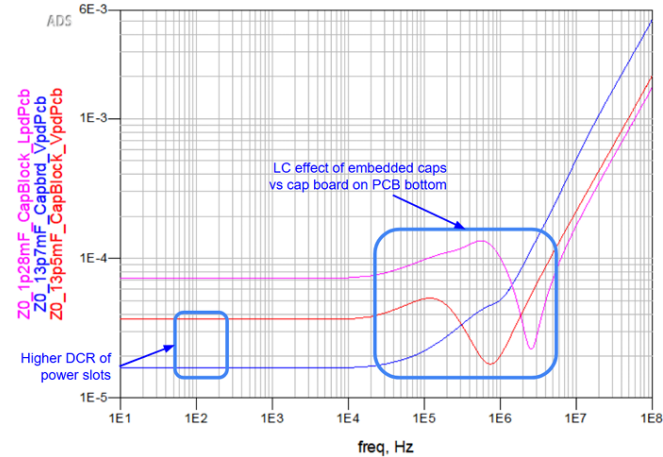
2. VPD with 13.5mF Embed Capblock



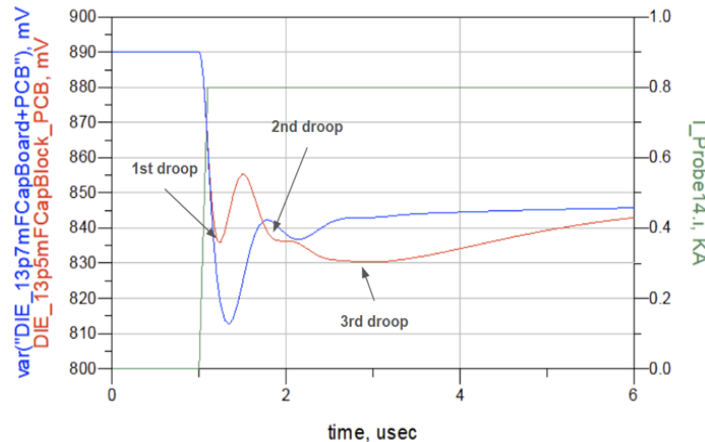
3. LPD with 1.28mF Embed Capblock (Mfg-ed)



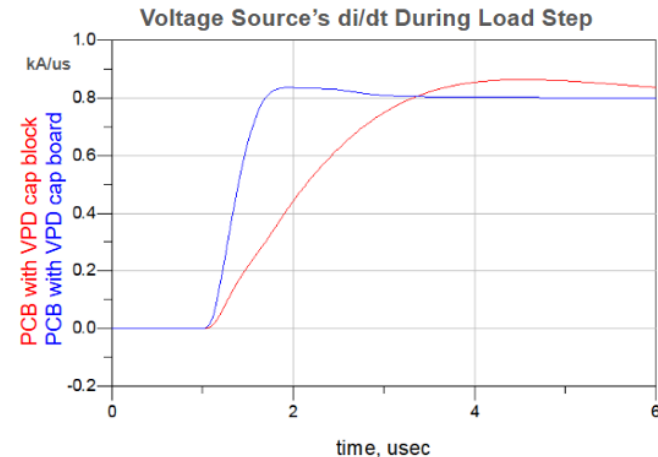
[3가지 실험 환경]



[임피던스 프로파일]



[Time domain 시뮬레이션]

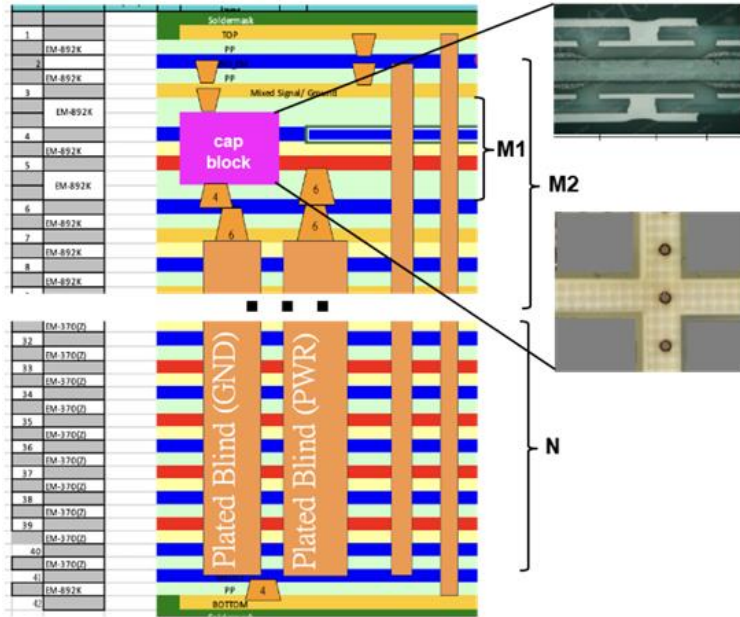


[Voltage source's response]

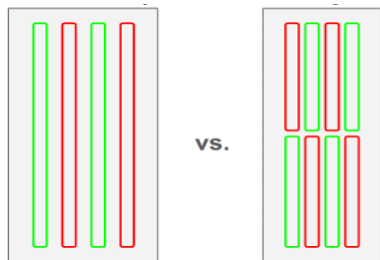
3. DesignCon 2026 자료 소개

[T10_S01] Embedding of Capacitor Blocks within PCB for AI Accelerator, L. Lu, Meta.

- ✓ 기존 하단 배치 방식 대비 전압 강하를 23mV 개선하고 PDN 임피던스를 획기적으로 저감
- ✓ Via inductance를 낮춰 1차 및 2차 전압 강하를 개선하고 PCB 두께를 약 25% 줄이는 부수적인 효과 얻음
- ✓ 내장형 캐패시터 기술이 AI 가속기의 엄격한 전원 요구사항을 충족하는 신뢰성 있는 솔루션임을 입증

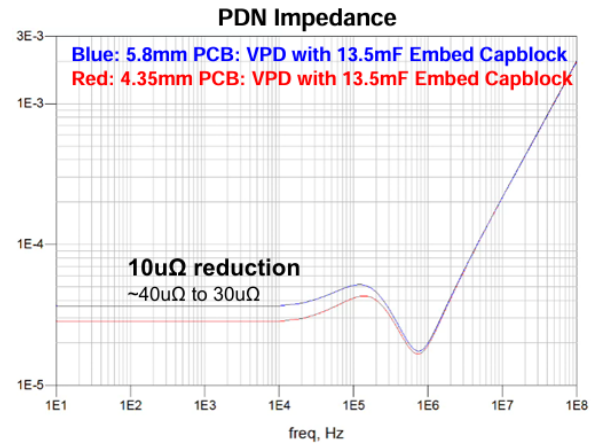


[캐패시터 블록 임베딩에 사용되는 1+(M2(M1))+N+1 구조]

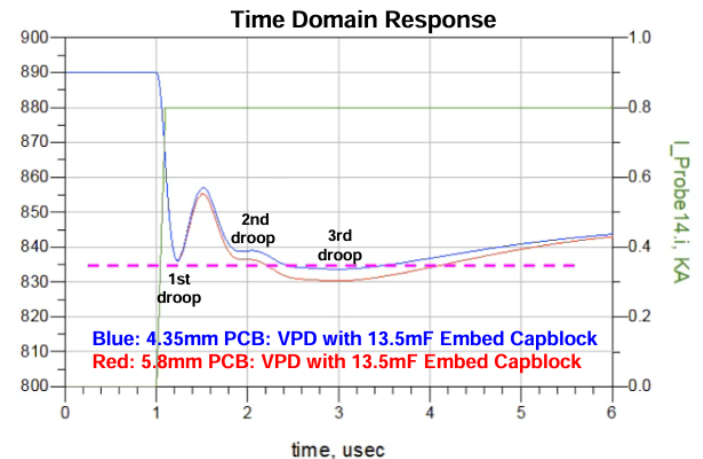


[Power slot 레이아웃 개선]

- Power slot 한 쌍을 절반으로 나누어 2x2 배열로 두고, VDD와 VSS 패턴이 더 가깝게 배치되도록 겹치게 함
- 보드 두께를 25-35% 줄이거나 power slot 높이를 40% 줄임



[개선된 PDN 임피던스]

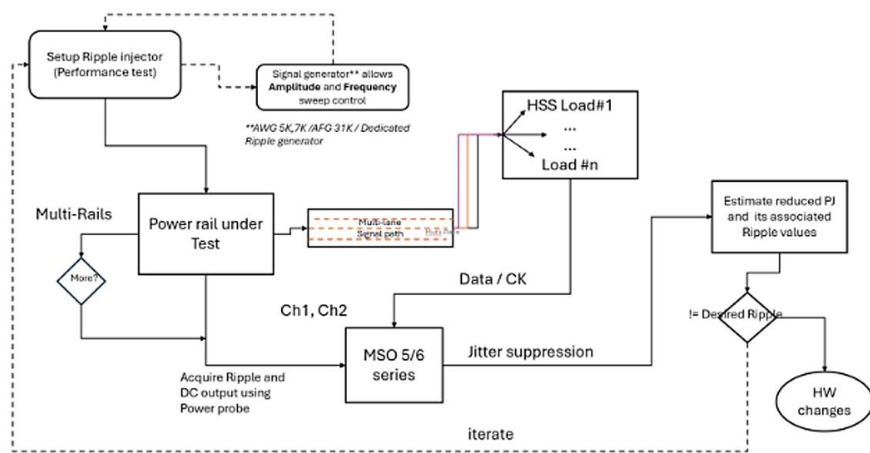


[Transient 시뮬레이션]

3. DesignCon 2026 자료 소개

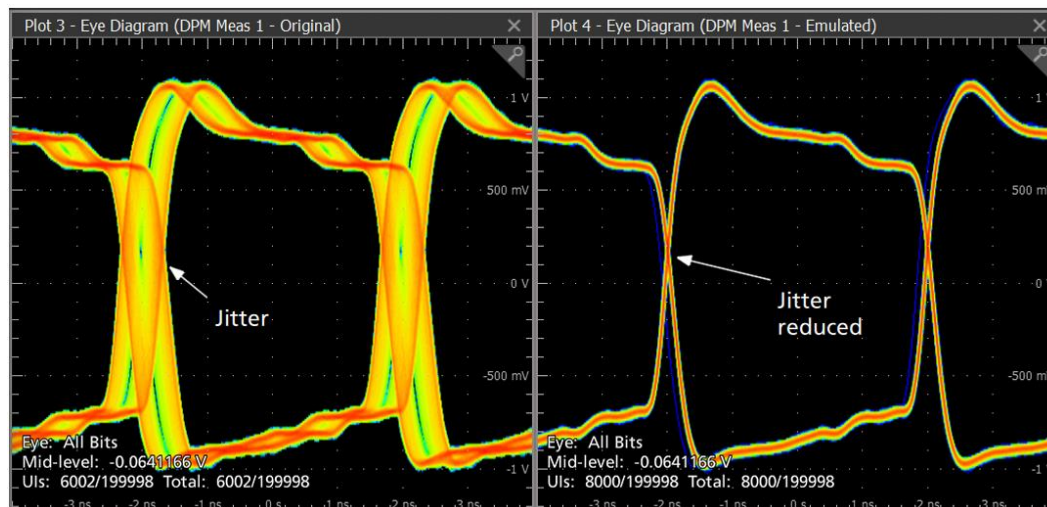
[T10_S10] AI-Driven Emulation of Power Supply Ripple via HSS Jitter Analysis and TIE-Based Source Isolation for PI-SI Co-Design, N. Hegde, Tektronix.

- ✓ Power supply의 리플이 지터를 유발하여 고속 통신 성능을 저해 → SI/PI 팀 간의 서로 다른 분석 영역으로 인해 원인 파악과 해결이 어려움
- ✓ 머신러닝 기반의 분석 툴을 활용해 타이밍 오차 스펙트럼에서 PSIJ 성분을 분리
- ✓ 노치 필터링을 통해 특정 노이즈를 제거한 후 지터 개선 효과를 예측하는 에뮬레이션 수행



[HSS load를 위한 ripple stress 셋업]

DPM Meas 1: PSIJ'		R1
	Original	Emulated
TIE(σ):	228.1 ps	58.08 ps
PJ:	649.8 ps	42.69 ps
Eye Height:	1.533 V	1.584 V
Eye Width:	3.209 ns	3.724 ns



[에뮬레이션 수행 전후 비교]

3. DesignCon 2026 자료 소개

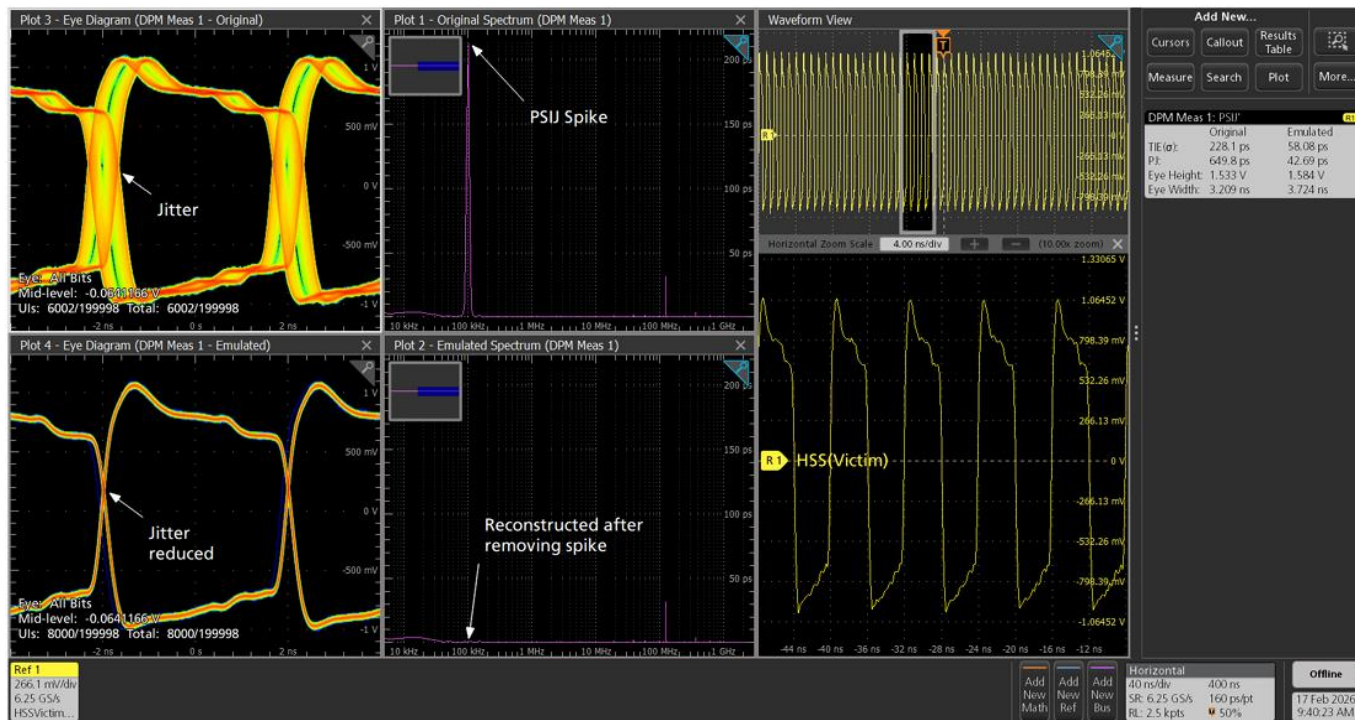
[T10 S10] AI-Driven Emulation of Power Supply Ripple via HSS Jitter Analysis and TIE-Based Source Isolation for PI-SI Co-Design, N. Hegde, Tektronix.

- ✓ 특정 주파수의 전원 노이즈가 지터에 기여하는 정도를 정량적으로 밝혀내고, 실제 하드웨어 수정을 통해 개선 효과를 확인
- ✓ 실험실 환경에서 PI와 SI의 상호작용을 통합 분석하여 최적의 디커플링 및 필터링 전략을 수립할 수 있는 공동 설계 방법론을 확립



[실험 셋업 환경]

→ TB4 데모 보드와 오실로스코프를 연결하여 전원 노이즈와 신호 지터를 동시 측정

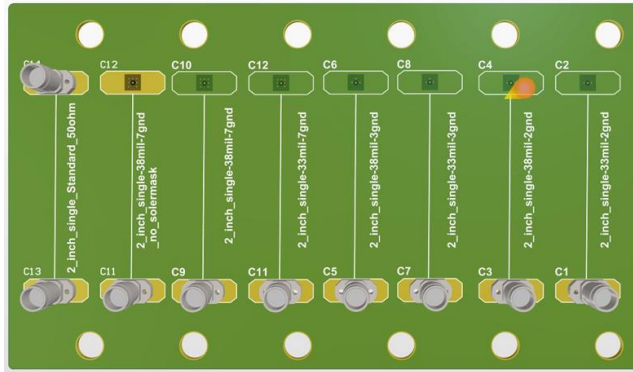


[PSIU 결과]

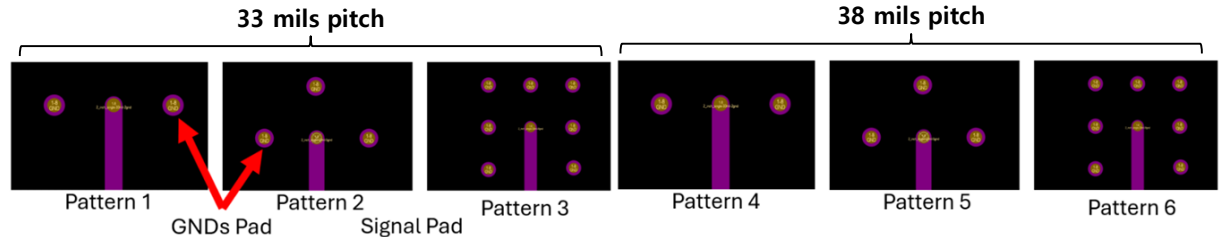
3. DesignCon 2026 자료 소개

[T12_S08] Connector-Free Termination for FEXT Measurements Using Absorbers on BGA Pads, L. Daniel, Missouri University of S&T.

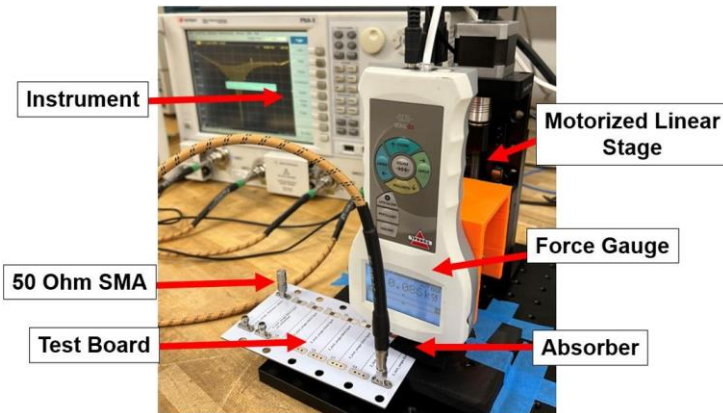
- ✓ 고속 SI 측정 시 SMA 커넥터 장착이나 저항 납땜 없이도 간편하고 정확하게 FEXT를 측정할 수 있는 기술 요구됨
- ✓ 탄소 함유 흡수체 (Absorber) 재질을 BGA 패드에 압착하여 임시 종단으로 활용하는 방법의 타당성을 TDR과 S-parameter 측정을 통해 연구



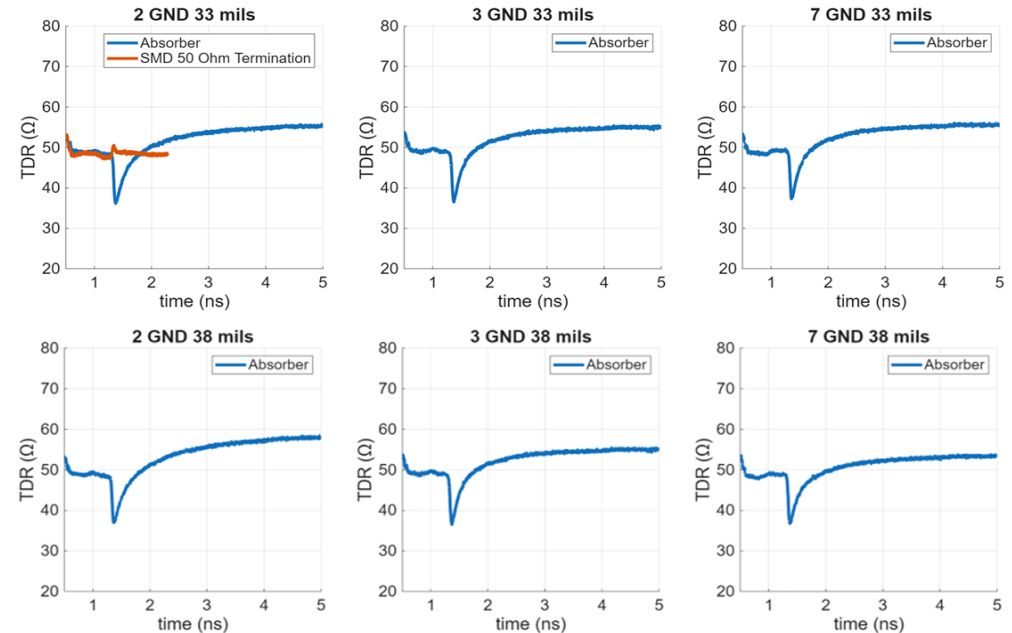
[DUT 구조]



[다양한 GND 패드 구조를 가진 패턴 레이아웃]



[실험 환경]

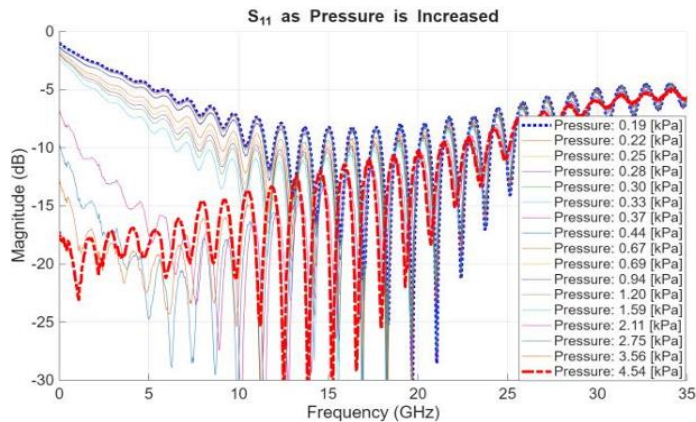


[패드 패턴에 따른 TDR response 결과]

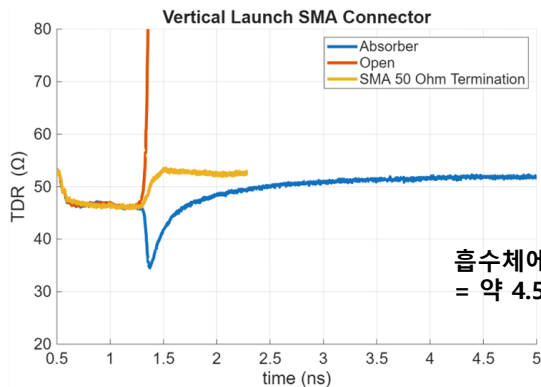
3. DesignCon 2026 자료 소개

[T12_S08] Connector-Free Termination for FEXT Measurements Using Absorbers on BGA Pads, L. Daniel, Missouri University of S&T.

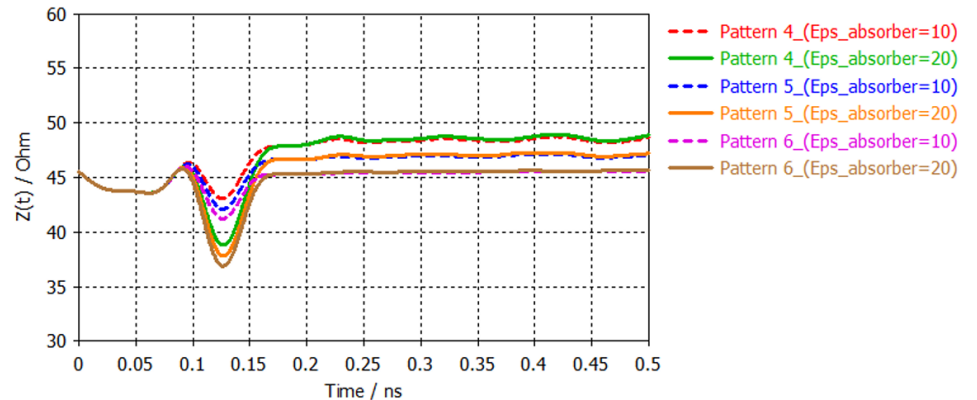
- ✓ +/-10 Ohm 이내의 임피던스 매칭 성능을 보였으나, 흡수체 배치 상태에 따른 추가 정전용량 발생과 반복 측정 시의 정밀도 한계가 발견됨
- ✓ 흡수체가 빠르고 경제적인 임시 종단 솔루션이 될 수 있음을 확인했으며, 실용화를 위해 실시간 계측 확인과 정밀 압착 제어가 필요함을 시사함



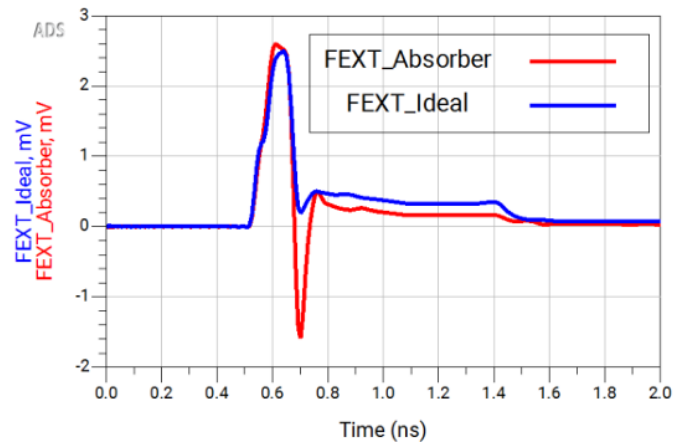
[흡수체에 가해지는 힘 증가에 따른 반사 손실]



[종단 연결에 따른 TDR 결과 비교]



[다른 유전율을 가진 다양한 패턴에 대한 흡수체의 시뮬레이션 결과]

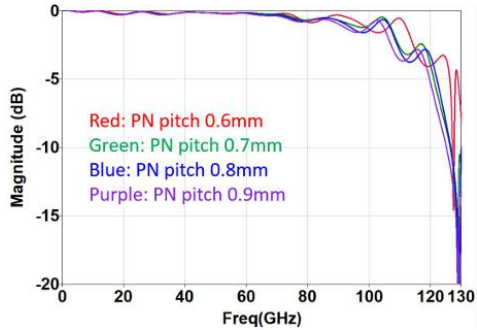


[FEXT 시뮬레이션 전압 비교]

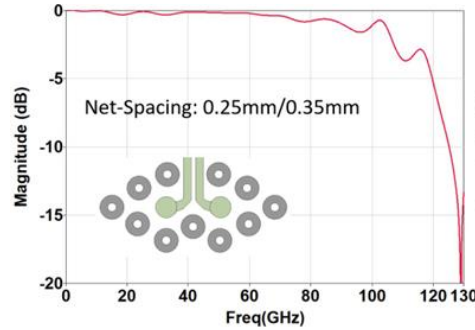
3. DesignCon 2026 자료 소개

[T13_S04] Via & Fan-Out Designs for 448Gbps: SI vs Technology, Y. Bi, ZTE.

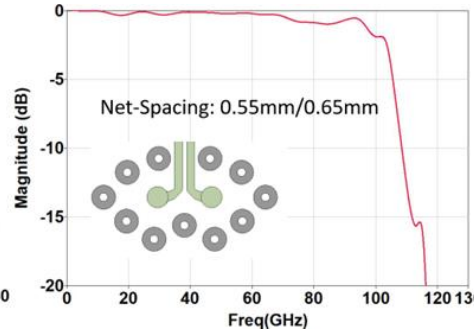
- ✓ 448Gbps 신호 전송을 위해 전통적인 PCB와 SLP (substrate-like PCB) 기술 중 어떤 것이 수동 채널 대역폭 확보에 최적인지 비교 분석이 필요함
- ✓ DOE를 통해 비아 성능의 핵심 요인을 도출하고 두 가지 공정 기술로 제작된 샘플을 110GHz까지 측정 비교함



[PN pitch 차이에 따른 삽입손실]



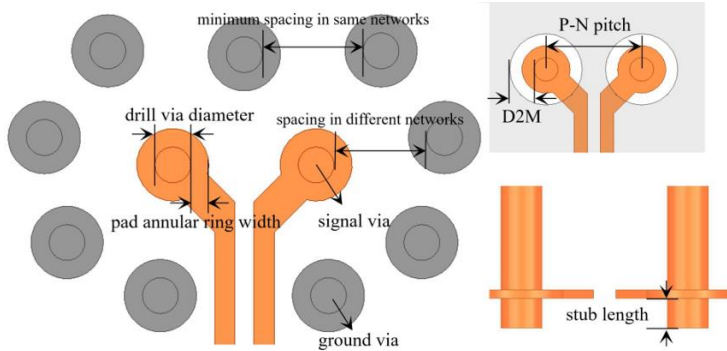
[0.9m PN pitch의 간격 차이에 따른 삽입손실]



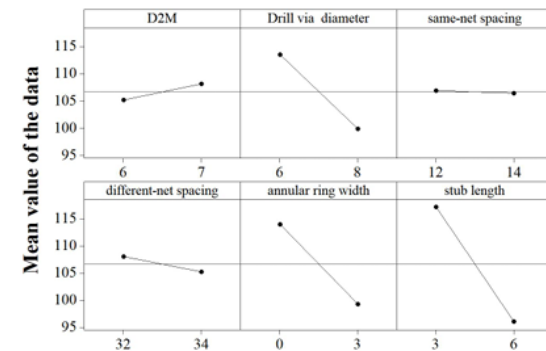
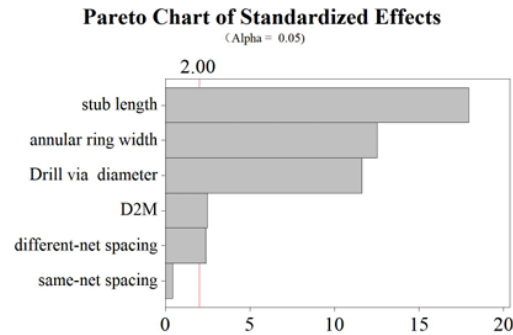
[유전율 차이에 따른 삽입손실]

Factors	Drill via diameter	Stub length	D2M	pad annular ring width	same-net spacing	different-net spacing
Level	6/8 mil	3/6 mil	6/7 mil	0/3 mil	12/14 mil	16/18 mil

Results	Drill via diameter	Stub length	D2M	pad annular ring width	same-net spacing	different-net spacing
Adj SS	2992	71148	136.5	3464.9	4.2	128



[DOE 실험 설계]

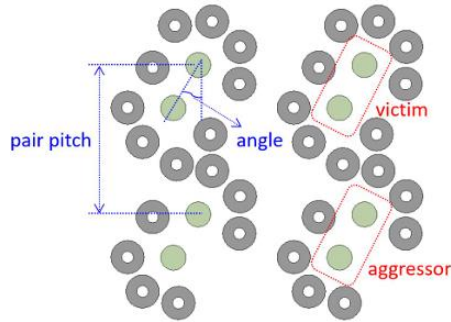


[DOE 실험 결과]

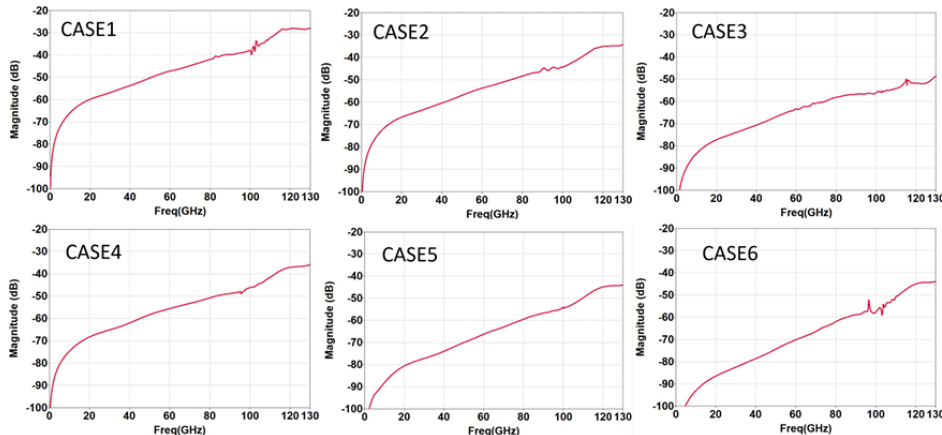
3. DesignCon 2026 자료 소개

[T13_S04] Via & Fan-Out Designs for 448Gbps: SI vs Technology, Y. Bi, ZTE.

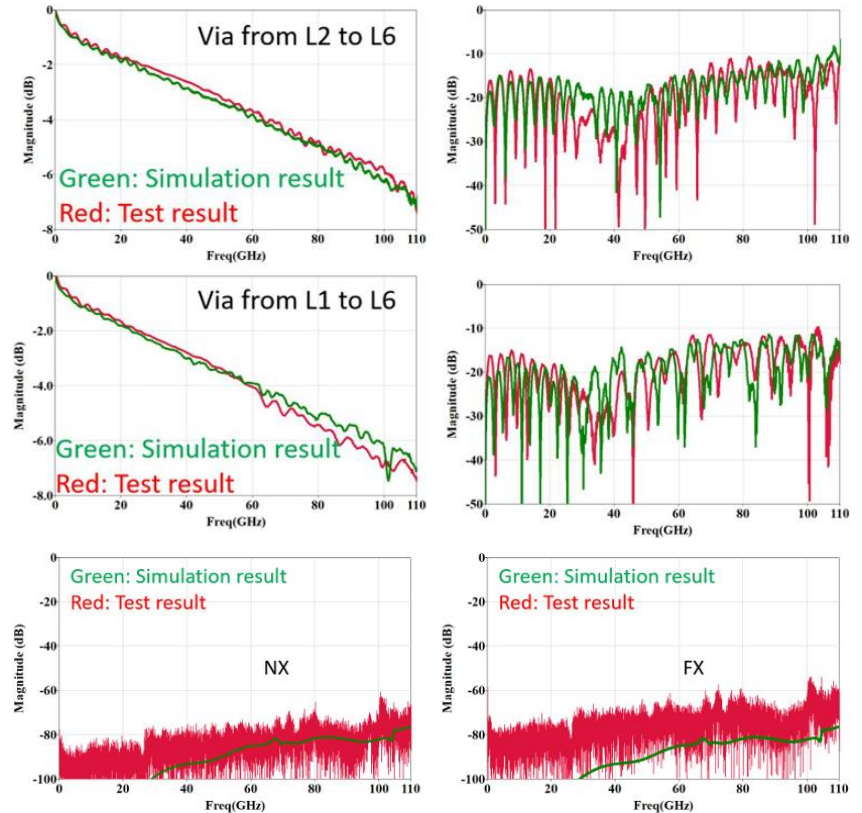
- ✓ 전통 PCB는 90GHz 이상의 대역폭 구현이 가능하며, SLP는 150GHz까지 확장 가능하나 단위 길이당 손실이 PCB 보다 크다는 한계를 확인함
- ✓ 대역폭과 비용을 고려할 때 전통 PCB의 고도화가 우선적이며, 극도의 성능이 필요할 경우 SLP의 높은 손실 특성을 반영한 시스템 설계가 필요함을 제시함



	Case1	Case2	Case3	Case4	Case5	Case6
Pair pitch	1.7mm	1.8mm	1.9mm	1.8mm	1.8mm	1.8mm
Angle	0°	0°	0°	15°	30°	45°



[동일한 via column에 대한 FEXT curve]



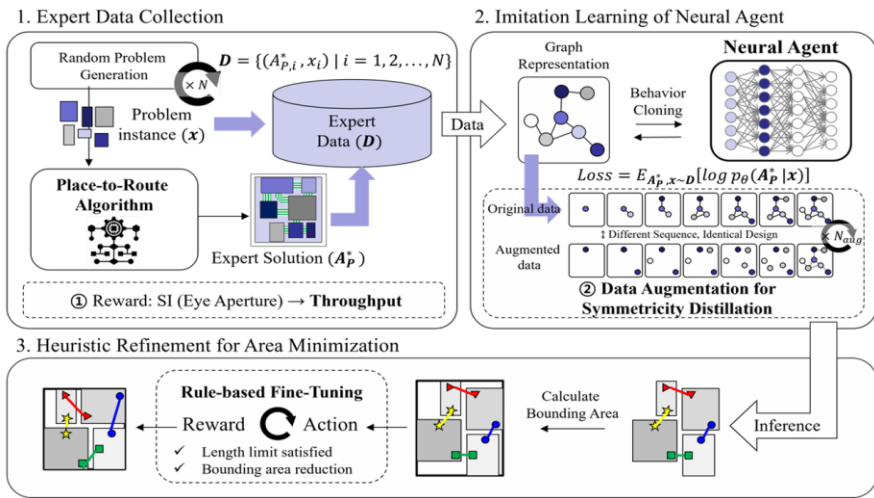
→ 110GHz까지 roll-off 없이 잘 일치함

[제작된 SLP 보드의 측정값과 시뮬레이션 결과 비교]

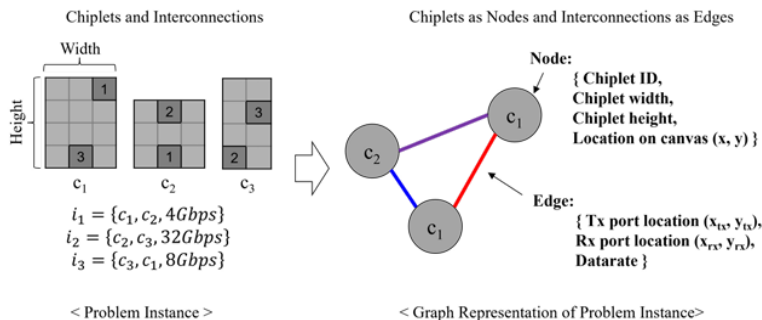
3. DesignCon 2026 자료 소개

[T14 S03] Towards A Fully Customizable Chiplet Ecosystem: Signal Integrity-Constrained Throughput Maximization via Symmetricity Guided Imitation Learning, H. Rachel Kim, KAIST & SK Hynix.

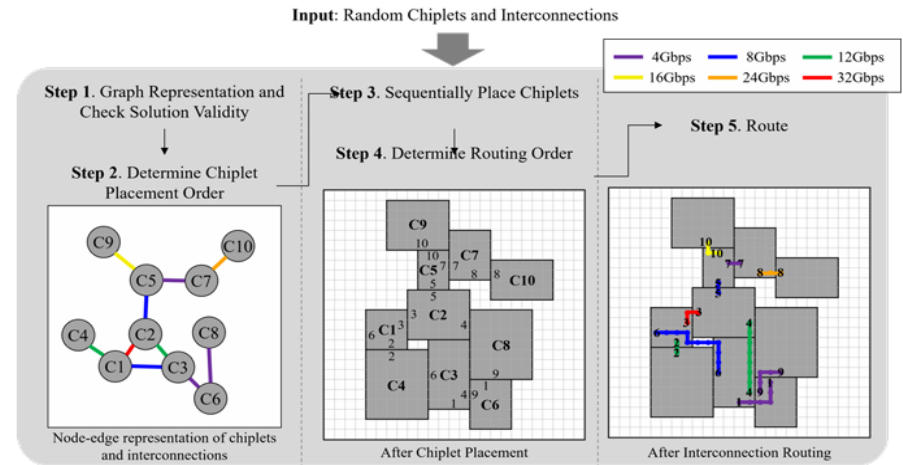
- ✓ 개방형 칩렛 시스템의 유연한 조립과 SI 제약 조건 하에서의 시스템 처리량(Throughput) 극대화 필요
- ✓ P2R 알고리즘으로 생성된 데이터를 그래프 어텐션 네트워크(GAT)로 학습하는 모방 학습 구조 설계
- ✓ 데이터 증강을 위해 회전, 반사 등 기하학적 대칭성을 활용하여 모델의 일반화 성능 강화



[제안하는 대칭성 기반 모방 학습의 프로세스]



[칩렛 배치 및 라우팅 솔루션 데이터의 그래프 표현]



Output: Optimized Chiplet Placement and Routing Design

[P2R 휴리스틱 알고리즘의 프로세스]

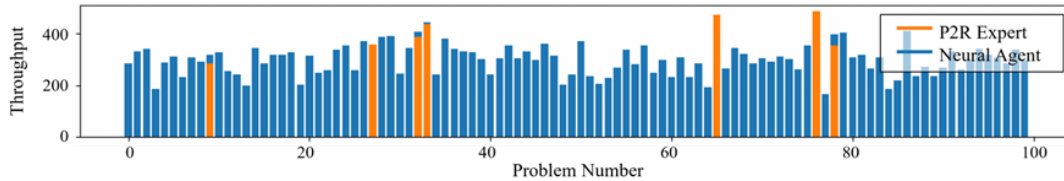
Target AI Model Condition		Fixed Physical Conditions of HBM and Chiplet		
GPT-3 175B (FP16)		Inference Type	HBM	UCIe
Parameter Size (A) [GB]	(175 × 10e9 × 2 =) 350	I/O count	2048	128
Activation Size (B) [GB]	2.4	Datarate [Gbps]	10	24, 32
Data Size (A+B) [GB]	352.4	Bandwidth [GB/s]	2560	256, 384
Token Size [Byte]	(8192 × 4 =) 32,768	Memory Capacity [GB]	64	-
Workload [GFLOPs]	1.06 × 10e6	Performance [TFLOPs/s]	-	10

[실험을 위한 대상 AI 모델과 고정된 물리적 조건]

3. DesignCon 2026 자료 소개

[T14 S03] Towards A Fully Customizable Chiplet Ecosystem: Signal Integrity-Constrained Throughput Maximization via Symmetricity Guided Imitation Learning, H. Rachel Kim, KAIST & SK Hynix.

- ✓ 학습되지 않은 규모의 시스템에서도 100% 설계 유효성을 유지하며 처리량 최적화 달성
- ✓ 대칭성을 활용한 학습방법이 모델의 일반화 능력을 높여 복잡한 칩렛 시스템 설계의 효율성과 성능을 동시에 확보할 수 있음을 입증



[100개의 무작위 생성 테스트 사례에서 평균 처리량 비교]

Method	Average of 100 Test Problems			Valid Solution Count	Average of Valid N Solutions			Throughput [Token/s]
	Valid Chiplet Count	Valid HBM Count	Throughput [Token/s]		Process Latency [s]	Memory Latency [s]	Total Latency [s]	
Random Search (1,000)	-	-	-	0	-	-	-	-
P2R Expert	0.92	0.31	27.87	7	8.37	2.24	10.61	398.08
Proposed Method	9.83	2.65	299.00	100	11.38	2.87	14.25	299.00

Method	Average of 100 Test Problems			Valid Solution Count	Average of Valid N Solutions			Throughput [Token/s]
	Valid Chiplet Count	Valid HBM Count	Throughput [Token/s]		Process Latency [s]	Memory Latency [s]	Total Latency [s]	
P2R Expert	4.33	2.11	147.15	41	10.39	1.38	11.77	358.91
Proposed Method	8.37	3.18	281.02	100	13.28	1.86	15.14	281.02

12 Chiplets + 8 HMBs

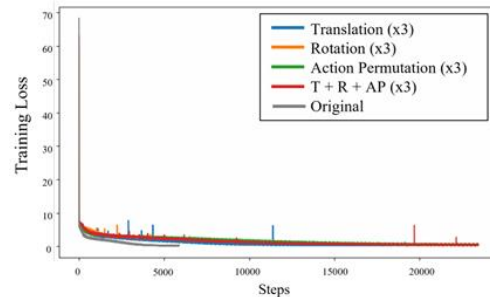
Method	Average of 100 Test Problems			Valid Solution Count	Average of Valid N Solutions			Throughput [Token/s]
	Valid Chiplet Count	Valid HBM Count	Throughput [Token/s]		Process Latency [s]	Memory Latency [s]	Total Latency [s]	
P2R Expert	1.31	0.36	34.54	8	6.58	3.10	9.68	431.72
Proposed Method	8.30	1.67	246.65	100	17.73	3.31	21.04	246.65

20 Chiplets + 8 HMBs

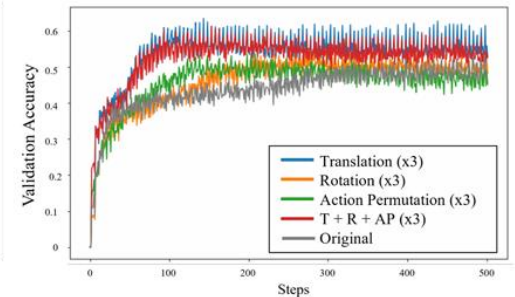
Method	Average of 100 Test Problems			Valid Solution Count	Average of Valid N Solutions			Throughput [Token/s]
	Valid Chiplet Count	Valid HBM Count	Throughput [Token/s]		Process Latency [s]	Memory Latency [s]	Total Latency [s]	
P2R Expert	-	-	-	-	-	-	-	-
Proposed Method	2.06	1.00	74.81	100	71.32	1.01	72.33	74.81

30 Chiplets + 8 HMBs

[다양한 칩렛 시스템에서 제안하는 방법의 확장성과 견고성 평가]



< Training Convergence Comparison >



< Validation Accuracy Comparison >

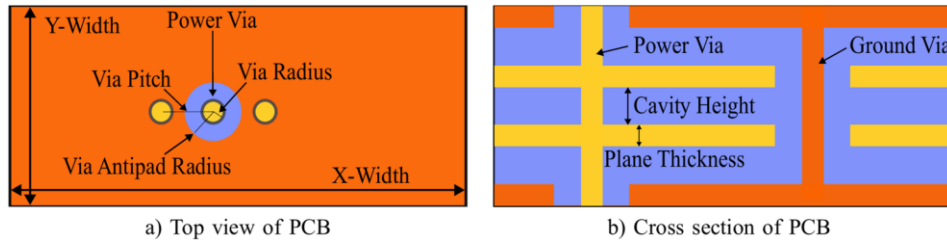
Data Augmentation	Type	Original	Translation	Rotation	Action Permutation	All
		Count	-	×3	×3	×3
Average Reward [tokens/s]		298.96	316.27	291.85	286.15	299.39
Improvement from Original		-	+5.79%	-2.38%	-4.3%	+0.14%

[대칭성 데이터 증강 유형에 따른 성능 향상]

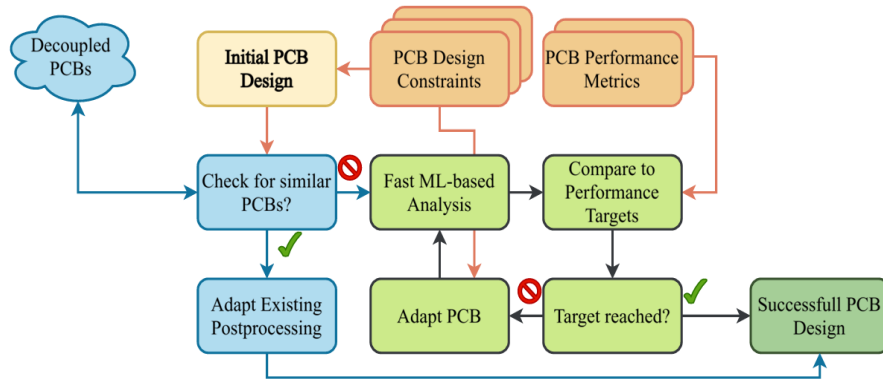
3. DesignCon 2026 자료 소개

[T14_S10] Fast PDN Impedance Matrix Prediction for PCB Design Utilizing Latent Space Embedding, Hamburg University of Technology (TUHH).

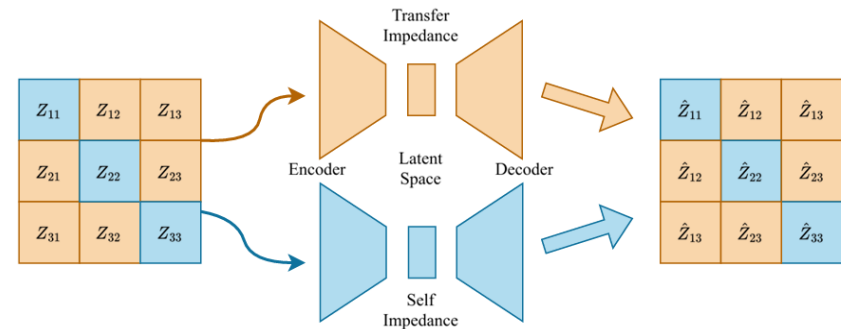
- ✓ 반복적인 PDN 설계 과정에서 발생하는 고비용 EM 시뮬레이션 병목 현상 해소 필요
- ✓ 오토인코더와 신경망을 결합하여 밀리초 단위로 전체 임피던스 행렬을 예측하는 ML 모델 개발
- ✓ 임피던스 프로파일을 잠재 공간으로 압축하여 설계 간의 전기적 유사도를 정량적으로 비교
- ✓ 대규모 PCB 데이터셋을 통한 전이 학습 및 능동 학습 기법 적용



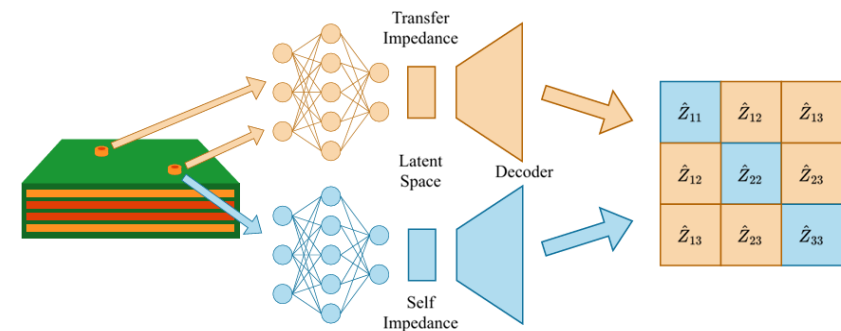
[훈련 데이터셋 내 PCB 스택업 및 탐뷰]



[PDN의 머신러닝 기반 강화 설계 워크플로우]



a) AE reconstruction of full impedance matrix



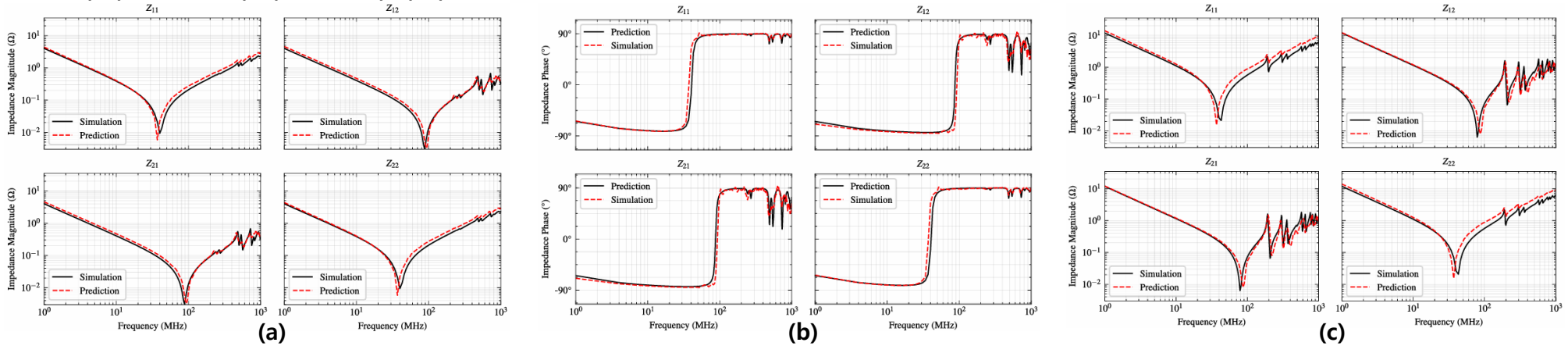
b) FNN prediction of full impedance matrix

[AE와 FNN을 활용한 Self 및 transfer 임피던스 처리]

3. DesignCon 2026 자료 소개

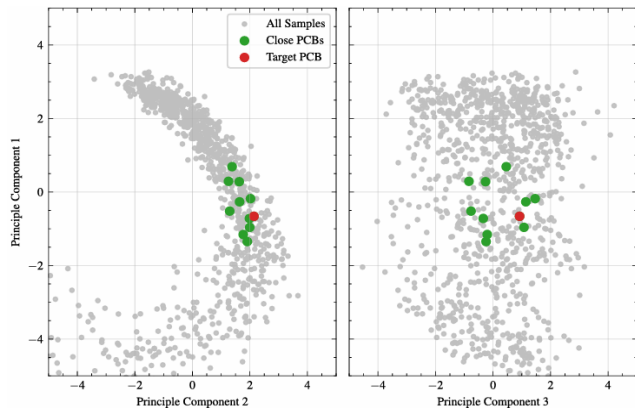
[T14_S10] Fast PDN Impedance Matrix Prediction for PCB Design Utilizing Latent Space Embedding, Hamburg University of Technology (TUHH).

- ✓ 5.5만 개 이상의 데이터셋 학습을 통해 학습 범위 밖의 새로운 적층 설계에 대해서도 높은 예측 정확도를 유지함
- ✓ ML 기반 예측이 시뮬레이션 시간을 획기적으로 단축하고, 잠재 공간 정보를 활용해 유사 설계 탐색 및 최적의 디커플링 전략 수립을 가속화함

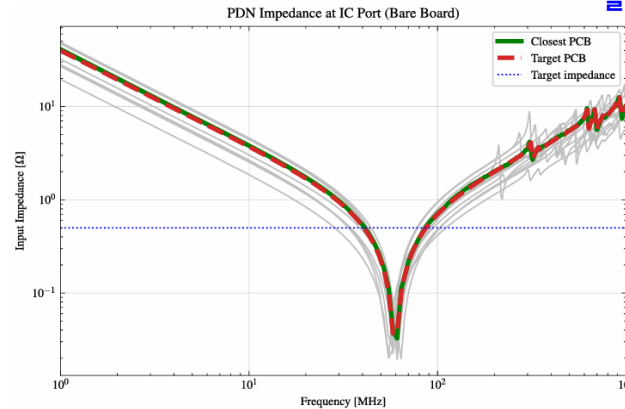


[임피던스 행렬 예측; (a) 크기, (b) 위상, (c) 진폭]

→ 제안된 모델이 새로운 데이터에 대해 임피던스 크기와 위상을 얼마나 정확하게 예측하는지 EM 시뮬레이션 결과와 비교



[AE 잠재 공간의 주성분 분석]



[잠재 공간의 유사성을 기반으로 한 bare board의 임피던스 비교]

→ 새로운 보드를 설계할 때, 시뮬레이션을 처음부터 돌리는 대신, 유사한 기존 보드를 찾아서 재사용 가능

3. DesignCon 2026 자료 소개

[T01_S03] 448G Package Interconnects Design, X.Su, Marvell

- ✓ Data rate 증가에 따른 Bandwidth 확보 문제, Channel Loss 증가, 패키지 대형화에 따른 Warpage 문제
- ✓ Modulation : PAM-4 대비 Bandwidth 효율이 좋고, PAM-8 대비 SNR 확보가 용이한 PAM-6를 대안으로 선택
- ✓ BGA 과 CPC 모두 224G PAM-6 솔루션이 될 수 있음
 - : 100GHz 이상의 roll-off frequency 달성
 - : (CPC + cable 200mm, BGA + PCB 12mm)

Data rate, Giga bit per second (Gbps)	112		224		448	
Number of PAM levels	4	4	4	6	8	16
Bits per symbol, log2 (level)	2	2	2	2.58	3	4
Signaling rate, Gbuad	56	112	224	173.3	149.3	112
Fundamental frequency, Giga Hertz (GHz)	28	56	112	86.66	74.67	56

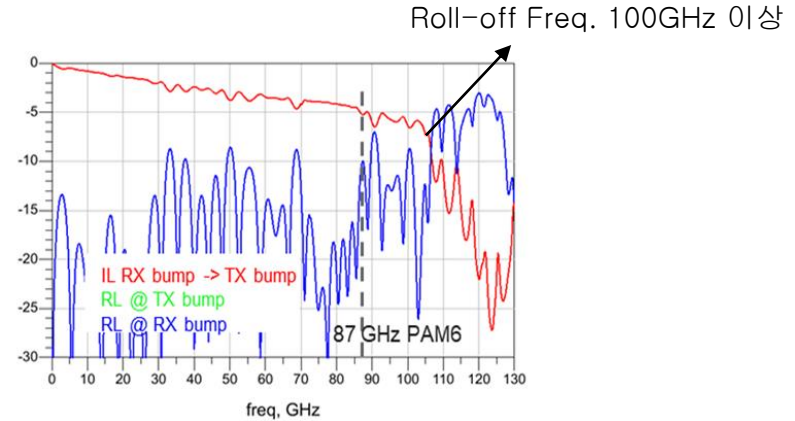
3. DesignCon 2026 자료 소개

[T01_S03] 448G Package Interconnects Design, X.Su, Marvell

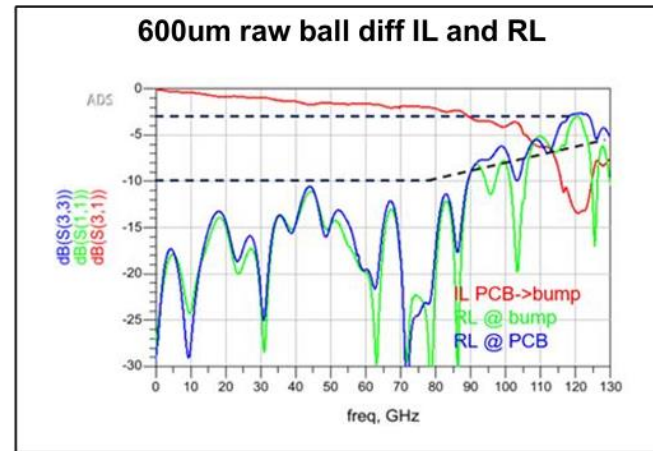
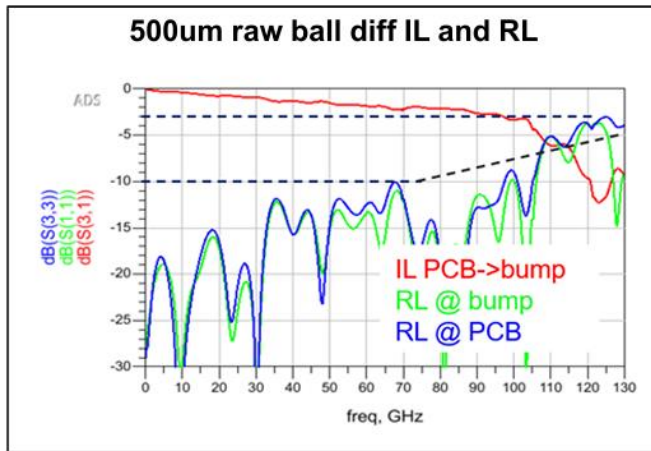
- ✓ BGA Solution (Chip-to-Chip)
- : BGA Solution 으로 87GHz PAM6 구현 가능성 보임
- : 고밀도 패키지의 수많은 pin들로부터 Routing이 까다로움
- : 상대적으로 Loss가 있음
- : BGA pitch 와 ball size에 민감함



[Simulation model diagram (NPC configuration)]



[IL&RL of Chip-to-chip scenario]



[IL & RL with different BGA size]

- BGA 사이즈가 더 작을수록 SI에는 유리함
- 기계적/신뢰성 Risk는 연구 필요

3. DesignCon 2026 자료 소개

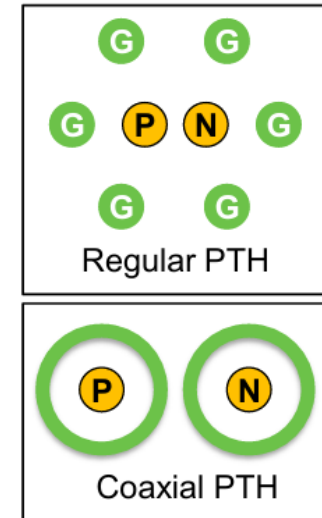
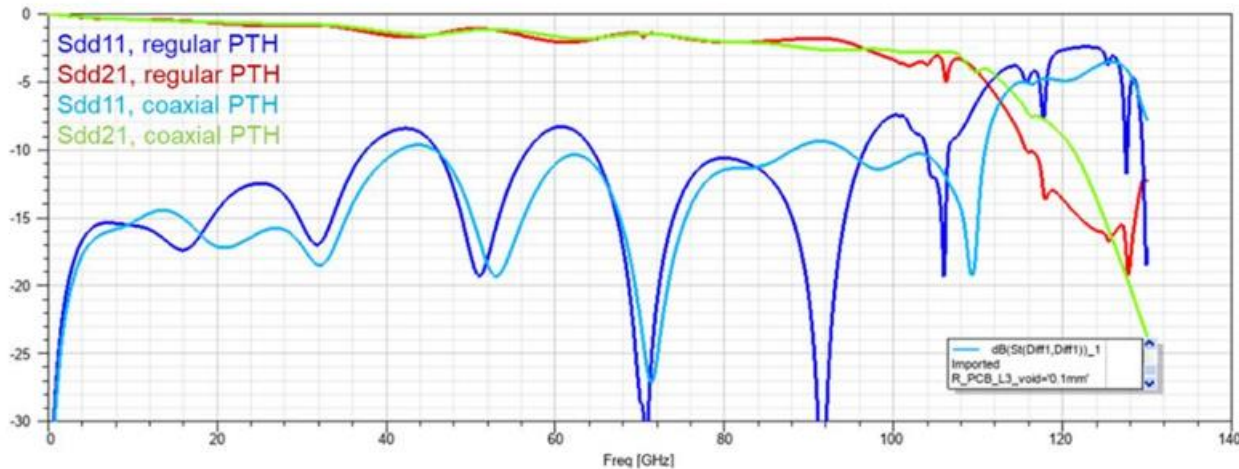
[T01_S03] 448G Package Interconnects Design, X.Su, Marvell

✓ BGA Solution (Chip-to-Chip)

: Coaxial PTH(Plated-Through Hole) 과 일반적인 PTH와 비교하여 성능적으로 큰 차이 없음

: Via의 구조보다는 유전체 손실, Via transition 공진의 영향이 더 큼

: 제조 복잡성에 비해 효과가 크지 않으므로, 일반적인 PTH 를 촘촘히 하는 것이 가성비

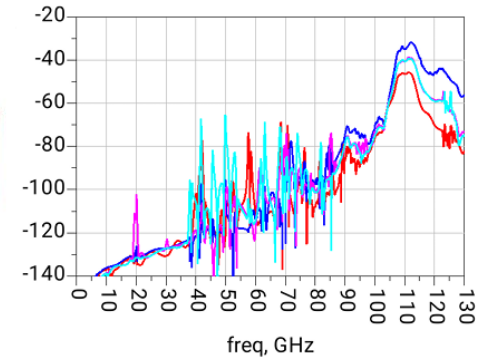
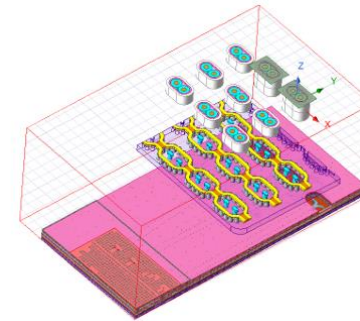
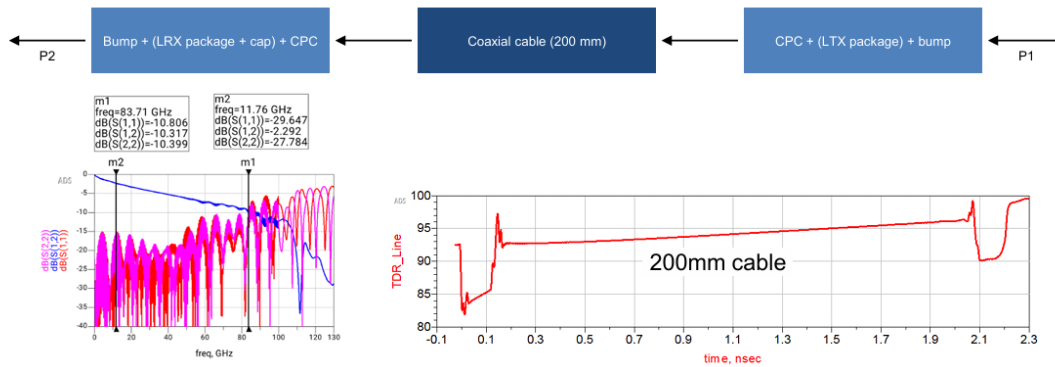


[Regular PTH vs. Coaxial PTH (bump to PCB simulation)]

3. DesignCon 2026 자료 소개

[T01_S03] : 448G Package Interconnects Design, X.Su, Marvell

- ✓ CPC Solution (Chip-to-Chip)
 - : Tx pkg + 200mm cable + Rx pkg 의 Insertion Loss -10dB (@Nyquist Freq.) 수준 보임,
 - Roll-off Frequency 100GHz 이상
 - : X-talk 100GHz까지 65dB 미만 수준



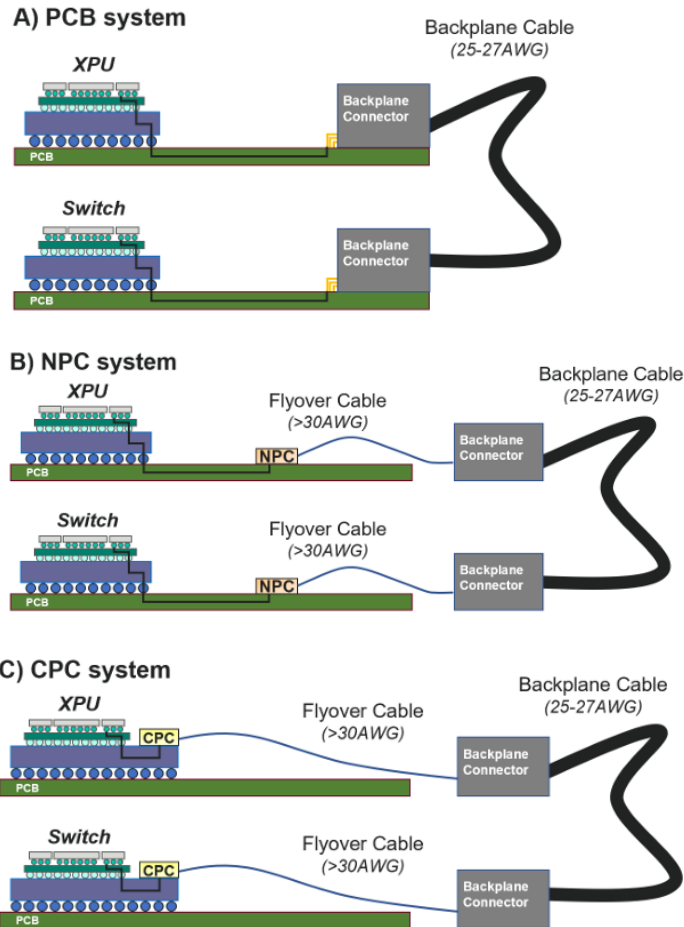
[Cascaded model including TX and RX package models and 200mm CPC cable]

[Simulation model of CPC solution & x-talk result]

3. DesignCon 2026 자료 소개

[T02_S04] Scaling to 100+ Tb/s Switches Using Co-Packaged Connectors (CPC), A.Chakravarti, Marvell

✓ Architecture 별 Loss budget 비교 : CPC가 NPC 대비 Loss budget 10dB 절감



BGA System Loss Budget (dB loss at 53GHz)	
XPU Package + PCB	21.2 dB
Backplane connector + cable (1.5 – 2m)	19.5 - 23 dB
Switch Package + PCB	18.9 dB
TOTAL	~59.6 – 63.1 dB

Table 1: BGA system loss budget for cabled backplane

NPC System Loss Budget (dB loss at 53GHz)	
XPU Package + PCB	10.6 dB
NPC + Flyover cable	3.9 dB
Backplane connector + cable (1.5 – 2m)	11.3 – 14.8 dB
NPC + Flyover cable	2.1 dB
Switch Package + PCB	16 dB
TOTAL	~43.9 – 47.5 dB

Table 2: NPC system loss budget for cabled backplane

CPC System Loss Budget (dB loss at 53GHz)	
XPU Package	4.6 dB
CPC + Flyover cable	3.5 dB
Backplane connector + cable (1.5 – 2m)	11.3 – 14.8 dB
CPC + Flyover cable	3.3 dB
Switch Package	10.8 dB
TOTAL	~33.5 - 37 dB

Table 3: CPC system loss budget for cabled backplane

3. DesignCon 2026 자료 소개

[T02_S04] Scaling to 100+ Tb/s Switches Using Co-Packaged Connectors (CPC), A.Chakravarti, Marvell

CPC 를 기판에 실장하는 두 가지 핵심 방식

- ✓ Solder mount : 촘촘한 커넥터 배치 가능 → ASIC 기판 크기 줄일 수 있음, Connector torque로 인한 손상 위험
- ✓ Compression Mount : 유지보수와 견고함에 강점

	Solder mount	Compression Mount
연결 방식	soldering	기계적 클램프로 눌러서
크기(Footprint)	작음	큼 (고정 장치 필요)
밀도 및 기판 크기	고밀도 구현, 기판 소형화 유리	밀도가 낮아 기판 면적 큼
유지보수	현장수리/교체 불가능	현장 교체 가능
기판 표면 처리	일반적인 공정	ENIPIG 필수 (산화 방지 및 접촉 유지)

ENIPIG (Electroless Nickel Immersion Palladium Immersion Gold)

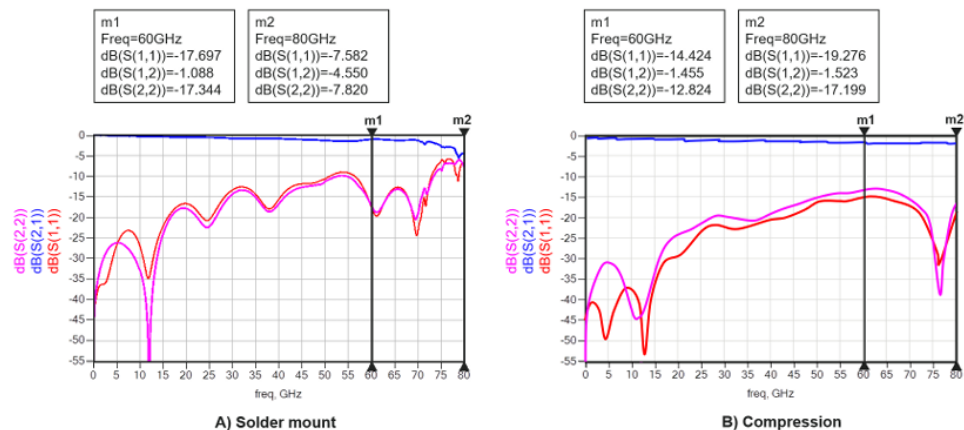


Figure 2: Simulated differential IL & RL for solder mount and compression type CPC. Reference planes for twin-ax cable and stripline on metal 2 of an ABF package substrate with 40um thick GL107 dielectric.

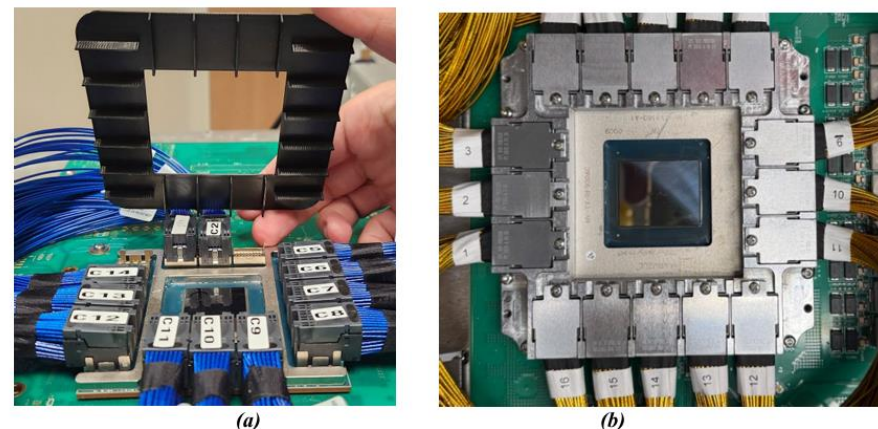
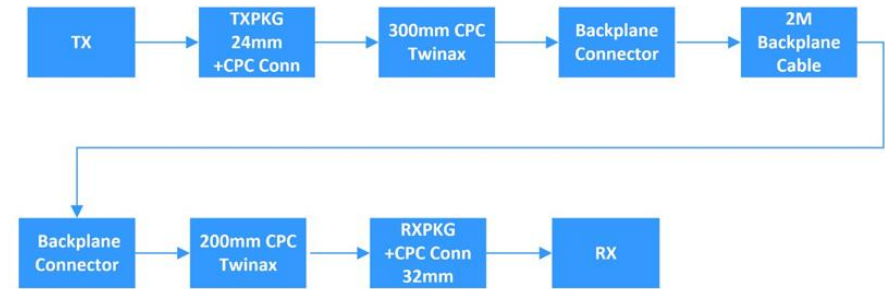
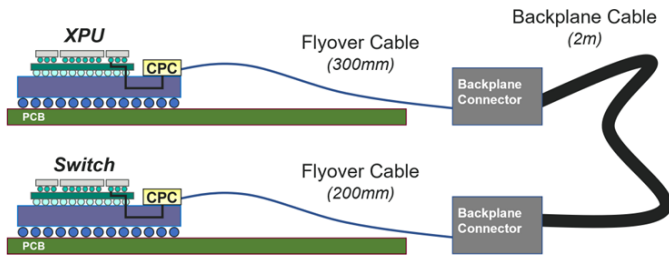


Figure 3: Mechanical prototypes of 100 Tb/s switch with solder mount (a) and compression mount (b) CPCs. Connectors are arranged in 5-2-5-3 configuration along the edges of the switch substrate

3. DesignCon 2026 자료 소개

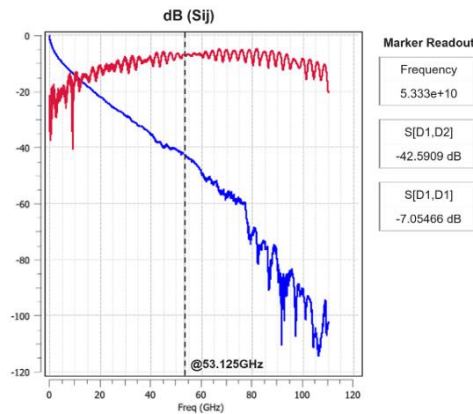
[T02_S04] Scaling to 100+ Tb/s Switches Using Co-Packaged Connectors (CPC), A.Chakravarti, Marvell

- ✓ Lane 당 400Gb/s PAM4로 속도 향상 : connector, trace, transition 문제로 대역폭 확장에 한계가 있음.
- ✓ 200Gb/s PAM4 Lane을 두 배 증가 : ASIC/Switch 기판 양쪽에 CPC connector 부착. 새로운 하드웨어 개발 필요.
- ✓ CPC 기반 채널 성능 정량화 : CPC-backplane-CPC 채널 시뮬레이션 결과 IEEE 802.3dj 표준 대비 충분한 마진 확보
Cable 솔루션도 P/N Skew에 대한 문제는 취약할 수 있음.

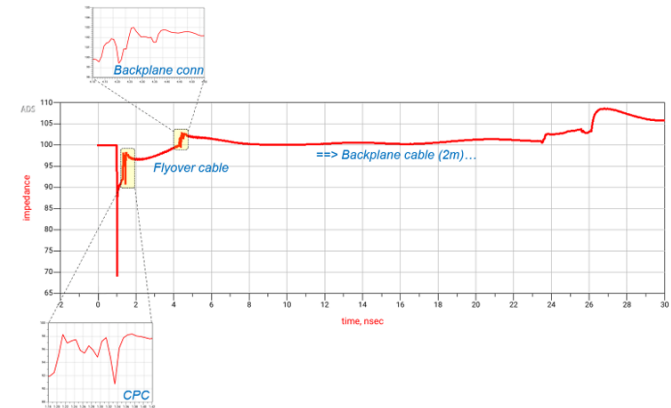


[CPC topology using cabled backplane for performance simulation]

[Serdes Tx to Serdes Rx end-end channel used for simulating 200 Gb/s]



[Bump to bump IL and RL of the simulated channel]



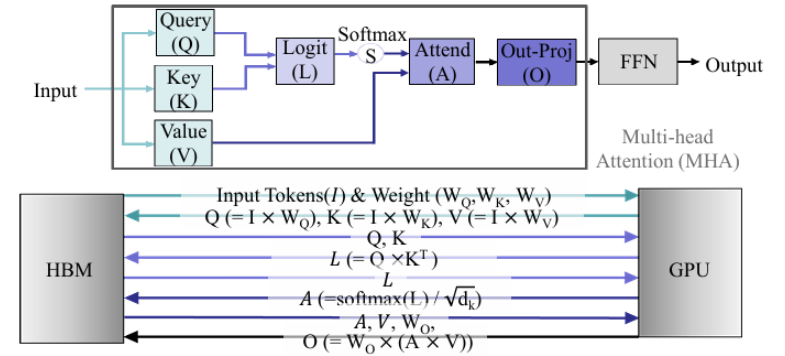
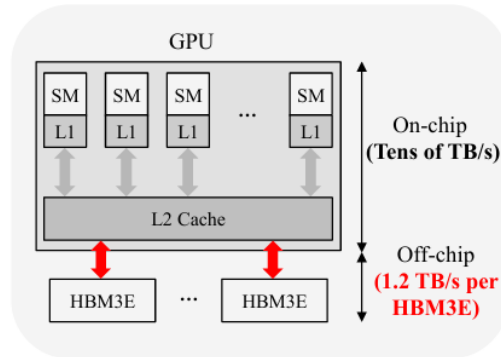
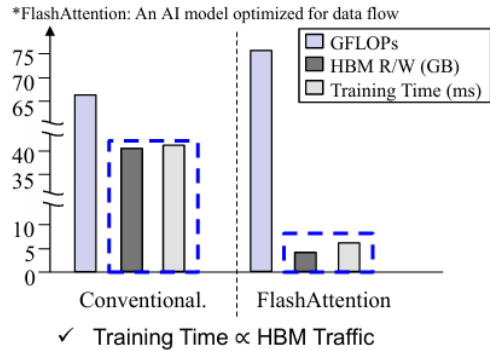
[TDR plot of the simulated channel]

3. DesignCon 2026 자료 소개

[T05 S2] Beyond Off-chip Bandwidth Limits: PI-aware Extended Scale Cache (ESC) Stacked-GPU-HBM Module for Transformer-scale AI Computing, H.Park, KAIST

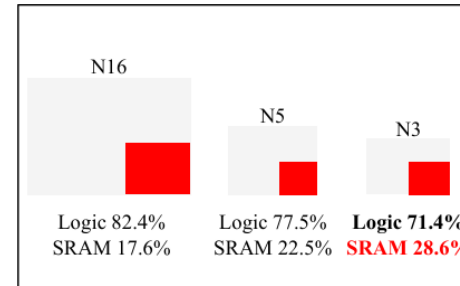
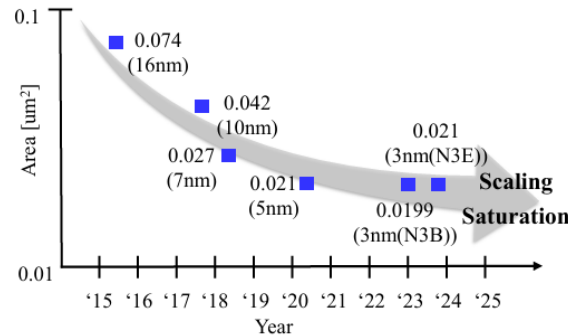
HBM 액세스 병목 및 SRAM 한계

- ✓ 성능 저하의 원인 : 트랜스포머 모델(GPT, BERT 등) 거대한 파라미터 처리시 Interconnect를 통한 빈번한 HBM 액세스가 주요 병목
- ✓ 데이터 이동 문제 : MHA(Multi head attention) 연산 시 GPU와 HBM 사이 대규모 데이터 이동 발생
→ 연산량보다 메모리 대역폭에 의해 성능이 결정되는 'Memory-bound' 상황 초래됨
- ✓ SRAM 스케일링 한계 : 공정 미세화에 따른 SRAM 면적 효율 포화로 인해 칩 내 면적 확보 어려움



[HBM Access as a Performance Bottleneck in GPU-HBM Module]

[Massive Data Movement between GPU and HBM]



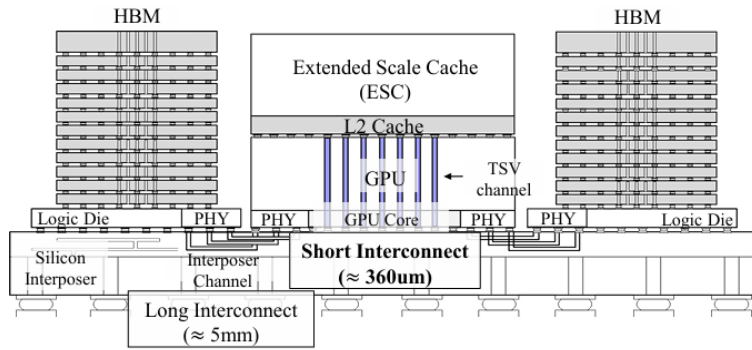
[Limitations of Extending On-chip SRAM Cache Capacity]

3. DesignCon 2026 자료 소개

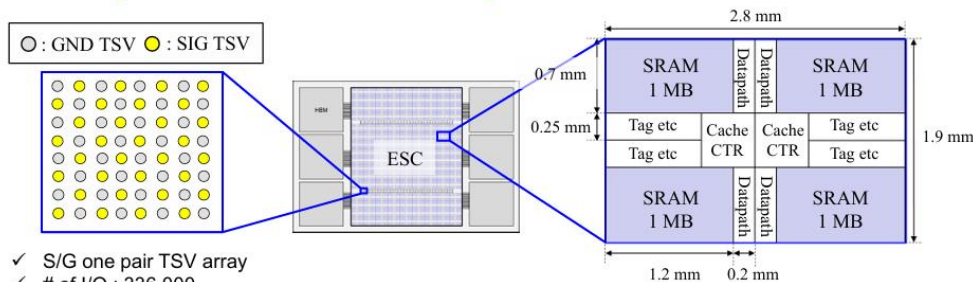
[T05 S2] Beyond Off-chip Bandwidth Limits: PI-aware Extended Scale Cache (ESC) Stacked-GPU-HBM Module for Transformer-scale AI Computing, H.Park, KAIST

제안 솔루션 : ESC (Extended Scale Cache) 적층 구조

- 1) 구조적 특징 : TSV와 Hybrid bonding 기술 사용 → GPU 상단에 Cache 배치 & 전체 높이를 HBM 표준(720um)에 맞춤
- 2) 경로 단축 : 기존 HBM 액세스 58.9mm → ESC 적층 구조 33mm → 약 50% 감소
- 3) 초고대역폭 확보 : GPU와 ESC 사이의 데이터 전송 대역폭 168 TB/s 달성 → 병목 제거

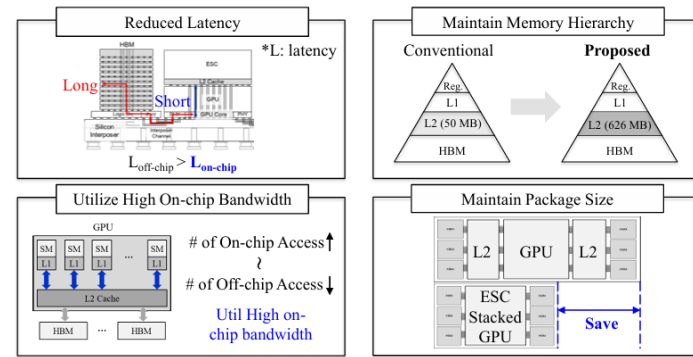


[ESC Stacked-GPU-HBM Module]

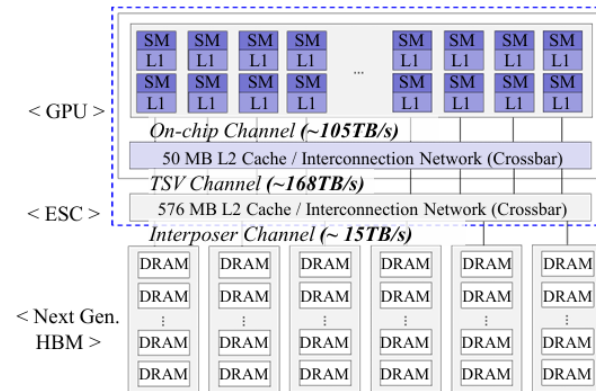


- ✓ S/G one pair TSV array
- ✓ # of I/O : 336,000
- ✓ Datarate per I/O : 4 Gbps

[Configuration of the Designed ESC]



[Key Advantages of the Proposed Architecture]

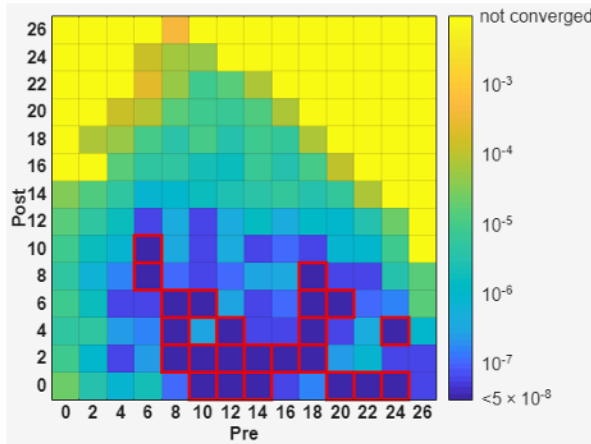


[Overall System of the Proposed Architecture]

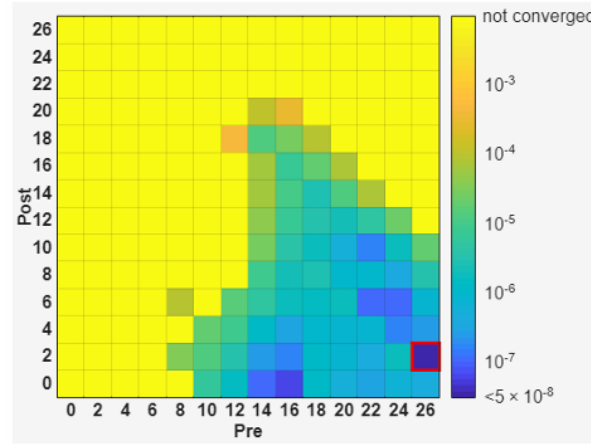
3. DesignCon 2026 자료 소개

[T06_S6] Link Dynamic Modeling and Simulation using IBIS-AMI Framework C.Chou, AMD

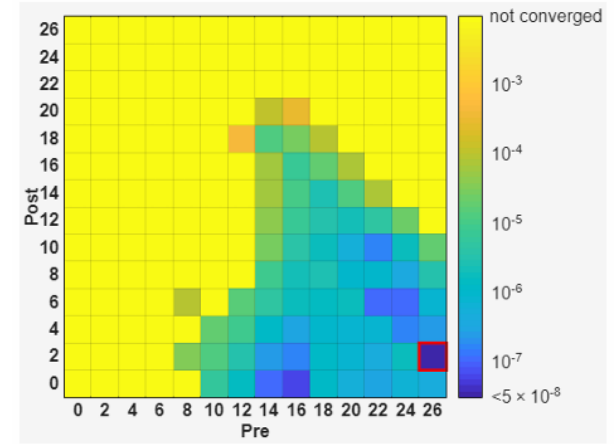
- ✓ 현재의 표준 도구들은 Static 시뮬레이션만 지원
- ✓ 실제 시스템은 온도, 습도 등 환경변화에 따라 실시간으로 변함. Static 시뮬레이션은 반영 불가
- ✓ 설계 효율 저하 : 부정확한 마진 예측은 전력과 면적을 낭비하는 설계 과잉으로 이어짐



(a) Lowest BER $<5e-8$



(b) Lowest BER $<5e-8$



(b) Lowest BER $<5e-8$

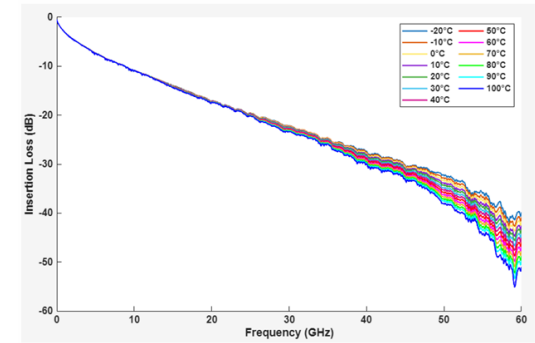
[TX FIR (pre vs. post) sweep at 3 different temperatures.]

- ✓ 저온 : 많은 TX FIR 계수 조합에서 낮은 BER 달성
 - ✓ 중온 : 낮은 BER을 유지하는 최적영역이 눈에 띄게 좁아짐
 - ✓ 고온 : BER 특성 급격히 악화됨. 높은 pre-tap과 낮은 post-tap 방향으로 이동
- 온도 변화는 TX FIR 설정값도 변함 → 실제 시스템은 RX Adaption으로 링크성능 유지

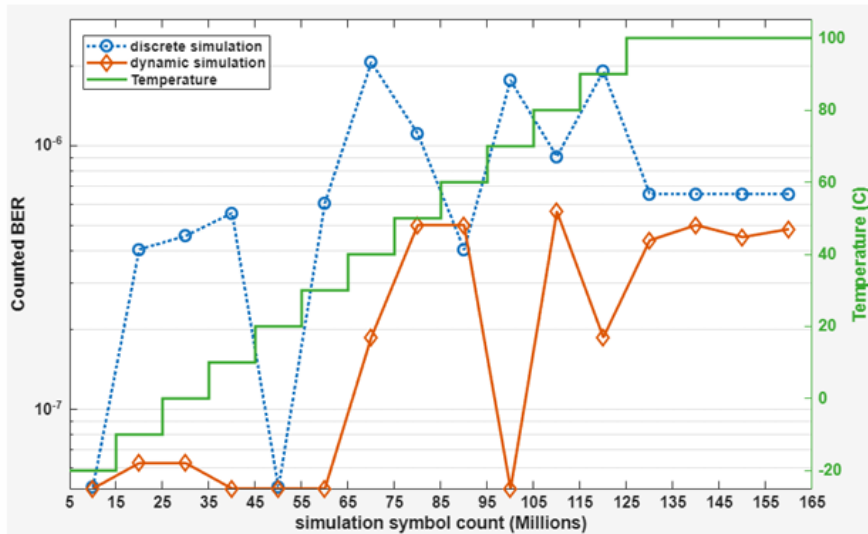
3. DesignCon 2026 자료 소개

[T06_S6] Link Dynamic Modeling and Simulation using IBIS-AMI Framework C.Chou, AMD

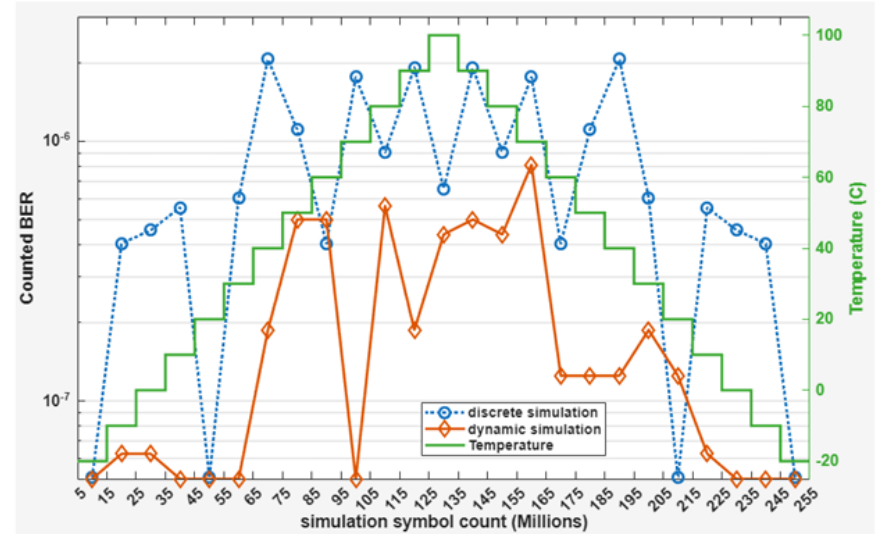
- ✓ 온도 변화에 따라서 Dynamic Simulation 결과가 더 낮은 BER 유지
- ✓ 동일한 온도라도 온도가 상승 중인지 하강 중인지에 따라 BER 달라짐
- ✓ Dynamic Modeling은 실제 시스템 환경을 더 잘 반영 → 실질적 링크 마진 확보



[Insertion loss at 13 temperatures.]



[Counted BER for discrete and dynamic simulation under rise-then-steady temperature profile.]

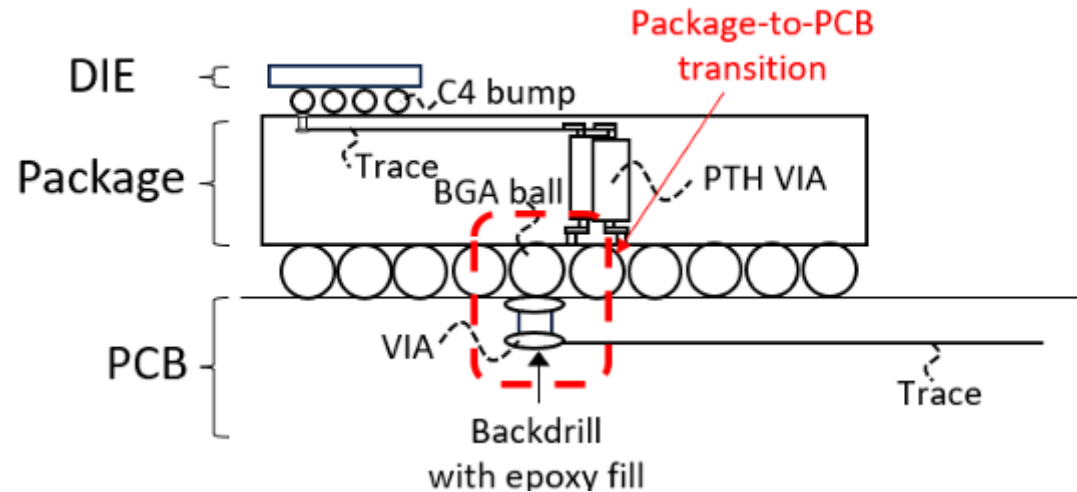


[Counted BER for discrete and dynamic simulation under rise-then-fall temperature profile.]

3. DesignCon 2026 자료 소개

[T07_S5] Advancing Signal Integrity for High-Speed SerDes: From Package-Board Constraints to On-Package Interconnects, H.Silva, Amphenol

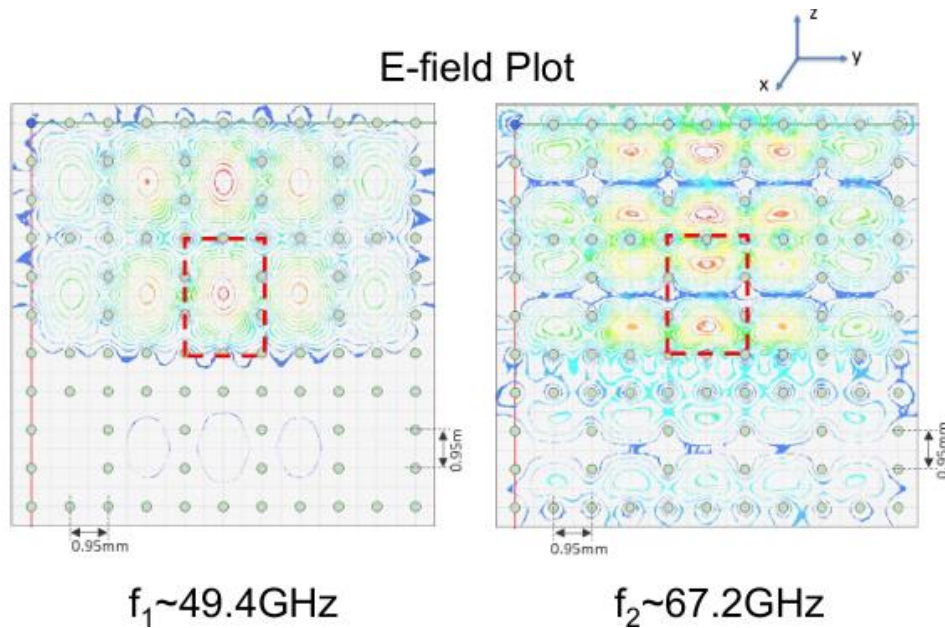
- ✓ PKG – PCB Transition의 복잡성 : 기존 구조에서는 C4 Bump, BGA ball, PTH VIA 등 다중 불연속점으로 인해 고주파 대역에서 IL, RL, X-talk 심화
- ✓ 전자기적 민감도 증가 : 미세한 구조 변화가 시스템 전체의 공진과 임피던스 편차를 유발



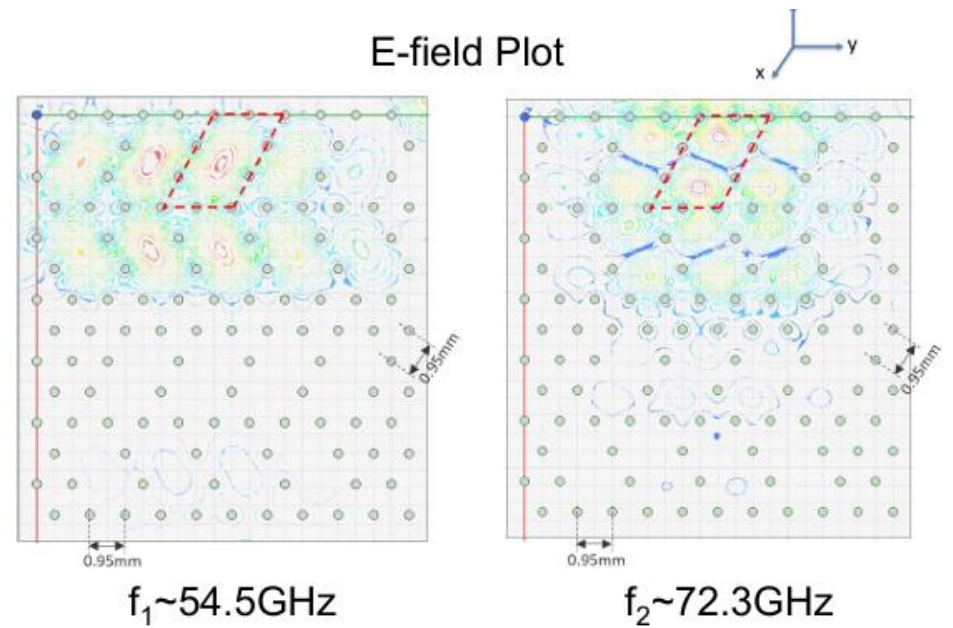
3. DesignCon 2026 자료 소개

[T07_S5] Advancing Signal Integrity for High-Speed SerDes: From Package-Board Constraints to On-Package Interconnects, H.Silva, Amphenol

- ✓ Eigenmode 분석 : PCB 내 GND Cavity 공진 예측 및 필드 분포를 파악하여 성능 저하 원인 규명
- ✓ 육각형(Hexagonal) Ball grid가 사각형(Square) 대비 공진 주파수를 높게 형성하여 대역폭 확보에 유리, 전반적인 X-talk (ICN) 낮춤
- ✓ Via 배치 : GND via를 Signal via 근처로 이동시켜 Cavity 크기를 축소 → 공진 모드를 고주파로 밀어냄
- ✓ Modal Excitation : I·E ≠ 0 일 때 특정 Mode가 excitation 되어 대역폭 제한 → 제어 필요



[Electric field distribution of the first resonant mode.]

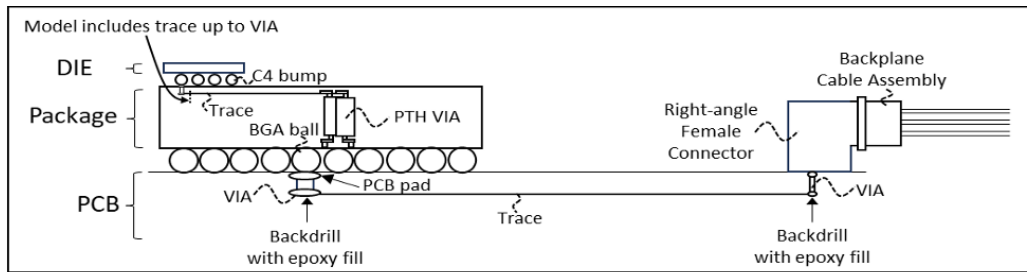


[Electric field distribution of the second resonant mode.]

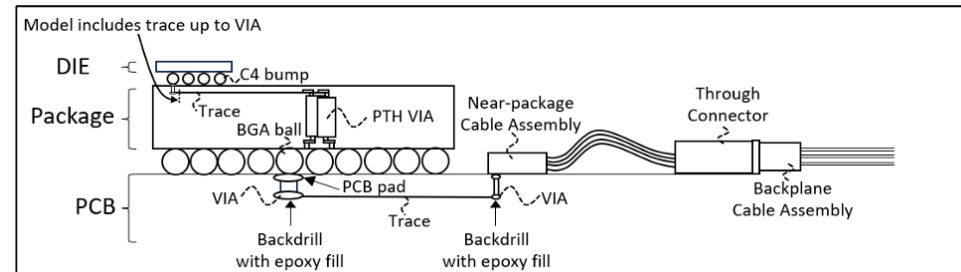
3. DesignCon 2026 자료 소개

[T07_S5] Advancing Signal Integrity for High-Speed SerDes: From Package-Board Constraints to On-Package Interconnects, H.Silva, Amphenol

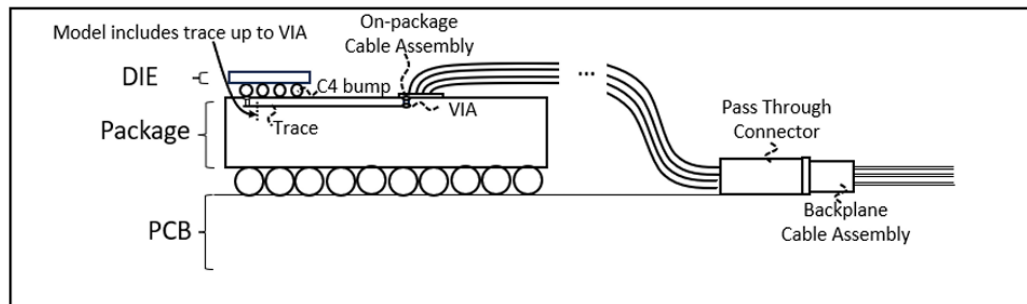
- ✓ On-package 솔루션 : Board Routing과 BGA transition을 제거하여 IL, RL 성능 우수. 가장 높은 COM 마진 보임
- ✓ EQ 효율성 및 저전력화 : 신호 품질이 좋으면 Rx의 FFE tap 수 감소 가능 → PHY Layout 면적 축소 & 전력 소비 절감 가능



a) Traditional package-to-board Channel.



b) Near-package Channel.



c) On-package Channel.

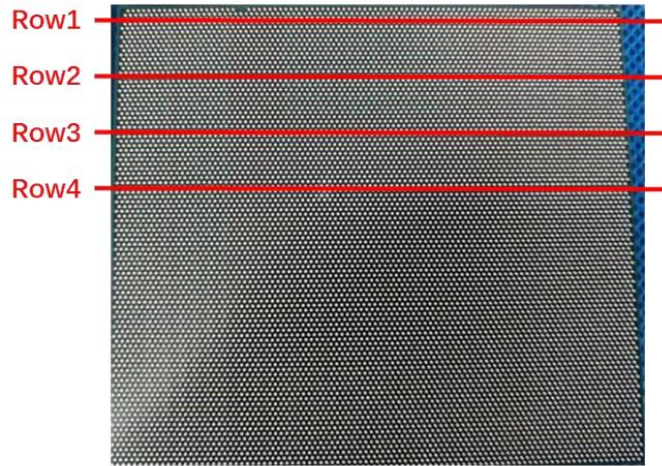
Parameter name	Traditional Channel	Near-package Channel	On-package Channel
COM [dB]	4.85	5.15	5.12
IL dB die to die at Fnq [dB]	35.81	34.49	35.54
Fitted IL dB at Fnq [dB]	35.50	34.43	35.90
FOM ILD [dB]	0.196	0.167	0.031
ERL [dB]	12.91	12.72	23.38

On-Package 솔루션이 ILD (Insertion Loss Deviation), ERL(Effective Return Loss) 모두 성능이 가장 우수함.
→ EQ 부담 감소

3. DesignCon 2026 자료 소개

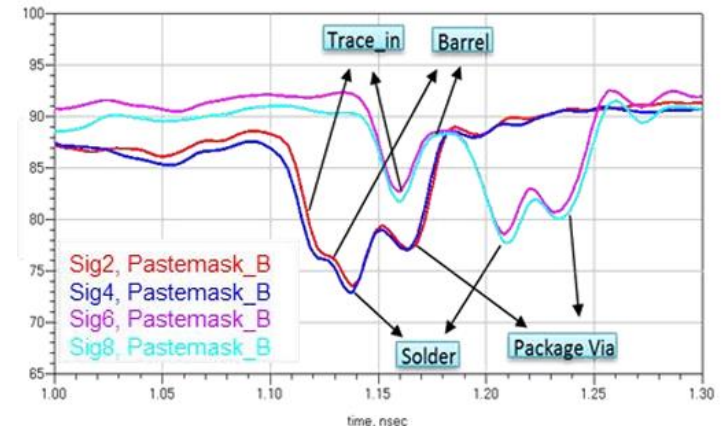
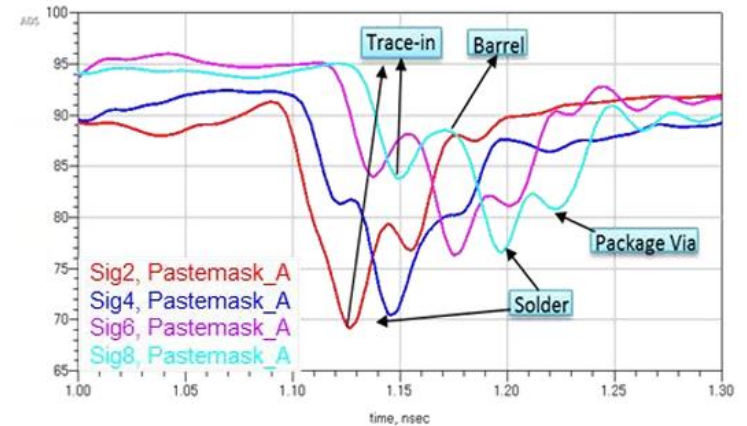
[T07_S13] Investigating BGA Solder Shape Impact on 200&400Gbps Signal Integrity, M.Tucker, Shennan Circuits Co.,Ltd

- ✓ BGA Soldering : Chip과 PCB를 연결하는 핵심 수단이지만, 대형 Chip(120x120mm 이상) 은 Warpage로 인해 solder ball 형상 불균일
- ✓ 임피던스 불연속 : TDR Test 결과 BGA solder ball 은 200Gbps 채널에서 가장 큰 임피던스 불연속이 발생하는 지점
- ✓ 형상 변화의 영향 : 칩의 바깥쪽은 짧고 굵게, 안쪽은 길고 가늘게 형성되어 높이 차이 (최대 30%) 발생하여 SI 문제



No	Height [um]	Cross-Section
Row1	317.9	
Row2	358.4	
Row3	378.7	
Row4	402.7	

[Cross-section of 112G BGA Soldering experiments, from chip edge to center]

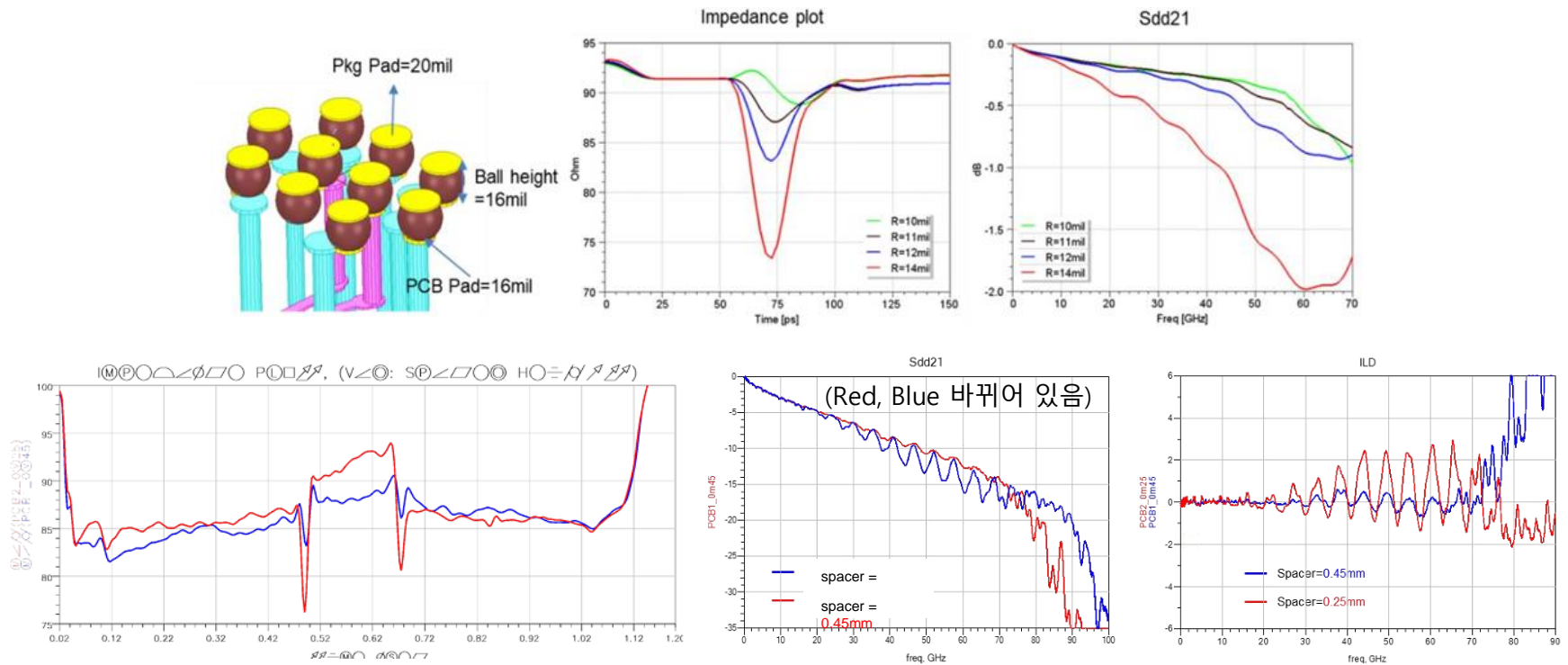


[TDR Impedance of 112G BGA soldering interface]

3. DesignCon 2026 자료 소개

[T07_S13] Investigating BGA Solder Shape Impact on 200&400Gbps Signal Integrity, M.Tucker, Shennan Circuits Co.,Ltd

- ✓ Solder ball 사이즈가 커질수록 임피던스가 낮아져 IL 커짐
- ✓ Solder 접합부 높이가 0.53mm 인 경우가 0.33mm 일 때보다 우수한 ILD 성능을 보임 → Solder가 눌리지 않아야 신호 품질 유지됨
- ✓ 200G/400G 설계에서 BGA solder 형상은 대역폭 자체보다 RL, ILD에 큰 영향을 미침 → 열 변형 제어와 정밀한 solder 양 관리 필수적

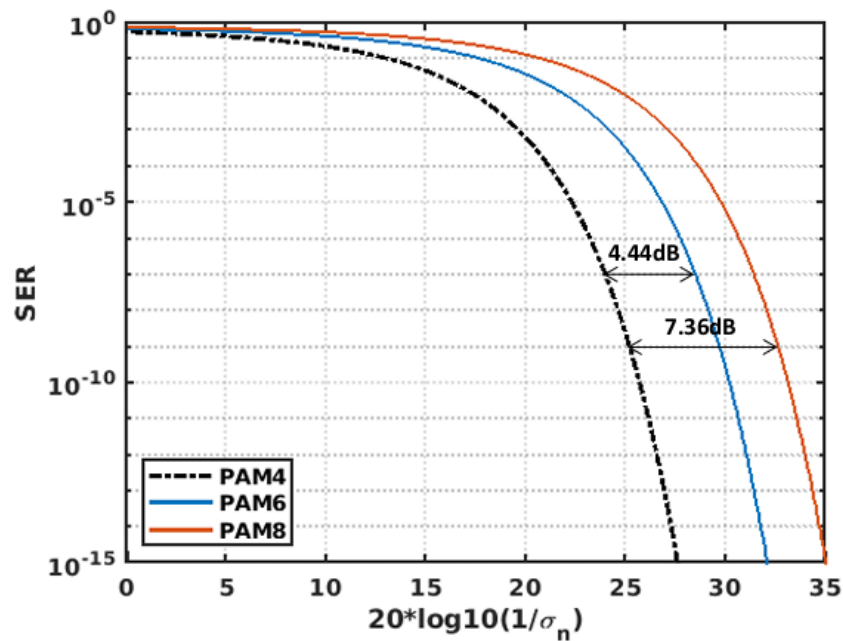


- Solder ball 낮으면 저주파 ILD 성능은 떨어지지만, 90GHz 이상의 대역폭 확보
- Solder ball 높으면 ~70GHz ILD 성능은 좋지만, 80GHz 대역에서 대역폭 제한 → 물리적 크기 증가는 공진 주파수 감소 효과 발생

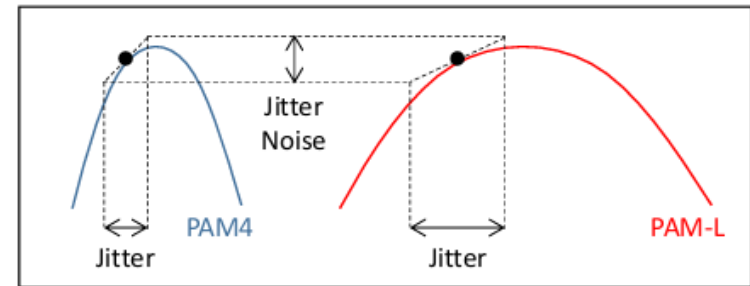
3. DesignCon 2026 자료 소개

[T09_S06] PAM6 vs. PAM8 – a Few Considerations more...

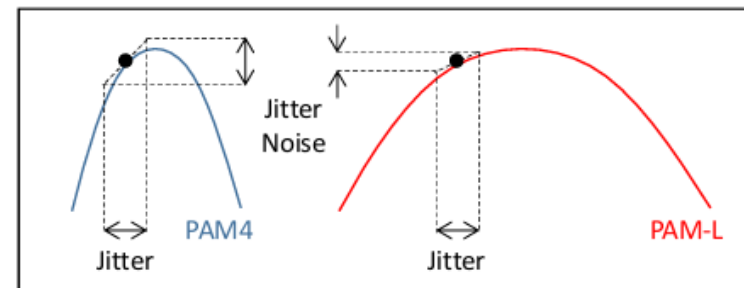
- ✓ 448G PAM4의 한계 : 기존 PAM4 방식은 100GHz 이상의 높은 Nyquist 주파수가 요구되어 심각한 채널 손실과 패키지 한계가 있음
- ✓ PAM Level distance : PAM6는 PAM8에 비해 레벨 간 거리가 멀어 이론적으로 SNR 측면에서 2.92dB의 고유한 이점을 가짐
- ✓ Jitter Scaling : PAM8은 더 넓은 UI를 가져야 하지만, 실제 시스템에서는 Jitter가 차지하는 비율도 커지기 때문에 UI 이점 상쇄



[SER of PAM4/6/8 schemes versus same amount of noise]



a)



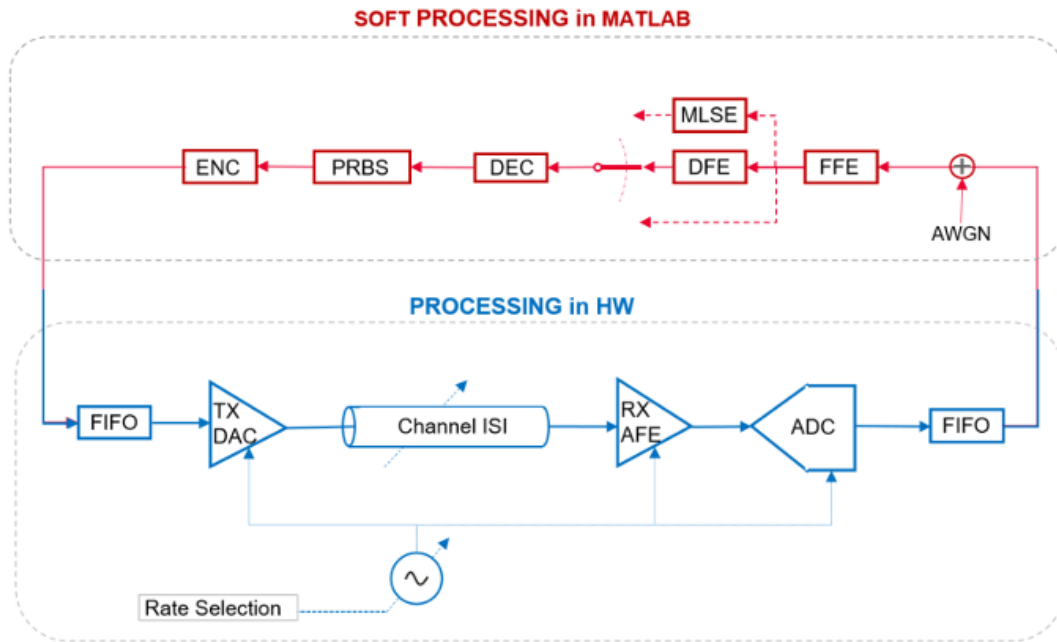
b)

[Jitter scenarios and their transformation from time to voltage, a) Constant-UI, b) Constant-time]

3. DesignCon 2026 자료 소개

[T09_S06] PAM6 vs. PAM8 – a Few Considerations more...

- ✓ 하이브리드 측정 환경 : 145Gbps HW(AFE 및 ADC)에서 신호 수집 → MATLAB Soft DSP(FFE, DFE, MLSE) 로 후처리
- ✓ 채널별 BER : Short 채널 및 Long 채널 환경 모두 PAM6가 PAM8에 비해 Pre-FEC BER 성능 우수
- ✓ 송신단 비선형성(RLM) 취약점 : PAM8은 레벨 간격이 조밀하여 DAC의 미세한 신호 불균형에 민감하게 반응
→ DFE 최적화에 악영향

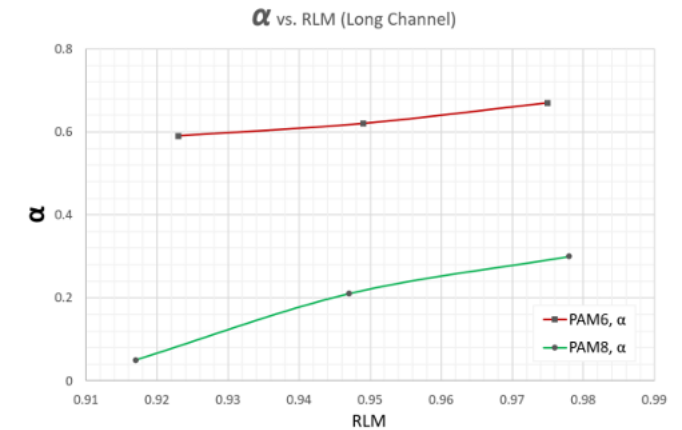
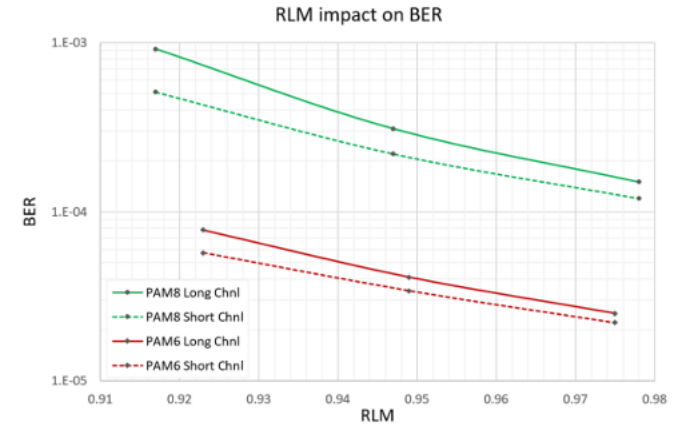


[Setup used for data acquisition]

*RLM (Ratio of Level Mismatch)

: Transceiver가 만들어내는 신호 Level의 간격이 얼마나 균일한 지 나타내는 수치
1에 가까울 수록 균일함을 나타냄

: PAM8에서 RLM이 낮으면 DFE 적극 개입 시 오류 발생 가능성도 커지기 때문에
→ Optimization loop가 RLM이 낮으면 DFE 기여도를 줄이게 됨



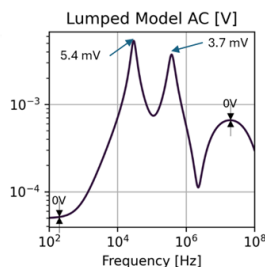
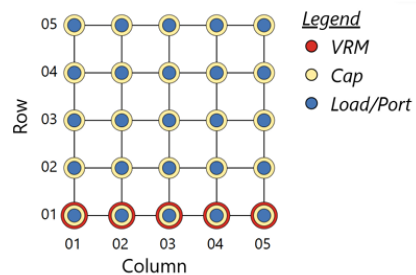
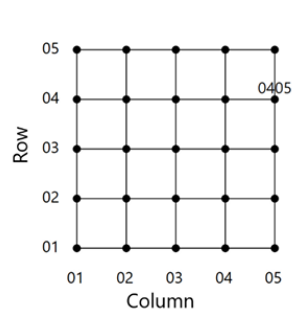
b)

[Dependency on DAC RLM, a) BER, b) DFE tap]

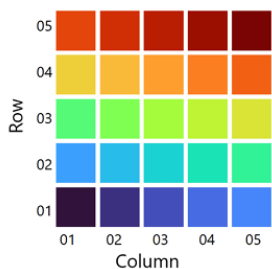
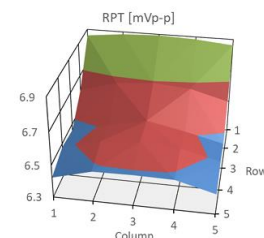
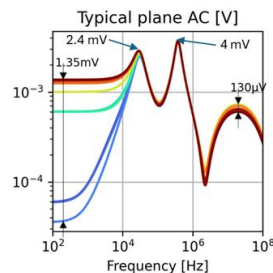
3. DesignCon 2026 자료 소개

[T10_S04] Bridging the Time-Frequency Chasm in PDN Design: Leveraging Cumulative Power-rail Noise & Reverse Pulse Techniques for Spatial-Frequency Insight, Ethan Koether, Amazon

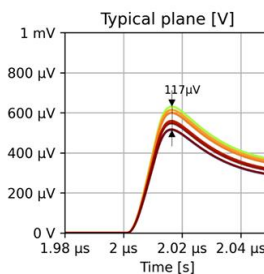
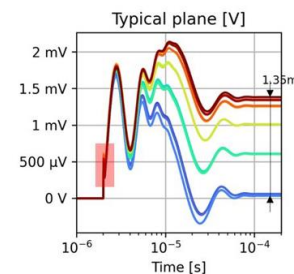
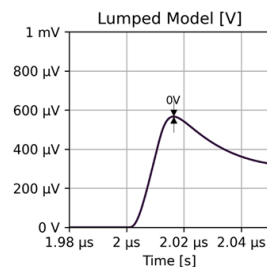
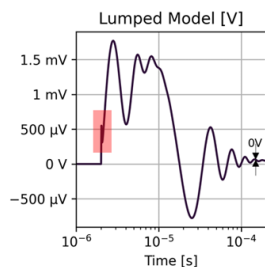
- ✓ 400G/800G 시대의 PDN 딜레마
: 고성능 칩(AI 및 서버)의 전류 소모량 1000A ↑, PDN에 요구되는 임피던스 수 십 $\mu\Omega$ 까지 낮아짐
- ✓ 기존 설계 방식의 한계
: Target Impedance 설계법은 시스템을 Lumped로 가정하기에 BGA의 물리적 위치에 따라 전원 노이즈나 임피던스의 크기가 차이를 잡아내지 못함
- ✓ 5x5 Grid model 실험
: copper plane의 저항 및 Inductance 성분에 따라 특정 노드의 저주파 IR-Drop 크거나, transient 편차 큼



RPT worst-case noise: 10.2 mVpp



PDN Components	R	L	C
VRM	0.25 m Ω	50 nH	-
Capacitor 1	18.7 m Ω	20 nH	100 μ F
Capacitor 2	3 m Ω	0.5 nH	10 μ F



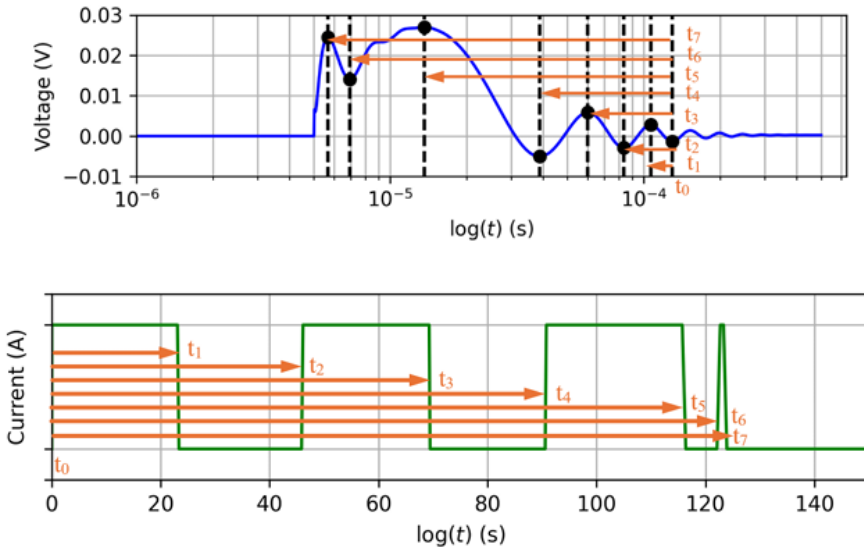
[Simple 25-node SPICE representation of simplified PDN]

[Frequency and transient response of lumped PDN & 'typical' plane]

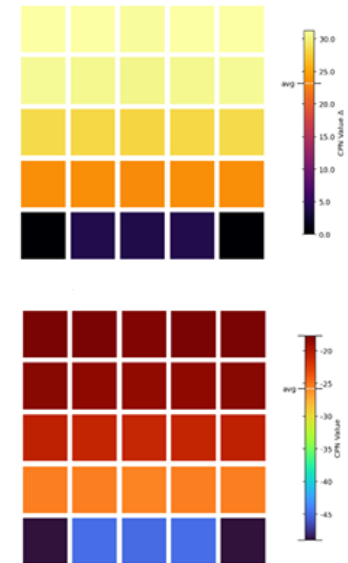
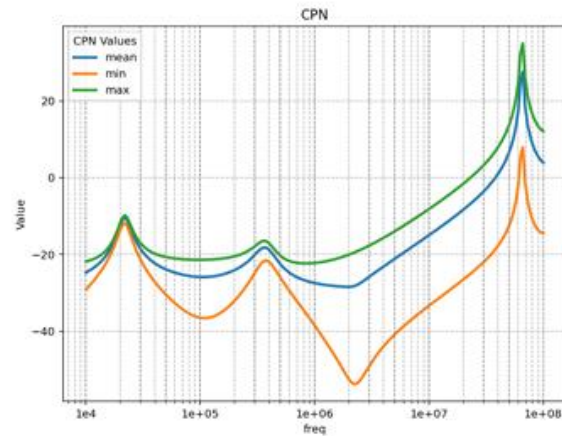
3. DesignCon 2026 자료 소개

[T10_S04] Bridging the Time-Frequency Chasm in PDN Design: Leveraging Cumulative Power-rail Noise & Reverse Pulse Techniques for Spatial-Frequency Insight, Ethan Koether, Amazon

- ✓ RPT (Reverse Pulse Technique)
 - : 선형 시불변(LTI) 시스템의 특성 활용, 단일 step response 만으로 PDN의 공진을 극대화하는 Worst-case profile 역산출
 - 각 핀에서 발생할 수 있는 peak-to-peak 정확히 도출
- ✓ CPN (Cumulative Power Noise)
 - : Power Sum Crosstalk 개념을 PDN에 차용. 각 물리적 핀 위치(x,y) 별로 주변에서 넘어오는 노이즈 전력을 spectrum 상에 합산 → 어떤 pin이 노이즈에 가장 취약한지 2D 공간에 나타냄



[(top) RPT 전류 패턴을 만들기 위한 Step Response 및 timing 도출 과정, (bottom) 최종 RPT worst current profile]

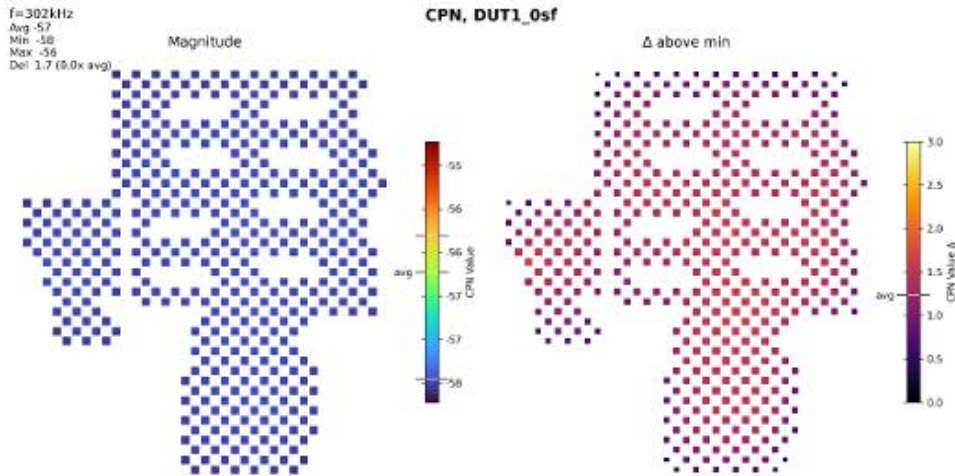


[(left) 5x5 test 모델의 CPN 결과 min. max. avg, (right) CPN Spatial plot]

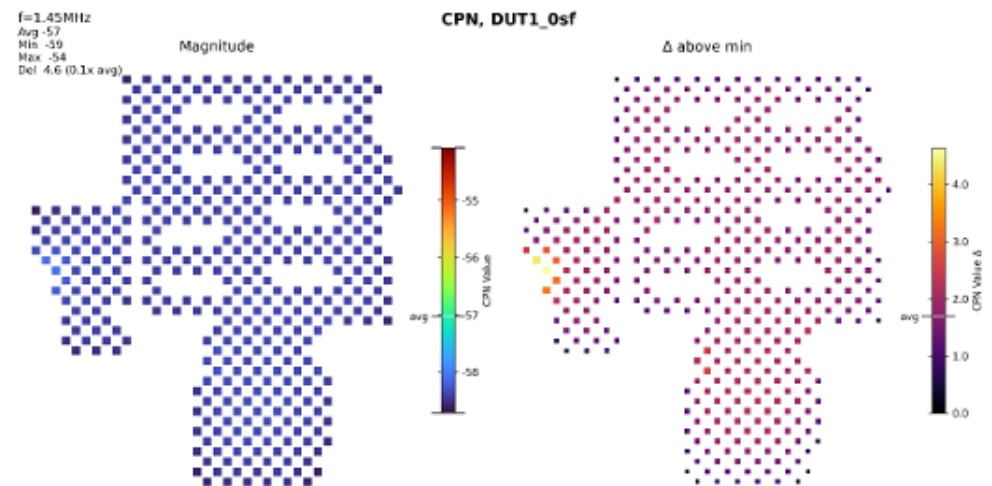
3. DesignCon 2026 자료 소개

[T10_S04] Bridging the Time-Frequency Chasm in PDN Design: Leveraging Cumulative Power-rail Noise & Reverse Pulse Techniques for Spatial-Frequency Insight, Ethan Koether, Amazon

- ✓ 주파수 대역별 Spatial Mapping Insight
: 30kHz 에서는 BGA 전체에 노이즈가 균일하게 분포하며 단순한 DC 특성만 보임
: 1.45MHz 에서는 Spatial Filtering이 강하게 일어나 BGA 외곽과 내부의 노이즈 편차가 5dB 까지 벌어짐
→ De-coupling 부족한 특정 핀 그룹이 식별됨
- ✓ RPT와 CPN 기법을 활용하여 BGA 핀별 취약성을 정확히 파악하고 무의미한 Over-design을 방지하는 PDN 설계 가능



["Real World" DUT PDN: CPN (30kHz)]



["Real World" DUT PDN: CPN (1.45MHz)]

3. DesignCon 2026 자료 소개

[T12_S13] Manual Micro-probes for One-Port PCB Characterization with a Single Touchdown. A. Rao. Qualcomm

✓ 기존의 Delta-L 방식 (2-Port Delta-L)

: Microstrip 의 주파수에 따른 effective Dk를 추출하는 간단한 방법론

: 동일 PCB에 서로 다른 넓이를 갖는 전송선로 배치

: VNA로 S21의 Phase를 측정 → Time Delay 계산 → 두 선로의 물리적 길이 차이를 이용해 effective Dk 추출

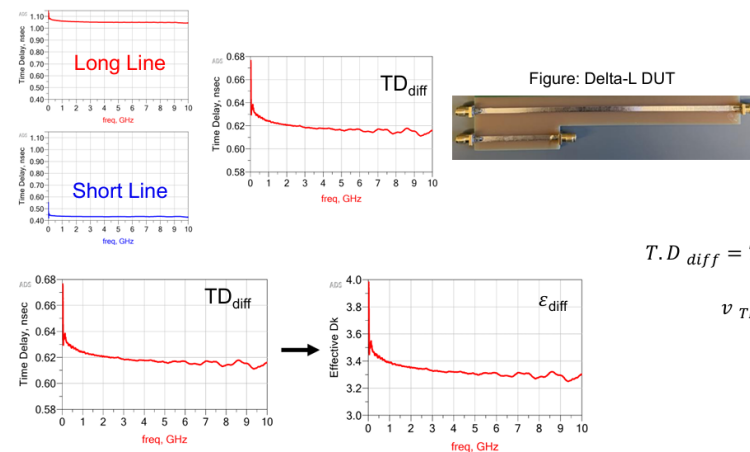
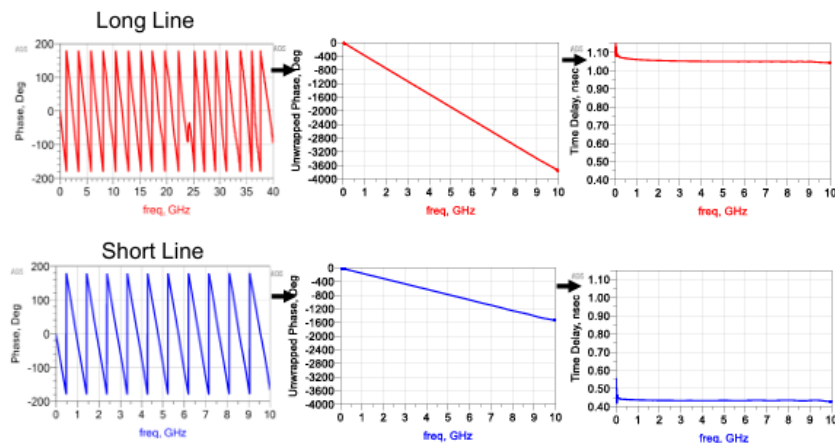


Figure: Delta-L DUT

$$T.D_{diff} = T.D_{Long} - T.D_{Short}$$

$$v_{TL} = \frac{L_{diff}}{T.D_{diff}}$$

$$\epsilon_{eff} = \left(\frac{c_{vacuum} \times T.D_{diff}}{L_{diff}} \right)^2$$

$$\phi(S_{21})_{in\ degrees} = \frac{-360 \times l}{\lambda_{TL}}$$

$$\phi(S_{21})_{in\ degrees} = \frac{-360 \times v_{TL} \times TD}{\lambda_{TL}}$$

$$\phi(S_{21})_{in\ degrees} = \frac{-360 \times f \times \lambda_{TL} \times TD}{\lambda_{TL}}$$

l = length of the line
 v_{TL} = speed of light in the transmission line
 λ_{TL} = wavelength in the transmission line

$$TD = \frac{-\phi(S_{21})_{in\ degrees}}{360 \times f}$$

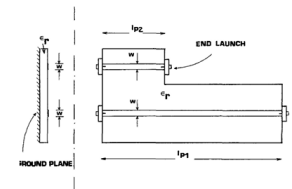


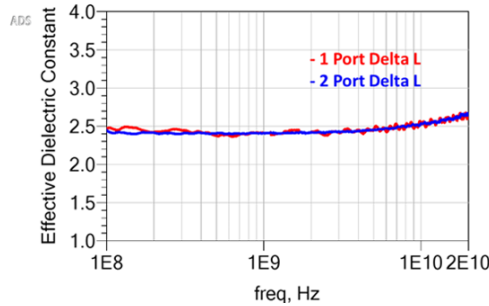
Fig. 1. Experimental setup for the two-microstrip-line method.

[1] N. K. Das, S. M. Voda, and D. M. Pozar, "Two Methods for the Measurement of Substrate Dielectric Constant," *IEEE Trans. Microwave Theory Techn.*, vol. 35, no. 7, pp. 636-642, Jul. 1987, doi: 10.1109/TMTT.1987.1133722.

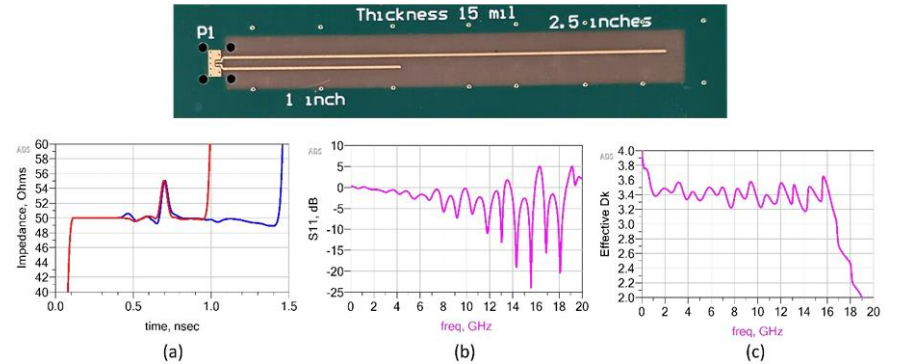
3. DesignCon 2026 자료 소개

[T12_S13] Manual Micro-probes for One-Port PCB Characterization with a Single Touchdown. A. Rao. Qualcomm

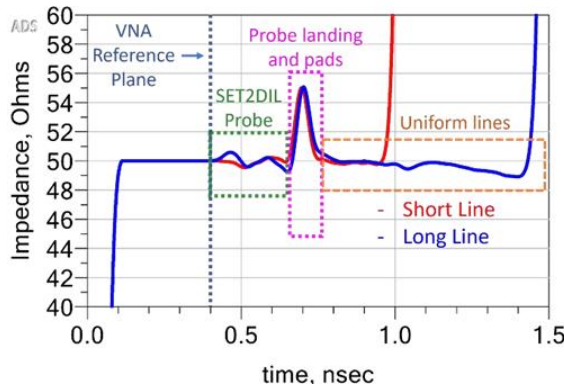
- ✓ 1-Port Delta-L 방식 제안 : 1-Port 방식으로 측정 (반대편 Open 상태) → setup 복잡도 낮춤
- ✓ SET2DIL Probe 활용 : Differential 신호용 probe를 이용해 한 번의 touch로 두 선로 동시 측정
- ✓ 2-Port 방식보다 단순하나, Reflection과 임피던스 Mismatching 에 민감함



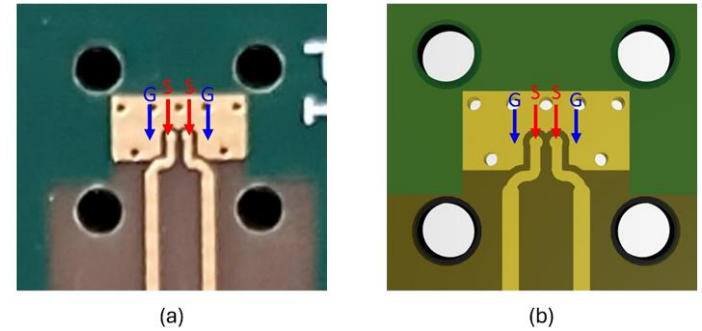
[1-port, 2-port Delta-L 방식의 차이]



[SET2DIL Probe 사용, TDR, S11, Effective Dk]



[SET2DIL Probe 로 single-ended 50-ohm 2 lines 측정 결과]



[Probe pads 와 alignment hole]

3. DesignCon 2026 자료 소개

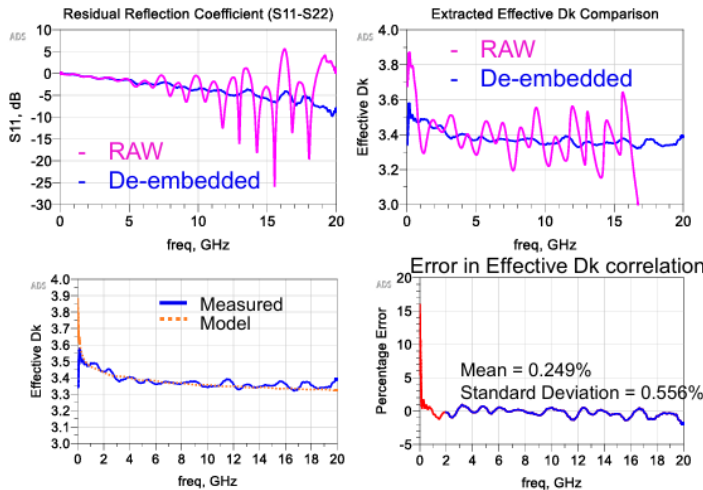
[T12_S13] Manual Micro-probes for One-Port PCB Characterization with a Single Touchdown. A. Rao. Qualcomm

- ✓ Delta-W 구조 추가 : 유전체에 의한 성분인지, Copper 에칭 문제인지 구분
 - 서로 다른 폭 W1, W2의 두선로에서 얻은 데이터로 4개의 방정식으로 부터 자재 특성 분리
 - 유전율, 실제 구현된 선폭 도출

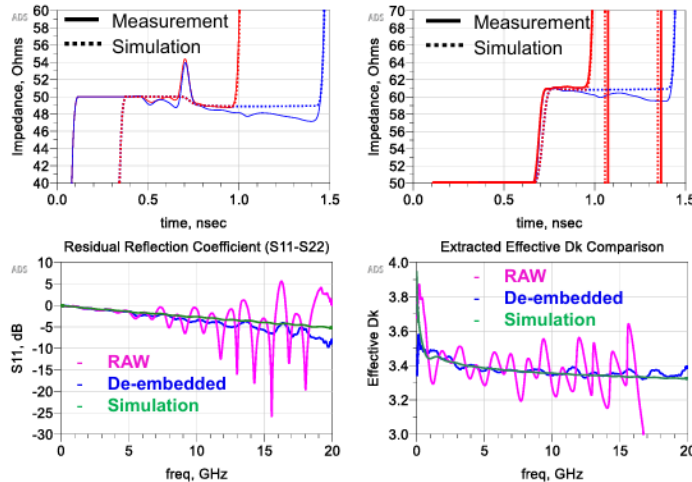
- ✓ 모델 Hacking/Tuning : 실측 데이터와 일치하게 조정
 - 벤더 제공데이터 아닌 Delta-L/W 로 추출한 값을 시뮬레이션 모델에 적용
 - 측정 TDR과 일치하는지 Correlation
 - 최종 미세 튜닝 : 유전체 높이, Bulk 유전율 미세 조정하여 오차 최소화

- ✓ Prepreg 우선 분석 후 내부 Core 분석 : 외곽 특성 확보 후 내부 특성 확보하면, 내부 특성 정확도 향상

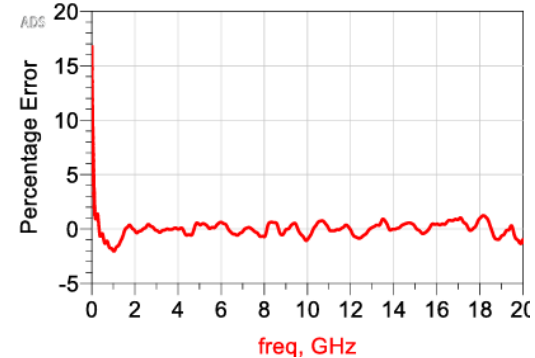
- ✓ Connector와 Launch pad 부분 De-embedding : 순수 PCB 특성 추출



[de-embedding & re-normalizing]



[Top-layer Correlation]

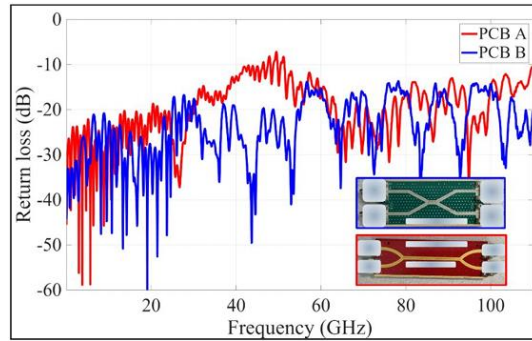
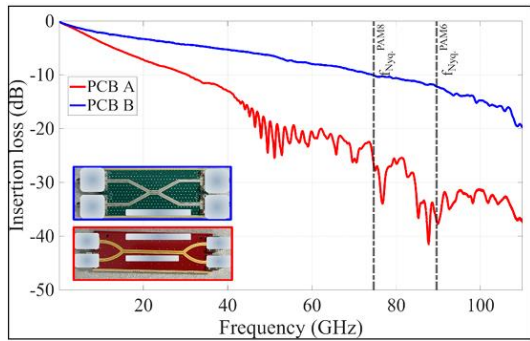


[Core parameters and Similarity metric]

3. DesignCon 2026 자료 소개

[T13_S07] Breaking the Bandwidth Barrier: Test Fixtures and Methodologies for 448Gbps Data Transmission, T.Mosavirik, Amphenol

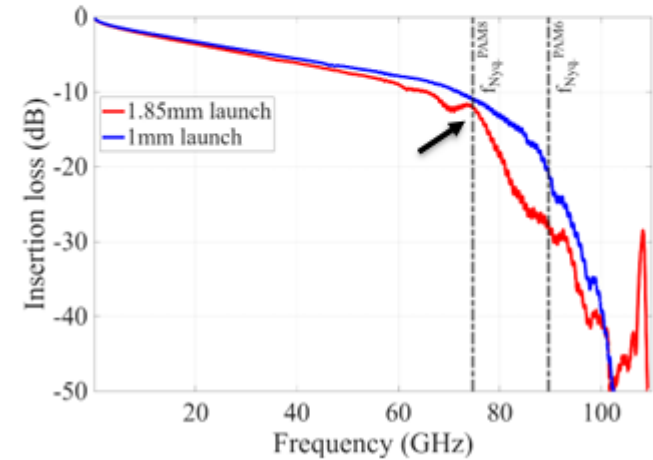
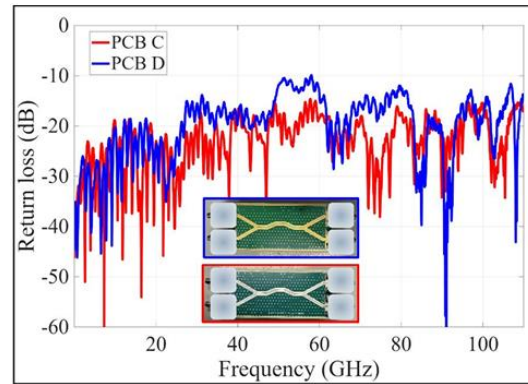
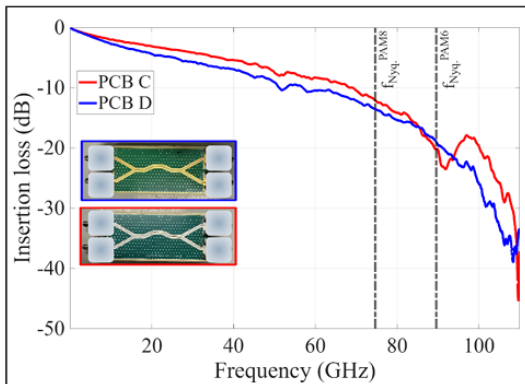
- ✓ Signal Return path 개선 : GND stitching via를 더 밀도있게 배치하면, Insertion Loss에 유리
- ✓ Gold 도금이 immersion tin(주석 도금)에 비해 고주파 대역에서 선형적이고 낮은 Loss profile을 유지함
- ✓ 1.85mm connector 대신 1mm vertical connector의 경우 PAM6 Nyquist 주파수에서 7dB 이상 유리함
→ 단 Roll-off Frequency는 connector 보다 PCB 자재 및 footprint 설계에 더 큰 영향을 받음



Maximum frequency for standard coaxial components

Coaxial connector size	Maximum industry-standard frequency	Maximum analytical frequency (TE_{11})	Impedance
2.4 mm	50 GHz	56.5 GHz	50 Ω
1.85 mm	65-70 GHz	73.3 GHz	50 Ω
1 mm	110 GHz	135.7 GHz	50 Ω
0.5 mm (new)	Up to 250 GHz	272.2 GHz	50 Ω

[GND Stitching via의 밀도 차이 및 ref. Impedance 100ohm과 92ohm 비교
높은 밀도의 GND stitching via와 92ohm ref. impedance 설계가 유리함]



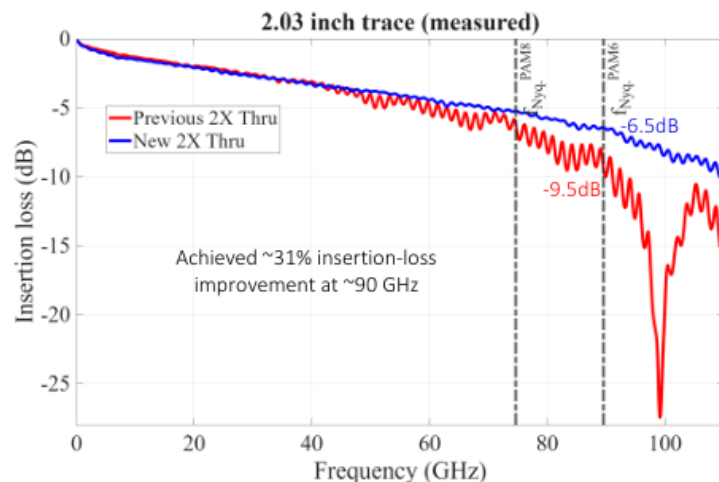
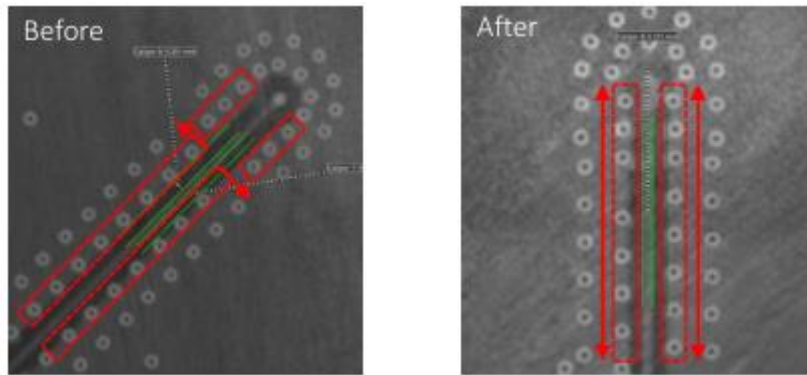
[금도금 PCB가 110GHz 까지 IL 더 선형적임. 금도금이 surface roughness, 안정성, 고주파 손실측면에서 448G에 더 적합함]

[1.85mm vs 1mm vertical connector. 더 작은 launch size는 고주파 특성을 개선하긴 하지만, footprint 최적화가 동반되어야 함]

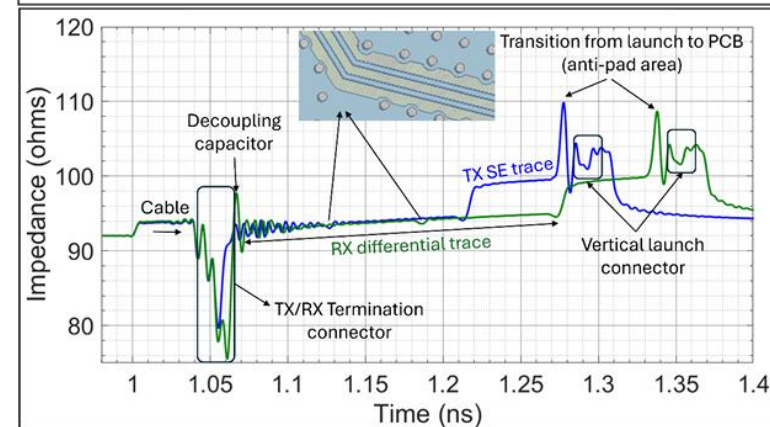
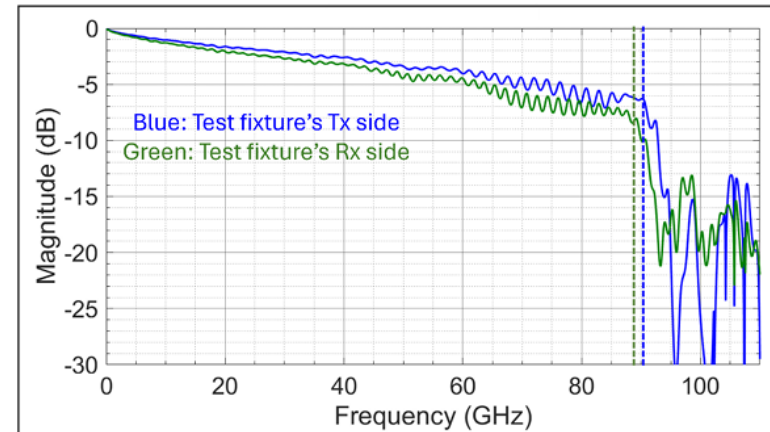
3. DesignCon 2026 자료 소개

[T13_S07] Breaking the Bandwidth Barrier: Test Fixtures and Methodologies for 448Gbps Data Transmission, T.Mosavirik, Amphenol

- ✓ Anti-pad size, GND via의 위치, 전송선로 설계 최적화 + vertical-launch 최적화 → fixture 대역폭 확장 중요 요소
- ✓ De-coupling Capacitor의 임피던스 변동도 roll-off frequency 차이를 발생시키는 요인이 될 수 있음.



[Vertical-launch transition 최적화가 대역폭 확장에 가장 중요한 요인]

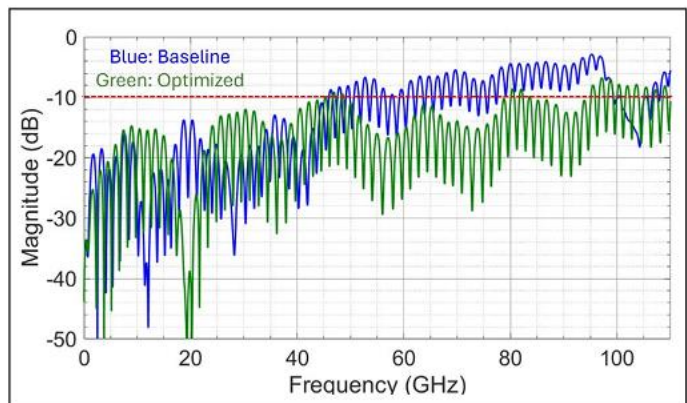
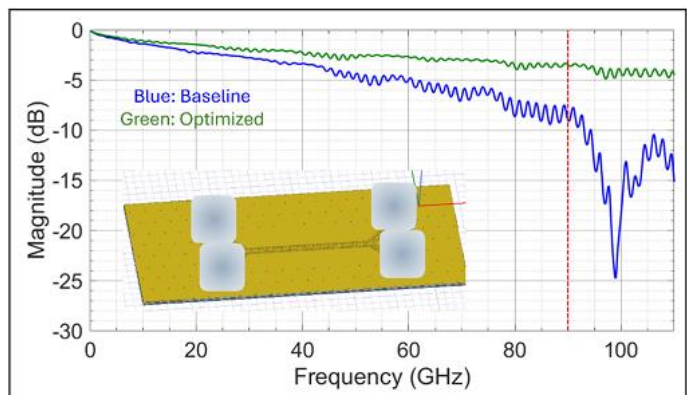


[Tx, Rx IL 및 TDR Simulation Result]

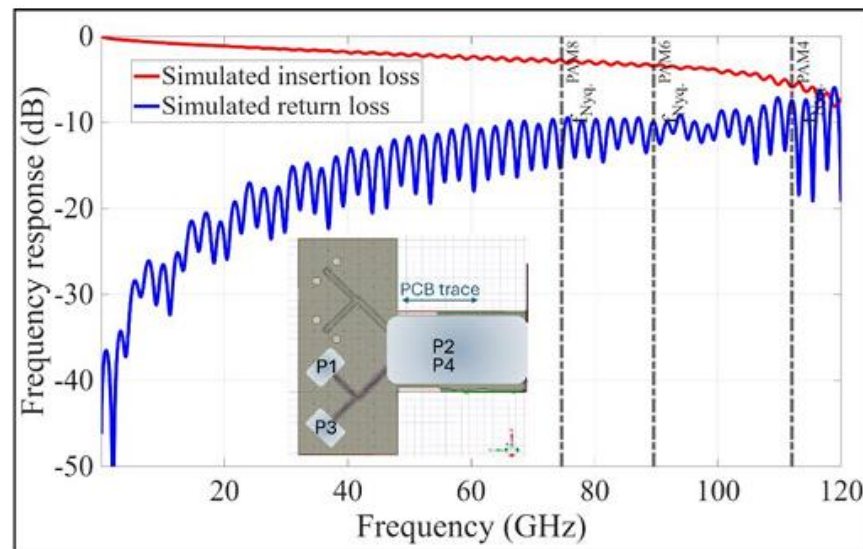
3. DesignCon 2026 자료 소개

[T13_S07] Breaking the Bandwidth Barrier: Test Fixtures and Methodologies for 448Gbps Data Transmission, T.Mosavirik, Amphenol

- ✓ Circuit board Design 최적화 : Vertical-launch connector 의 transition 영역의 inductive peak 억제가 중요
- ✓ 110GHz 이상의 신호를 안정적으로 제어하기 위해 via stub와 기생성분을 최대한 억제할 수 있는 구조 제안
→ PAM4 Nyquist (112GHz) IL -5.90dB, RL 100GHz 까지 -10dB 수준 달성



[improved design, 2-inch stripline trace]



[Tx side의 test fixture의 최적화 Simulation IL, RL Simulation 결과]

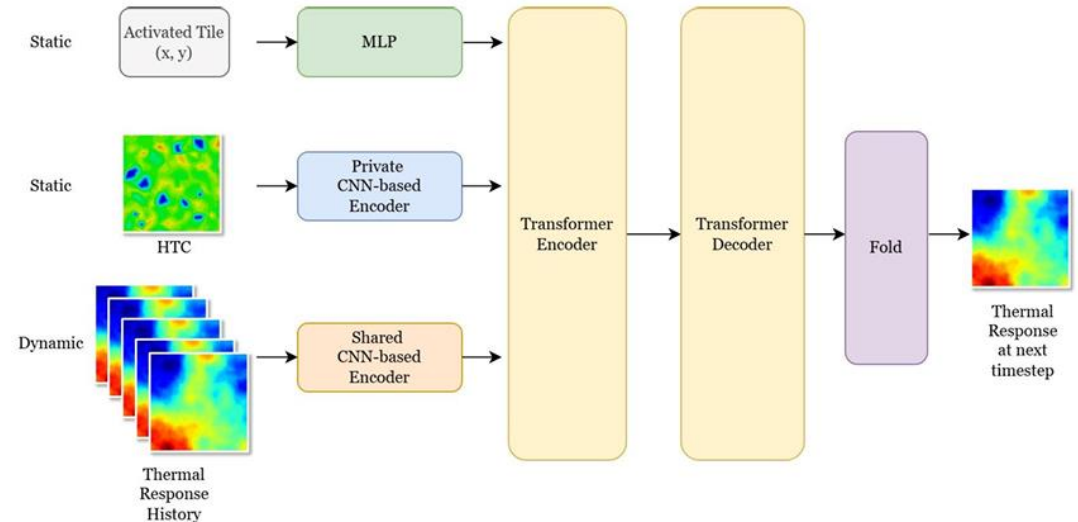
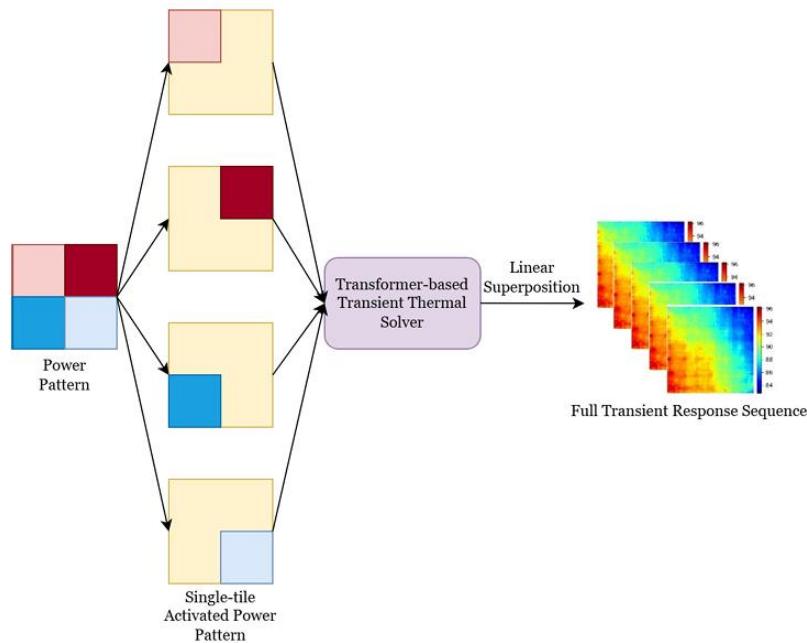
Table 4: Simulated insertion and return loss at Nyquist frequencies for various signaling schemes on the Tx side of the test fixture (derived from Figure 17)

Nyquist frequency	Insertion loss	Return loss
@112 GHz (PAM4)	-5.90 dB	-7.45 dB
@89.6 GHz (PAM6)	-3.48 dB	-9.94 dB
@74.7 GHz (PAM8)	-2.76 dB	-14.20 dB

3. DesignCon 2026 자료 소개

[T13_S07] ML-Based Transient Thermal Solver with Arbitrary Power Pattern Sequence & Realistic Boundary Conditions in 3DIC, Zelin Lu, University of Maryland

- ✓ FEM은 정확하지만 대규모 3D IC 설계에서 연산시간이 너무 길고 메모리 소모가 극심함
- ✓ 기존 ML모델은 고정된 경계 조건에서만 작동하여 실질적인 설계 적용에 한계가 있음
- ✓ Thermal Foundation Model 제안 : 임의의 2D 전력 패턴과 현실적인 비균일 열전달 계수 분포를 모두 입력받아 Transient Response를 예측하는 Transformer 기반 아키텍처
- ✓ Per-tile Activation : 선형 시스템의 Superposition을 활용 → 각 Tile이 단독으로 활성화 되었을 때 열 응답 예측 → 이를 선형 결합하여 전체 전력 맵에 대한 온도 계산



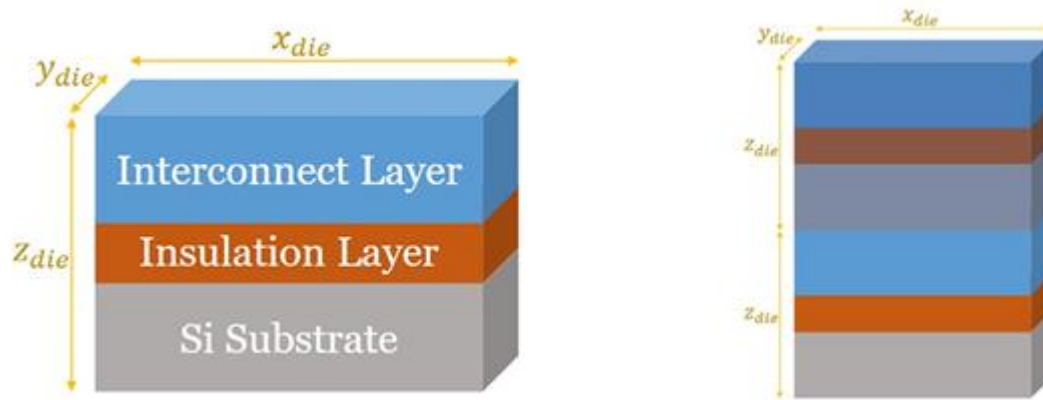
[임의의 전력 패턴이 여러개의 단일 activated 전력 패턴으로 분해
→ 선형 superposition으로 전체 전력 맵 온도 계산]

[The Architecture of the proposed foundation model.]

3. DesignCon 2026 자료 소개

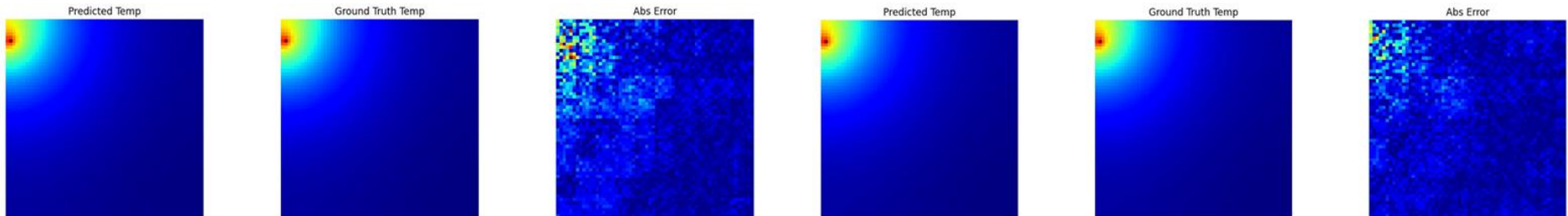
[T13_S07] ML-Based Transient Thermal Solver with Arbitrary Power Pattern Sequence & Realistic Boundary Conditions in 3DIC, Zelin Lu, University of Maryland

- ✓ Si 기판, 절연층, interconnect층으로 구성된 Die 모델 (12mm X 12mm)
- ✓ RedHawk-SC 활용하여 Golden Result를 확보 → 학습에 활용
- ✓ 예측 정확도 : Ground Truth 이력 활용 시 global error : 7%, 자기 회귀 입력 시 global error : 17%
- ✓ FEM 대비 7200배 속도 향상 및 메모리 사용량 0.05%로 줄였음



Parameter	Value
Heat transfer coefficient	0-1000 W/m ² ·K
Target die size ($x_{die} \times y_{die}$)	12 mm \times 12 mm
Die height (z_{die})	100 μ m
Dielectric/interconnect thickness	6 μ m
Insulation layer thickness	0.05 μ m
Tile size	200 μ m
Si substrate conductivity	0.1305 mW/ μ m·K
Insulation layer conductivity	1.38×10^{-3} mW/ μ m·K
Dielectric/interconnect conductivity	1.38×10^{-3} mW/ μ m·K

[Chip thermal model Configuration]



[The predicted response, Ground truth response and the absolute error for a single-tile activated case at different timesteps.]

[T01_S05] Practical Modeling of 3D Interconnects with Hatched Ground Planes in Silicon Interposers, Bridges & Flex PCBs, H. Lee, Keysight Technologies

- ✓ Advanced packaging 기술이 중요해지면서 Silicon interposer, bridge, flex PCB 등이 널리 사용되고, 제조 및 신뢰성 확보를 위해 hatched ground plane 구조가 적용됨
- ✓ Hatched 구조는 return current 경로를 방해하고, loop inductance를 증가시키며, impedance discontinuity와 crosstalk 증가 시켜 SI를 저하시킴
- ✓ 구조가 복잡해질 수록 Full wave 3D EM 기반 모델링은 가능하지만, 계산 시간과 메모리 요구량이 급격히 증가하여 최적화에 적용하기가 어려워짐



Silicon Bridge (EMIB-T/M)



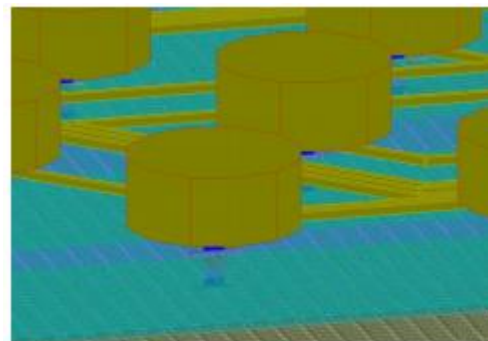
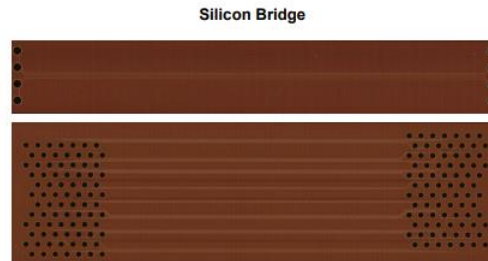
Silicon Interposer (Feveros-S2.5D)



Silicon Interposer w/ RD (Feveros-R2.5D)

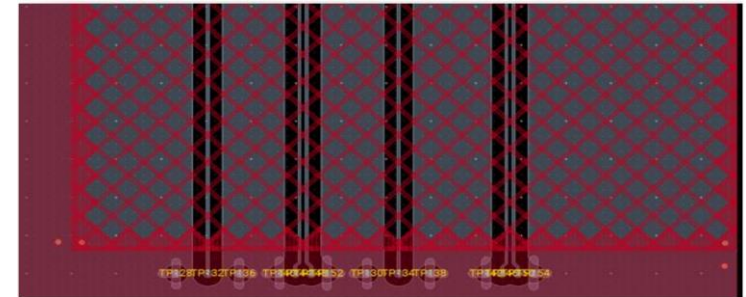
* Graphic source: Intel Foundry

[Advanced packaging architecture]



* Graphic source: Wisol

[Silicon bridge routing layout]

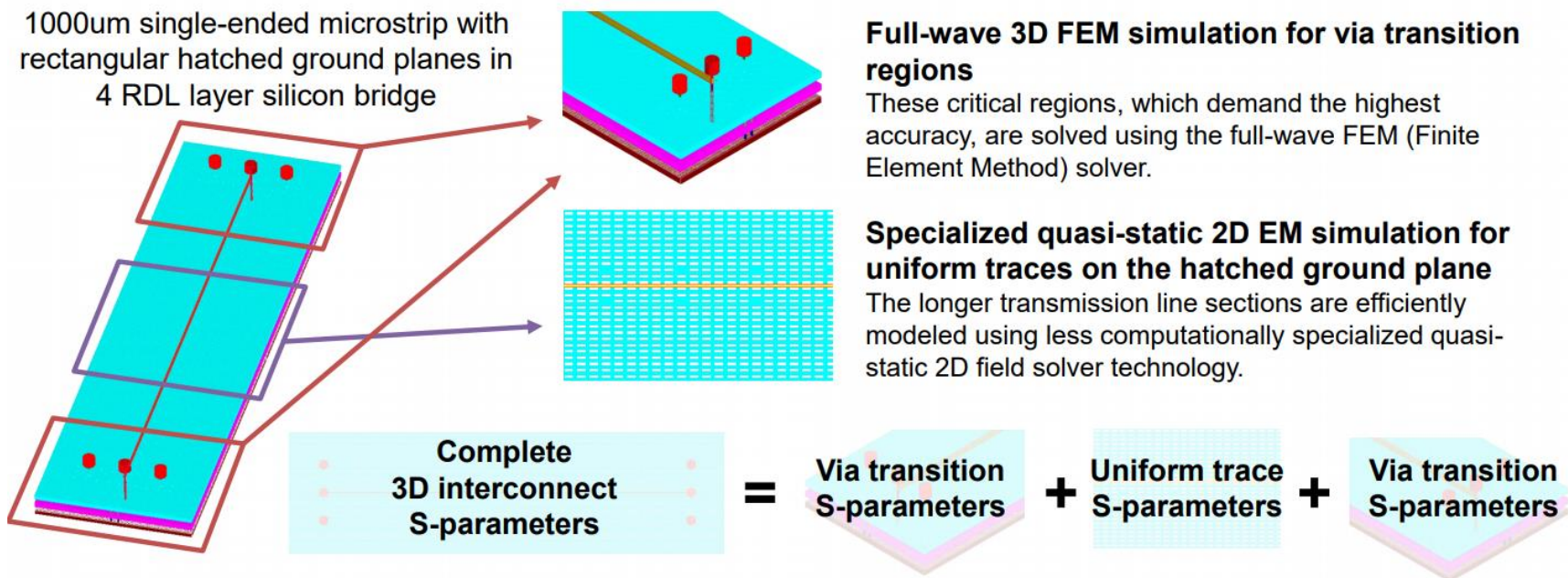


[Hatched ground plane with differential signal routing structure]

=> Hatched ground는 pattern이 많고 return path가 복잡해서 EM solver를 통해 모든 field를 계산하기가 힘들

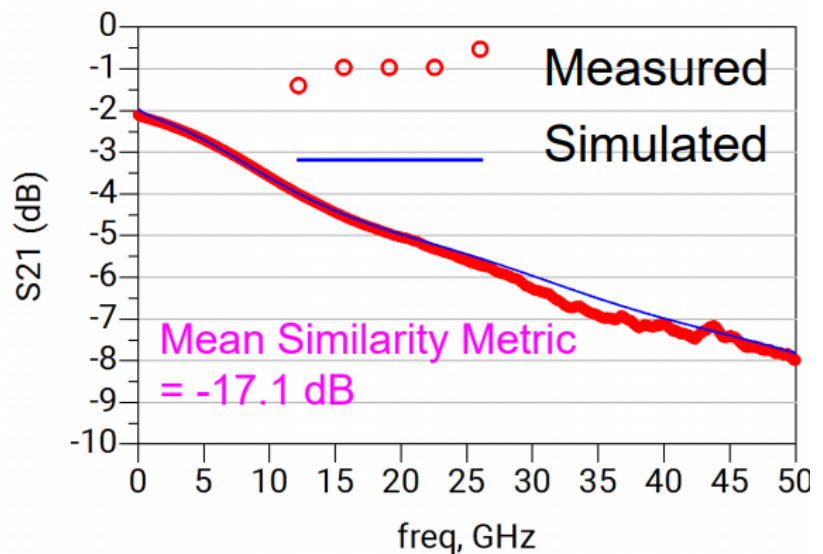
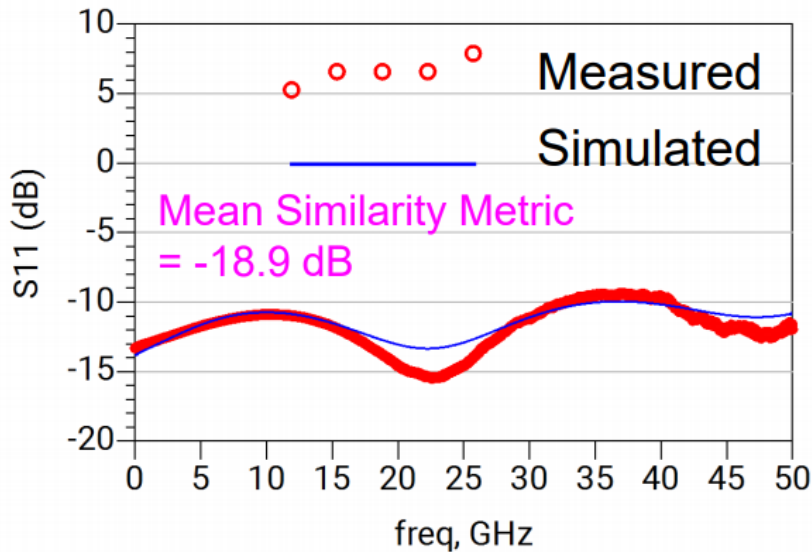
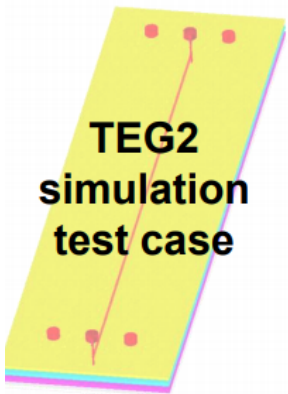
[T01_S05] Practical Modeling of 3D Interconnects with Hatched Ground Planes in Silicon Interposers, Bridges & Flex PCBs, H. Lee, Keysight Technologies

- ✓ 본 논문에서는 hatched ground plane을 포함한 3D interconnect를 분석하기 위해 Mixed-domain modeling approach를 제안함
- ✓ Via transition과 같은 critical 영역은 3D FEM으로 분석하고, 균일한 전송선 구간은 quasi-static 2D solver로 처리한 뒤 각 영역의 S-parameter를 결합하여 전체 시스템을 모델링함
- ✓ 이를 통해 기존 방식 대비 시뮬레이션 시간은 약 15배 메모리는 약 8.5배 감소시켜 정확도를 유지함



[T01_S05] Practical Modeling of 3D Interconnects with Hatched Ground Planes in Silicon Interposers, Bridges & Flex PCBs, H. Lee, Keysight Technologies

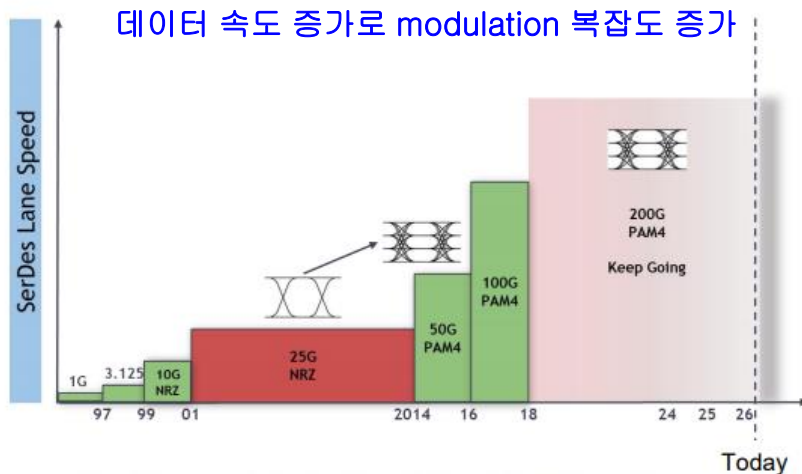
- ✓ Hatched ground plane 구조는 고속 신호 환경에 필수적이지만, 신호 무결성과 모델링 복잡도를 동시에 증가시키는 주요 원인 중 하나임
- ✓ 기존의 full-wave 3D EM 기반 분석은 높은 정확도를 제공하지만, 계산 비용이 매우 커 설계 반복과 검증에 비효율적이었음
- ✓ 제안된 mixed-domain modeling approach는 정확도와 효율성을 동시에 만족하는 실용적인 해결책으로, 측정 결과도 높은 상관성을 보여 advanced packing 설계 및 signoff 과정에 적용 가능성을 보임



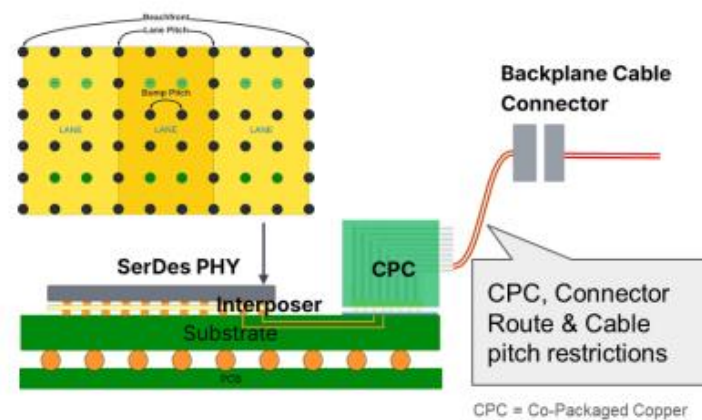
[Correlation between measured and simulation s-parameter]

[T03_S02] 448Gb/s Challenges for Scale Up and Scale Out Applications, S. Priyadarshi, Arista Networks corp.

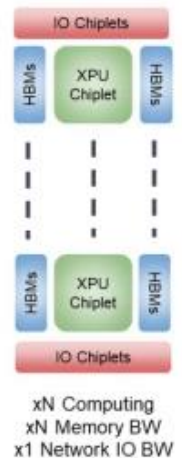
- ✓ AI 시스템의 발전으로 기존 electrical interconnect 기반 구조에서는 PCB routing loss 증가 connector 및 crosstalk 문제가 발생함
- ✓ Chip/package 레벨에서는 beachfront I/O 제한으로 인해 네트워크 대역폭 확장이 bottleneck으로 작용함
- ✓ 데이터 속도가 448Gb/s로 증가하면서 insertion loss, jitter, noise sensitivity가 증가하여 기존 방식으로는 안정적인 고속 신호전달이 어려워서 새로운 interconnect 아키텍처가 필요함



[Date rate evolution and signaling transition]

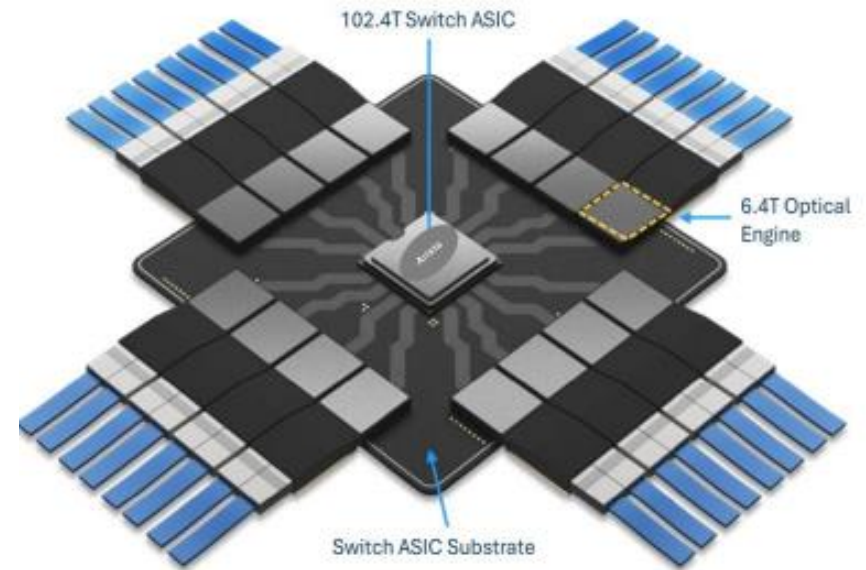
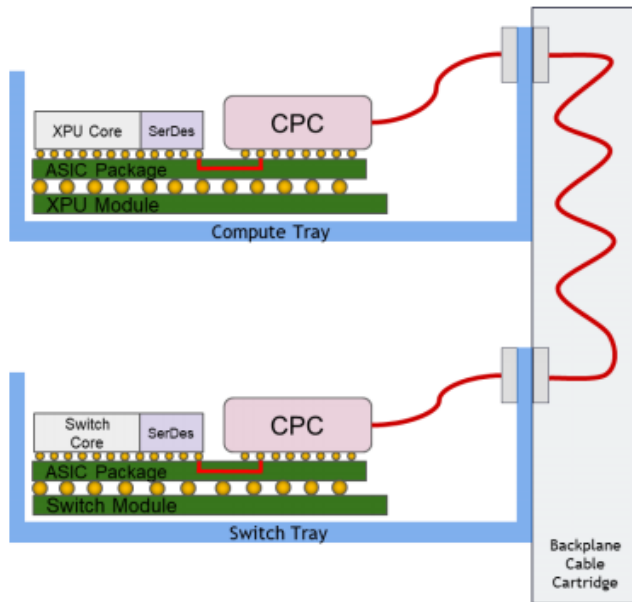


[Limitations of conventional PCB/backplane interconnect and need for CPC]



[T03_S02] 448Gb/s Challenges for Scale Up and Scale Out Applications, S. Priyadarshi, Arista Networks corp.

- ✓ 본 논문에서는 기존 PCB 기반 interconnect의 한계를 극복하기 위해 CPC(Co-Packaged Cable) 및 CPO(Co-Packaged Optics) 기반 구조를 제안함
- ✓ CPC 구조 : ASIC과 cable을 동일 패키지/보드 근처에서 직접 연결하여 기존 PCB routing 및 backplane 경로를 최소화하고 signal loss를 줄여 interconnect 효율을 향상시킴
- ✓ CPO 구조 : Optical engine을 ASIC 패키지에 직접 통합하여 electrical path를 최소화하고 높은 I/O density와 bandwidth 확장이 가능하도록 함



[System-level CPC interconnect replacing PCB/background routing]

[Co-packaged optics enabling high-density I/O and bandwidth scaling]

[T03_S02] 448Gb/s Challenges for Scale Up and Scale Out Applications, S. Priyadarshi, Arista Networks corp.

- ✓ 제안된 CPC 및 CPO 기반 구조는 기존 PCB 기반 interconnect의 SI 한계를 해결함
- ✓ CPC는 electrical channel에서 손실을 줄여 448Gb/s에서도 동작 가능성을 확보하고, CPO는 optical integration을 통해 장거리 통신에서 latency와 power문제를 동시에 해결함
- ✓ 또한, Advanced modulation과 FEC 기법을 결합함으로써 차세대 interconnect 구조의 핵심 기술로 활용될 수 있음

- PAM4 offering significantly better performance margins than PAM6
 - Noise limited link instead of BW limitation
- High impact of optical modulator BW on PAM4 than PAM6
- Target SNR calculation for 1e-4
 - Assuming no additional FEC to KP4
- To support longer communication distances
 - Improvement in receiver sensitivity (TIA, IRN, better FEC)
 - Improvement in dispersion coefficient
- Possible requirement of coherent or coherent lite optical links for longer distance in intra-data center

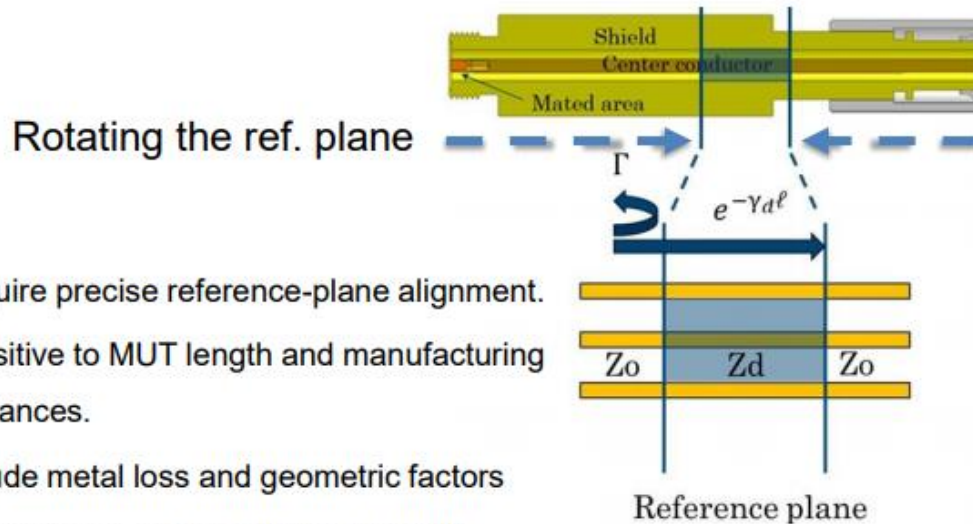
	PAM4	PAM6
Data Rate (Gb/s)	448	448
Baudrate	224	179.2
Required SNR @1e-4	18.2	21.8
SNR Margin	2.5	0.2

Results	Optical Modulator Frequency	PAM4	PAM6
SNR Margin	Nyquist	2.5	0.2
MLSE SER	Nyquist	<1e-6	2.3e-4
SNR Margin	80GHz	1.7	0.0
MLSE SER	80GHz	8e-6	3.5e-4
SNR Margin	100GHz	2.2	0.4
MLSE SER	100GHz	<1e-6	1.7e-4

[Comparison of PAM4 and PAM6 at 448Gb/s]

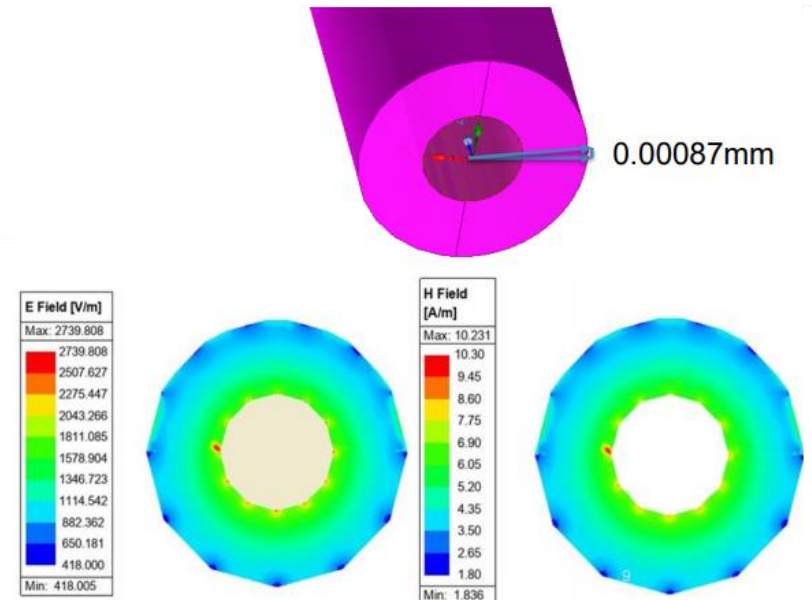
[T04 S04] An Improved Broadband Material Characterization Method, F.-N. Wu, Samtec Inc.

- ✓ 고속 인터커넥트(112Gbps, 224Gbps) 설계에서는 시뮬레이션 의존도가 높아지면서 재료 특성(Dk, Df)이 필수적으로 요구됨
- ✓ 기존 NRW/NIST 기반 측정 방법은 reference plane 정렬, MUT 위치, 공정 오차 등에 민감하여 적용하기 어려움
- ✓ 추출된 Dk/Df 값이 구조 크기, 금속 특성, 샘플 길이에 의존하여 재료 고유 특성을 정확히 분리하기 어려움



- Require precise reference-plane alignment.
- Sensitive to MUT length and manufacturing tolerances.
- Include metal loss and geometric factors
- Resonance issue at multiple one-half wavelengths(limited MUT length).

[A dielectric sample in a transmission line]

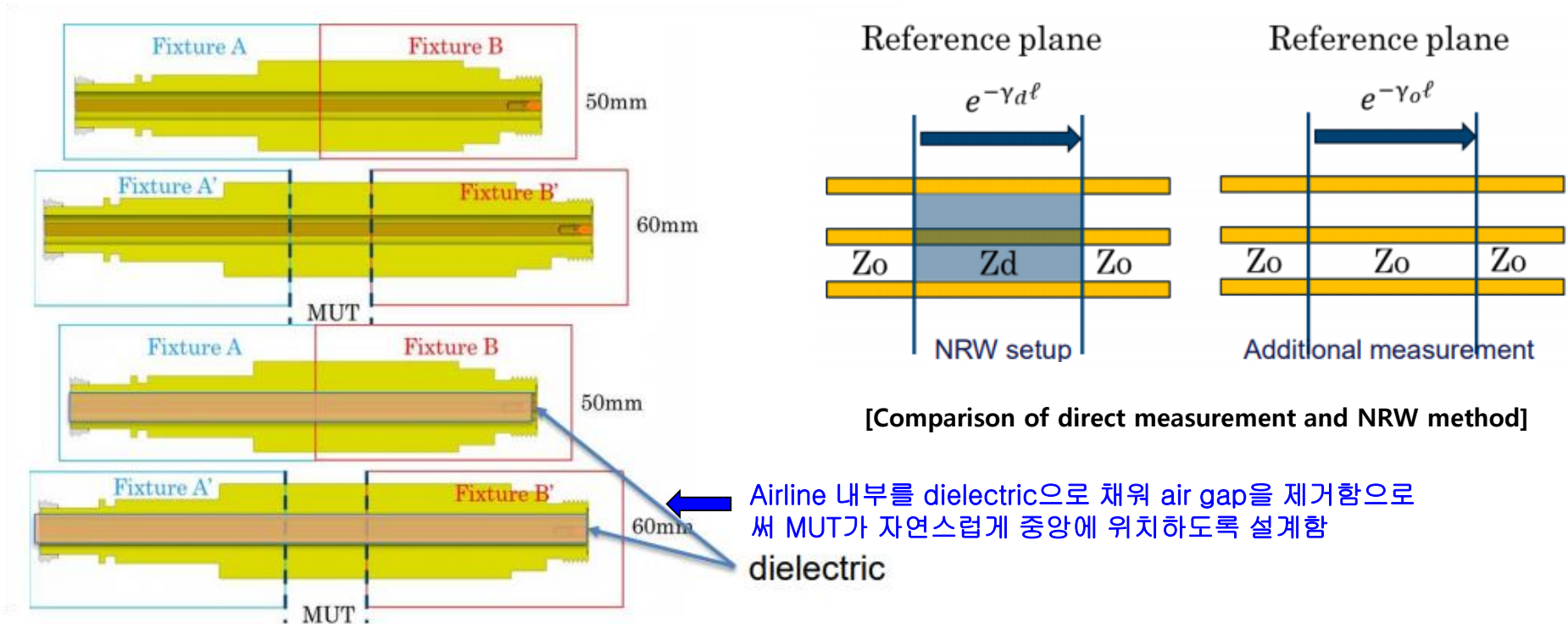


[E/H field distribution when the sample faces are rotated by approximately 0.034 deg. At 11 GHz]

=> 매우 작은 구조적 오차(0.034deg) 만으로도 field 분포가 비대칭이 되어 SI 저하가 발생함

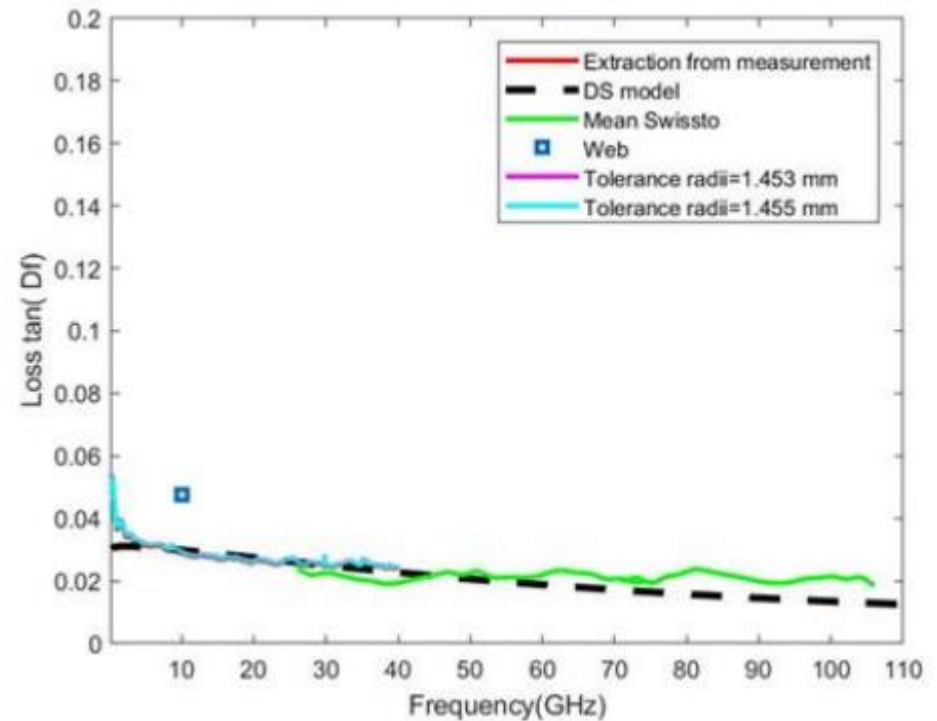
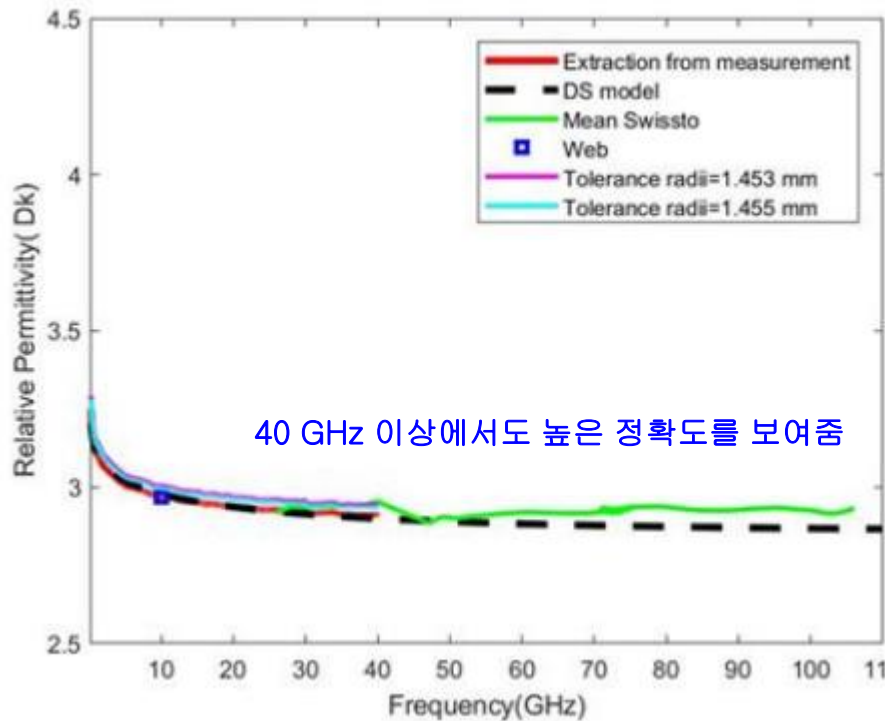
[T04 S04] An Improved Broadband Material Characterization Method, F.-N. Wu, Samtec Inc.

- ✓ 본 논문에서는 Propagation constant 기반 보정을 통해 구조 및 금속 의존성을 제거하고 재료 고유 특성만을 추출하는 방법을 제안
- ✓ 추가적인 measurement를 도입하여 reference plane 및 샘플 길이에 대한 의존성을 제거하고, Dk/Df 가 길이에 독립적이도록 계산함
- ✓ 제안 방법을 통해 기존 NRW 대비 구조, 금속 특성, 위치 오차에 대한 민감도를 감소시킴



[T04 S04] An Improved Broadband Material Characterization Method, F.-N. Wu, Samtec Inc.

- ✓ 기존 NRW/NIST 방식의 핵심 문제인 reference plane, 길이, 구조 의존성을 제거함
- ✓ 재료 고유 특성을 정확하게 추출하여, 고속 인터커넥트 설계에 신뢰성 높은 데이터를 제공함
- ✓ MUT 자동 정렬 및 공정 오차 영향을 감소시킴으로 실무 적용성 향상



[The Dk and Df of the proposed method Swissto12 MCK, D.S. model and the data sheet values]

[T05_S3] Enabling Beyond 10.8Gbps/pin LPDDR5X Interface Using Bandwidth Improvement Techniques & Power Saving Features, B. Koo, Samsung Electronics Co., Ltd.

- ✓ DRAM 대역폭 요구가 증가하면서 DVFS(Dynmaic Voltage and Frequency Scaling)가 적용되는데, 전압변화로 인해 I/O timing variation이 증가하여 SI가 저하되는 문제가 발생
- ✓ WCK와 DQ 경로 간 불일치로 인해 VRM(Valid Window Margin)이 감소하여 메모리 동작이 어려워짐
- ✓ 기존 driver 구조는 긴 critical path와 큰 기생 성분으로 인해 PSIJ(Power-Supply-Induced Jitter)와 ISI가 증가하여 8.5Gbps 이상에서는 한계가 있음

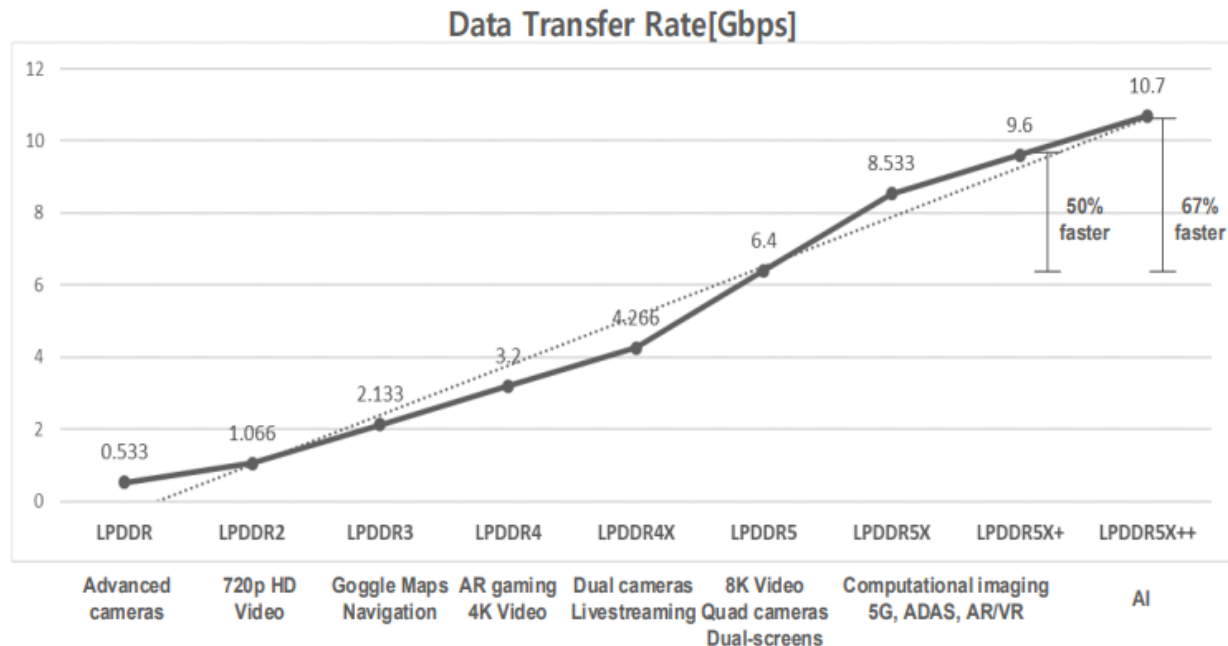
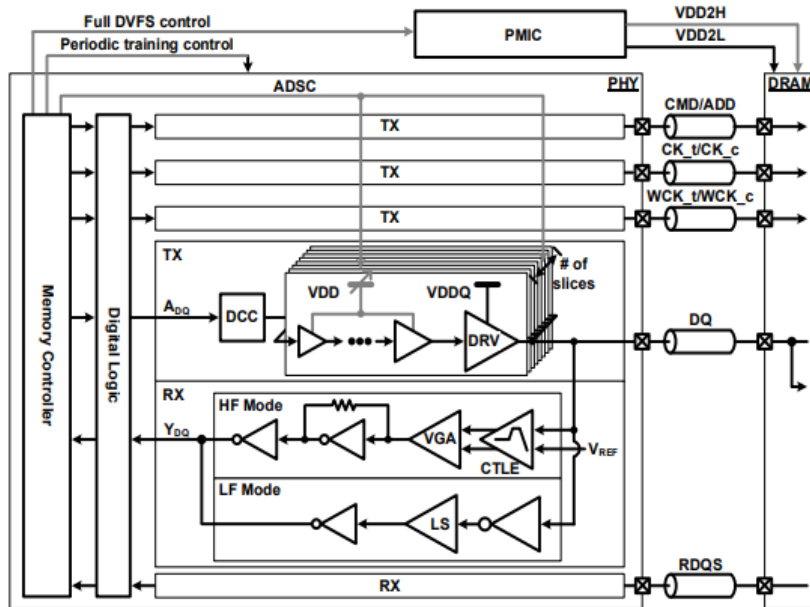


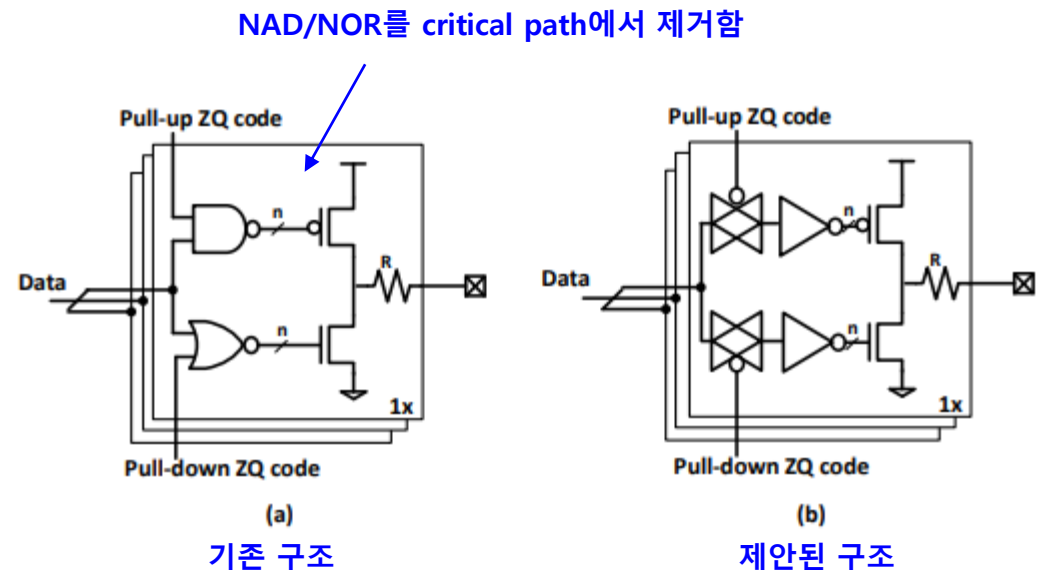
Figure 1: Data transfer rate for each generation of LPDDR DRAM

[T05 S3] Enabling Beyond 10.8Gbps/pin LPDDR5X Interface Using Bandwidth Improvement Techniques & Power Saving Features, B. Koo, Samsung Electronics Co., Ltd.

- ✓ 본 논문은 10.7Gbps/pin 이상 동작을 위해 LPDDR5X PHY 전체 구조를 새롭게 구성하고, bandwidth 향상과 power saving을 동시에 달성하는 인터페이스 기법을 제안함
- ✓ Tx는 segmented driver와 ADSC를 통해 operating frequency에 따라 drive strength를 조절해 불필요한 dynamic power를 줄임
- ✓ Rx는 HF/LF mode를 분리하여 고속에서는 CTLE/VGA 기반 equalization을 사용하고 저속에서는 단순 CMOS inverter 수신으로 전력을 최소화함
- ✓ Fast periodic training과 real-time VT compensation을 통해 DVFS 중 발생하는 WCK-DQ timing mismatch와 blackout문제를 완화함



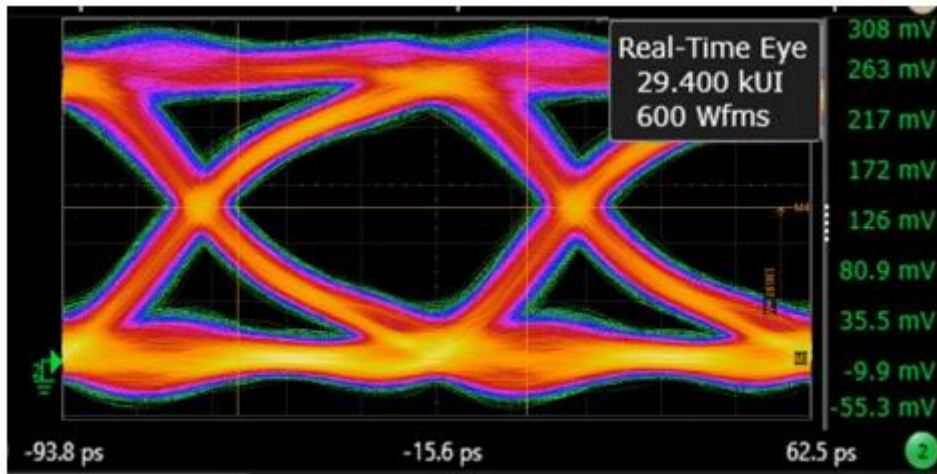
[Proposed over 10.7Gbps LPDDR5X interface schemes]



[Output driver scheme with ZQ code control]

[T05_S3] Enabling Beyond 10.8Gbps/pin LPDDR5X Interface Using Bandwidth Improvement Techniques & Power Saving Features, B. Koo, Samsung Electronics Co., Ltd.

- ✓ 제안된 LPDDR5X PHY는 2nm FinFET 공정에서 구현되었으며, 10.7Gbps를 넘어서는 동작을 목표로 다양한 circuit technique를 통합함
- ✓ 측정 결과, 10.7Gbps에서 real VWM 0.35UI, write VWM 0.45UI를 확보하고, WCK duty-cycle error도 48~52% 범위 내로 유지함을 확인함
- ✓ 또한 de-embedded measurement에서 12.8Gbps까지 clear한 WRITE eye opening을 확보하여, 제안 구조가 차세대 LPDDR6 인터페이스에도 확장 가능한 후보군을 보임



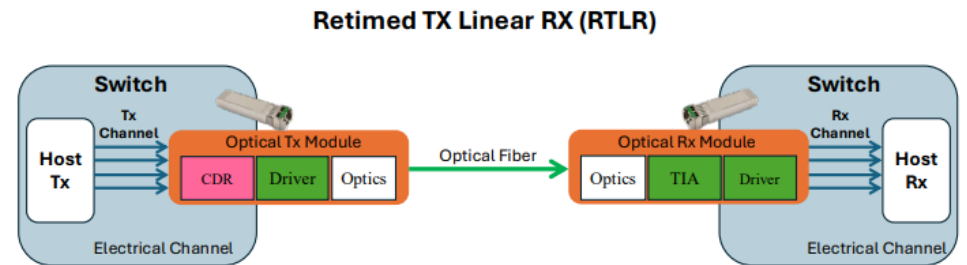
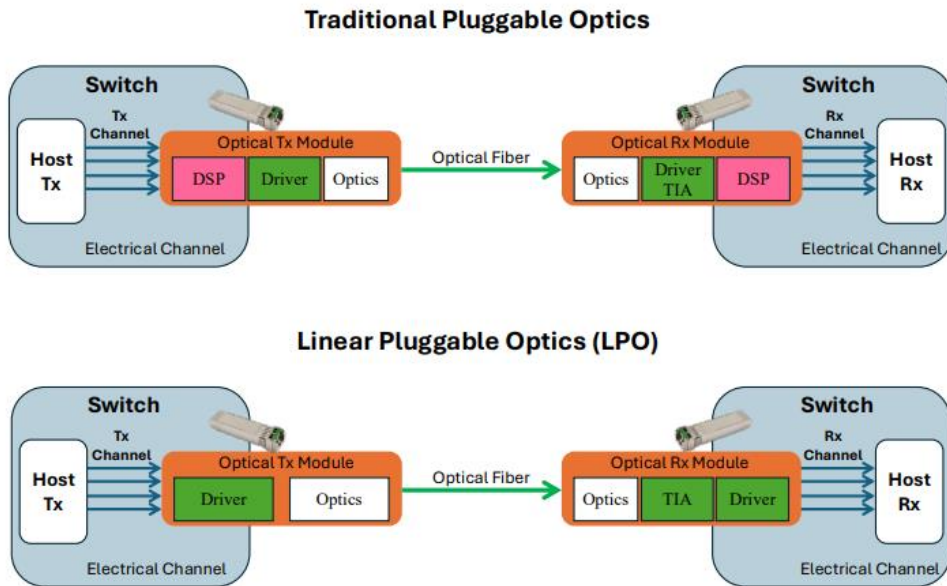
[WRITE Eye-diagram after de-embedding @12.8Gbps]

Table 2. READ VWM Test (10.7Gbps)

DS	NT-ODT	SOC-ODT	UI(%)	DS	NT-ODT	SOC-ODT	UI(%)
40	-	40	33.74	48	-	48	34.8
40	240	48	31.78	48	240	60	32.27
40	120	60	33.74	48	120	80	28.39
40	80	80	31.84	48	80	120	29.87
40	60	120	31.84	48	60	240	30.86
40	48	240	32.33	48	48	-	31.78
40	40	-	33.81	48	-	60	30.86
40	-	48	32.27	48	240	80	30.79
40	240	60	32.27	48	120	120	32.33
40	120	80	30.79	48	80	240	28.89
40	80	120	31.84	48	60	-	30.3
40	60	240	31.35	60	-	60	30.3
40	48	-	30.79	60	240	80	31.35
40	-	60	30.86	60	120	120	27.9
40	240	80	30.36	60	80	240	32.33
40	120	120	32.83	60	60	-	31.28
40	80	240	32.33	40	80	240	32.33
40	60	-	32.76	40	60	-	32.76

[T06_S7] A Performance Evaluation Method of Electrical-Optical Channel Coupling for 112G/224G LPO/RTL R Based on IBIS-AMI Redrive Fitting Model, Q. He, ZTE corp.

- ✓ 데이터 속도가 증가로 인해 광 인터커넥트(Optical Sub-Assembly) 기반 SerDes 시스템이 필수화되고 있음
- ✓ 기존 Traditional Pluggable Optics 구조는 DSP를 포함한 복잡한 E-O-E(Electrical-Optical-Electrical) 경로를 사용하여 전력소모와 latency가 증가하는 한계가 있음
- ✓ 이를 개선하기 위해 DSP를 제거한 LPO(Linear Pluggable Optics) 구조와 Rx에만 retimer를 적용한 RTL R 구조가 제안됨



광 인터커넥트 구조가 DSP 중심에서 DSP 제거 구조로 바뀌는 중임

[T06_S7] A Performance Evaluation Method of Electrical-Optical Channel Coupling for 112G/224G LPO/RTLRL Based on IBIS-AMI Redrive Fitting Model, Q. He, ZTE corp.

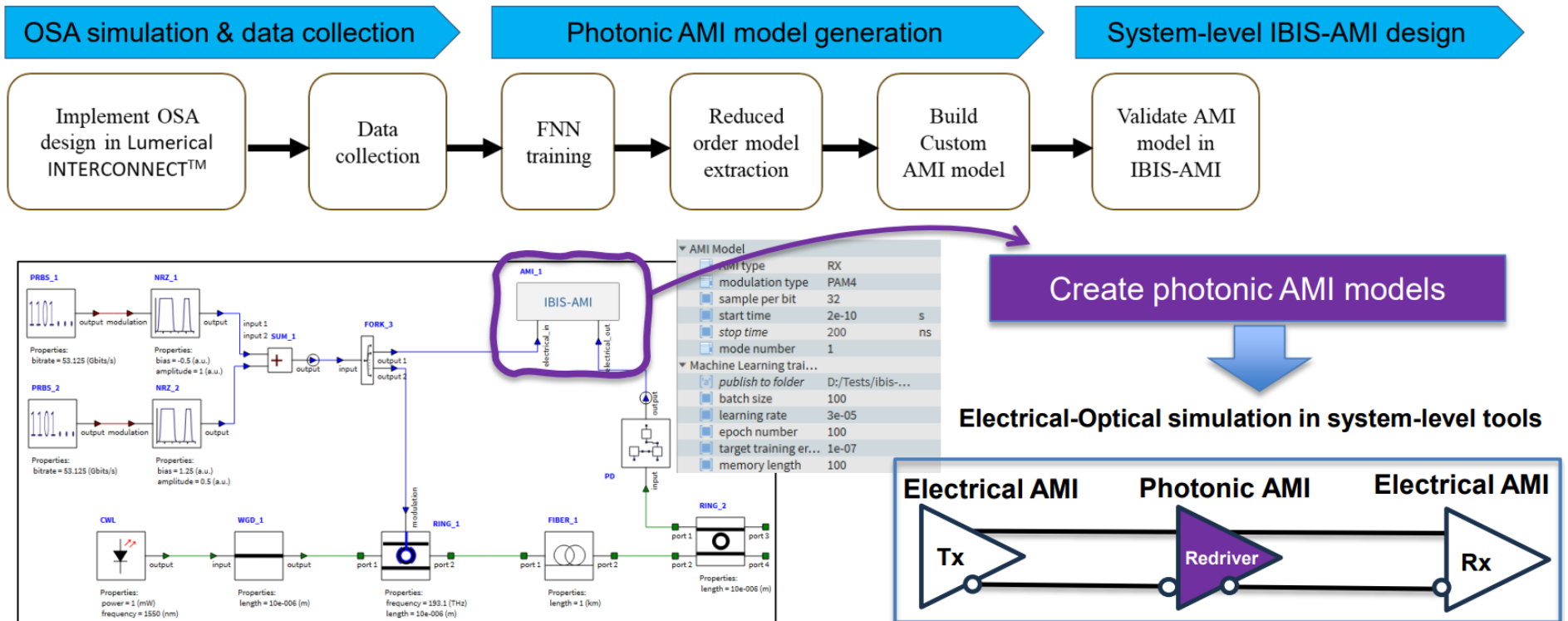
- ✓ 광 인터커넥트를 포함한 LPO/RTLRL 구조에서는 EOE 경로가 결합된 복잡한 채널이 형성됨
- ✓ 특히 optical component는 nonlinear 및 memory effect를 가지므로 기존 IBIS-AMI 기반 모델로는 정확한 레벨 평가가 어려움
- ✓ 따라서 optical channel을 IBIS-AMI와 호환되는 형태로 모델링할 수 있는 새로운 방법이 필요함

Backgrounds: Modelling Challenges

- Coupling Issue: In LPO/RTLRL systems, optical and electrical channels are tightly coupled and thus must be assessed as a whole. Therefore, designers must evaluate **end-to-end electrical → optical → electrical (E-O-E) behavior**.
- Nonlinear + memory behavior: Optical components exhibit **complex nonlinear + memory behavior**. Traditional IBIS-AMI models — designed for linear or mildly nonlinear electrical systems — cannot directly represent these effects.
- Simulation tool gap:
 - Optical Solvers: Physics-based models are accurate but computationally intensive and unsuitable for **system-level long-sequence simulations**.
 - Electrical Solvers: Rely on the **IBIS-AMI standard**, which does not natively support traditional optical compact models.

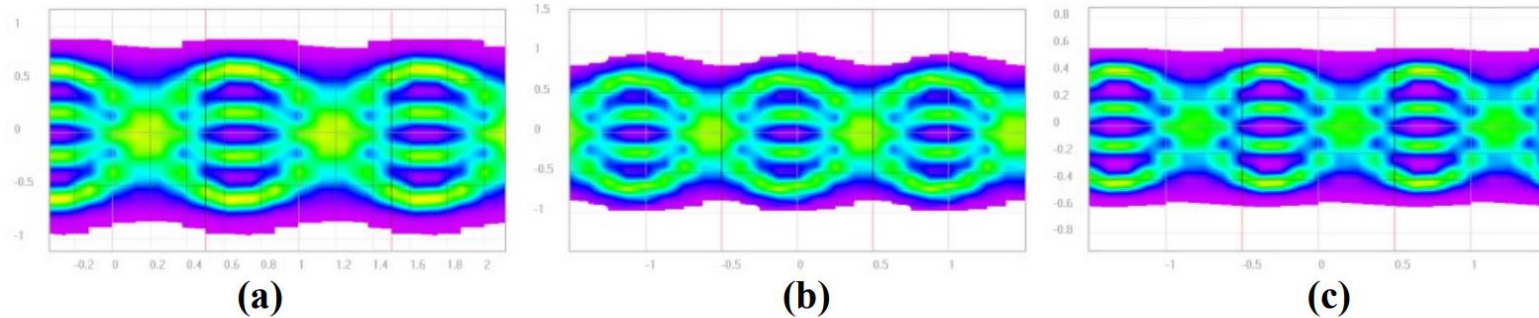
[T06_S7] A Performance Evaluation Method of Electrical-Optical Channel Coupling for 112G/224G LPO/RTL Based on IBIS-AMI Redrive Fitting Model, Q. He, ZTE corp.

- ✓ 본 논문에서는 OSA 기반 optical channel을 학습한 후 Volterra kernel 기반 reduced-order-model로 변환하고, 이를 IBIS-AMI redriver 형태로 구현하는 방법을 제안함
- ✓ 이를 통해 기존 IBIS-AMI 환경에서도 Electrical-Optical channel을 통합적으로 모델링하고 시스템 레벨 시뮬레이션이 가능함



[T06_S7] A Performance Evaluation Method of Electrical-Optical Channel Coupling for 112G/224G LPO/RTLRL Based on IBIS-AMI Redrive Fitting Model, Q. He, ZTE corp.

- ✓ 본 논문에서는 optical channel을 IBIS-AMI와 호환되는 형태로 모델링하기 위해 Volterra kernel 기반 reduced-order model을 활용한 방법을 제안함
- ✓ 이를 통해 기존 IBIS-AMI 환경에서도 Electrical-Optical-Electrical 통합 채널을 시뮬레이션 할 수 있으며, LPO 및 RTLRL 구조에 대한 시스템 레벨 성능 평가를 가능하게 함



Type	Tx Vpp	TxPKG	Tx Channel	Driver Gain	Rx channel	RxPKG	Eye
RTLRL	0.6V	6dB	0dB	-	12dB	9dB	(a)
RTLRL	0.8V	6dB	0dB	-	12dB	9dB	(b)
RTLRL	0.6V	6dB	0dB	-	18dB	9dB	(c)

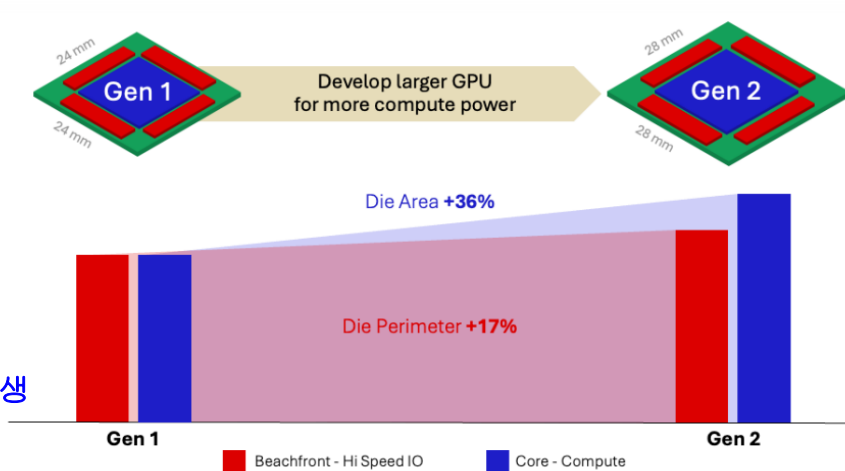
[224G Linear system simulation result : RTLRL]

[T07_S6] Vertical Velocity: Next-Gen Scale-Up Networks & the Push for Terabit-Class Data Rates, B. Riaz, Ciena corp.

- ✓ AI 시스템 발전으로 데이터센터 내 scale-up 네트워크는 점점 더 높은 대역폭과 연결 밀도를 요구함
- ✓ I/O 인터페이스의 확장은 제한되어 있어 beachfront problem이 발생함
- ✓ 데이터 전송 속도가 448Gbps까지 증가하면서 SI/PI 측면에서 한계에 도달했기 때문에 새로운 interconnect 기술이 필요함

Beachfront problem

- Fundamental issue with scaling semiconductors: compute power area grows quadratically, IO beachfront grows linearly.
- Potential solutions:
 - Change from fast/narrow to slow/wide
 - In process, years away
 - Go faster
 - Significant progress



=> 반도체 성능이 증가하면서 I/O 병목 문제 발생

[T07_S6] Vertical Velocity: Next-Gen Scale-Up Networks & the Push for Terabit-Class Data Rates, B. Riaz, Ciena corp.

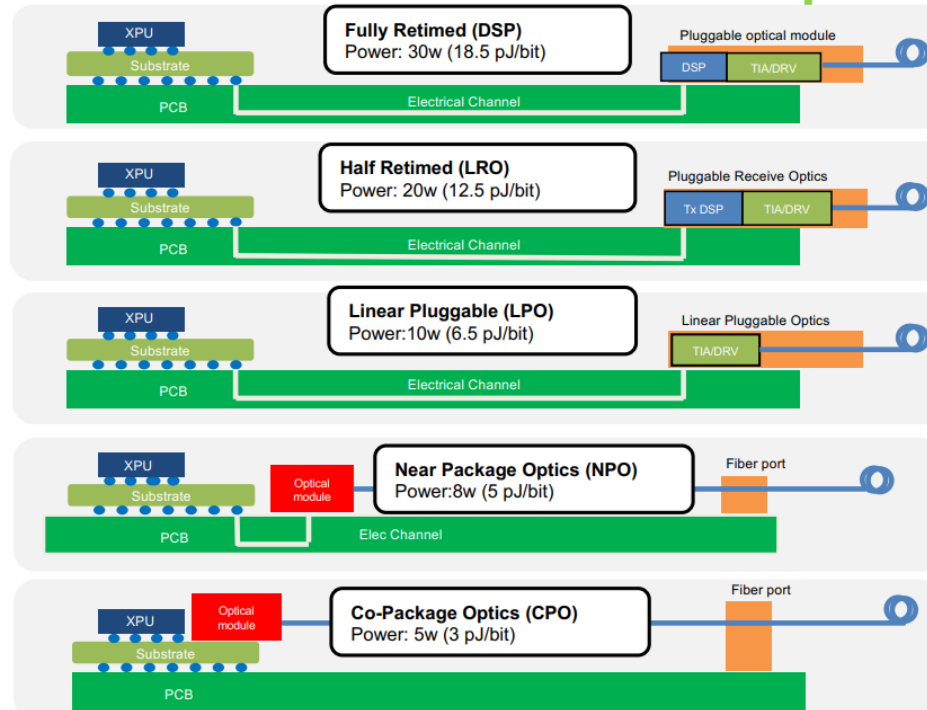
- ✓ 본 논문에서는 기존 passive copper 기반 구조에서 벗어나 active cable 및 optical interconnect를 활용한 새로운 구조가 제안됨
- ✓ DSP->LPO->CPO로 갈수록 전력 ↓ 거리 ↓ 효율 ↑
=> 구조는 점점 더 광 인터페이스를 칩 가까이 가져오는 구조로 변함

Cracking the XPU beachfront bottleneck with optics

DSP based, retimed links are a fundamental component of data center networks today as they provide robust connectivity among other benefits.

At AI scale, the costs of these benefits are enormous - measured in 100's of MW's and billions of dollars.

Further, at 448Gbps PCB connectivity to front panel breaks down, demanding a new paradigm.



: DSP를 이용해 신호를 재생하는 구조 (전력소비 30W)

: 일부만 retiming 하는 구조 (전력소비 20W)

: DSP 없이 아날로그 방식으로 처리 (전력소비 10W)

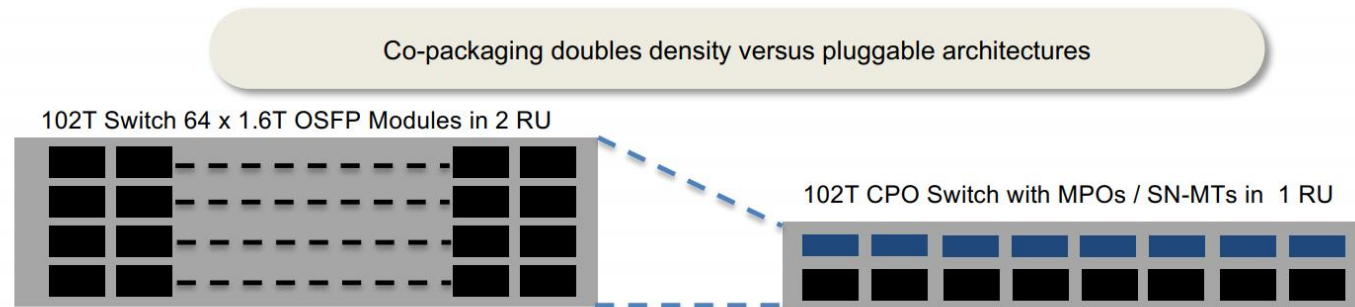
: 광 인터페이스가 칩 근처로 이동 (전력소비 8W)

: 광 인터페이스를 칩과 함께 패키징 (전력소비 5W)

[T07_S6] Vertical Velocity: Next-Gen Scale-Up Networks & the Push for Terabit-Class Data Rates, B. Riaz, Ciena corp.

- ✓ 기존 pluggable 구조 대비 CPO는 동일 성능을 더 작은 공간에 구현하여 density를 증가시킴
- ✓ Co-packaged optics는 시스템 밀도를 증가시키고 전력 소비를 절감할 수 있는 핵심 기술임
- ✓ 따라서, CPO는 고속 데이터 전송 환경에서 효율성과 집적도를 동시에 확보할 수 있는 핵심 interconnect 구조임

Increasing density with co-packaging



Other benefits from co-packaging

Eliminate DSP Overhead

Power: $\sim 15W \times 64 = 960W$
Cost (including ODM margin) = $\sim \$100$
 $\$100 \times 64 = \6400
Latency = $\sim 35ns$ per DSP

Software and qualification...
Possibly for a number of DSP vendors

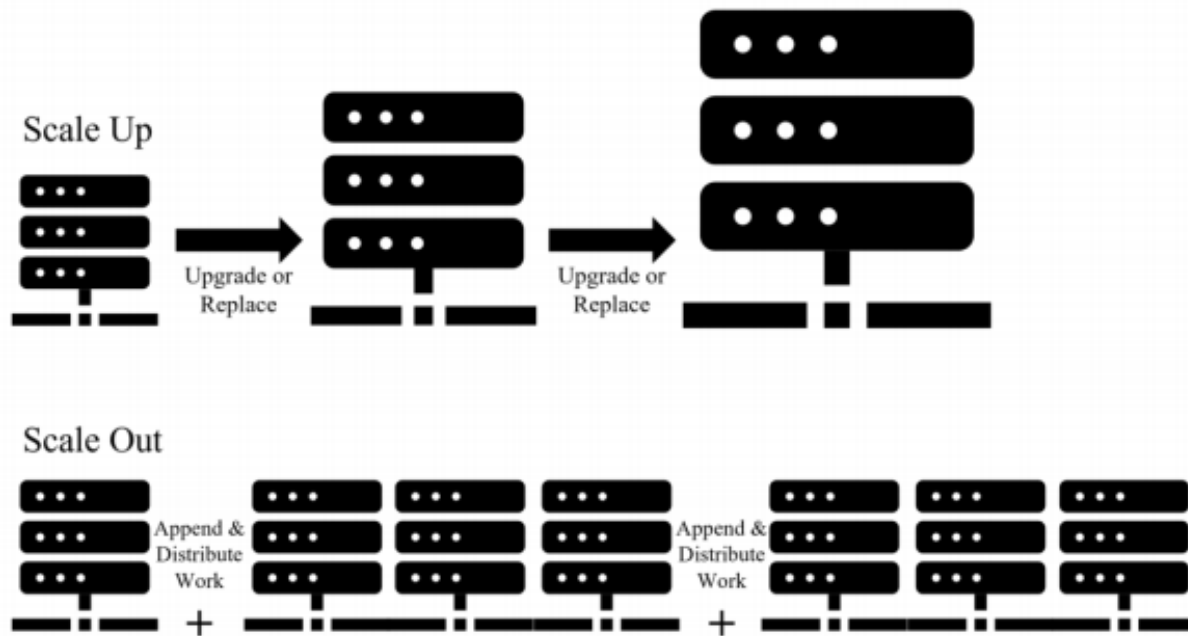
Power savings from shorter reach host channel

Example: LR 6pj/bit x 2 (DSP + ASIC) = 12 pj/bit
VSR = 3 pj/bit for co-packaging
→ 75% power savings

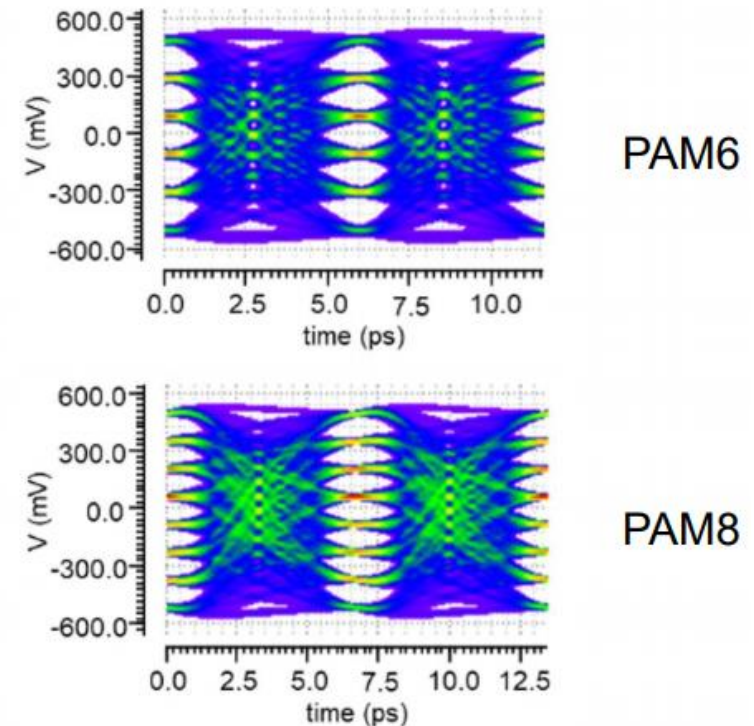
$0.75 \times (512 \text{ channel} \times 12 \times 224mW) = 1036 W$

[T07_S14] Breaking Barriers in 448 Gbps Serial Links: Bandwidth, ESD, & Linearity Challenges in High-Order PAM Systems, J. Salinas, Neuron IP corp.

- ✓ 데이터 센터의 scale-up 및 scale-out 구조 확장으로 인해 인터커넥트 속도가 증가하고 있으며, 이를 위해 PAM6, PAM8과 같은 고차 변조 방식이 적용됨
- ✓ 하지만 변조 차수가 증가할수록 eye opening이 감소하고 신호 간 간섭이 증가하여 linearity 및 신호 품질 저하문제가 발생함



[Simplified example of scale-up vs scale-out as SerDes application]



[PAM6 vs PAM8]

[T07_S14] Breaking Barriers in 448 Gbps Serial Links: Bandwidth, ESD, & Linearity Challenges in High-Order PAM Systems, J. Salinas, Neuron IP corp.

- ✓ PAM6, PAM8 적용이로 인해 신호 품질에 대한 요구가 증가하며, 특히 bandwidth, linearity, delay 특성이 중요한 요소로 부각됨
- ✓ 이때 I/O 인터페이스에 필수적인 ESD 구조는 기생 capacitance를 증가시켜 bandwidth 감소 및 신호 왜곡을 유발함
- ✓ 이를 해결하기 위해 ESD와 load를 분리한 Multi T-coil 구조가 제안되고 있음

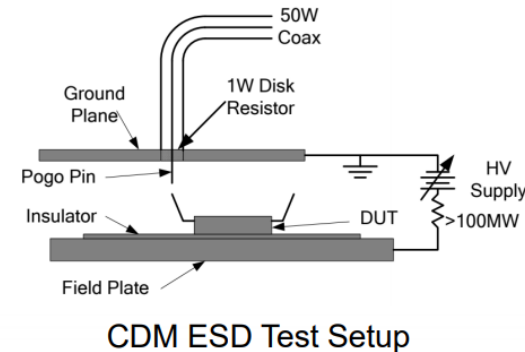
Trade-offs in High-Order Modulation

Frequency Relief:

- PAM6 Nyquist ≈ 87 GHz
- PAM8 Nyquist ≈ 75 GHz

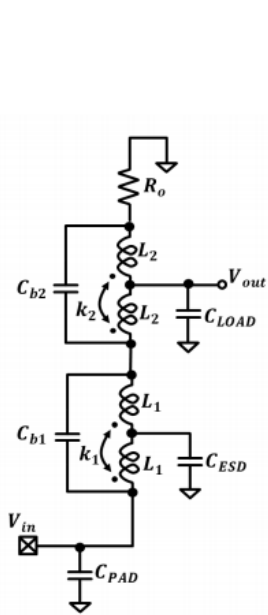
New Constraints:

- Linearity:** More eye levels reduce voltage swing per eye, making the system highly susceptible to static nonlinearity
- Group Delay:** Stringent requirements on group delay performance to prevent ISI
- ESD:** Achieving bandwidth targets under stringent ESD protection is increasingly difficult

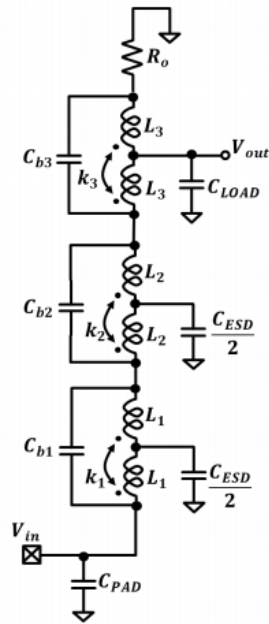


[T07_S14] Breaking Barriers in 448 Gbps Serial Links: Bandwidth, ESD, & Linearity Challenges in High-Order PAM Systems, J. Salinas, Neuron IP corp.

- ✓ 기존 single T-coil 구조(D1,D2)는 ESD capacitance 증가 시 bandwidth 감소 및 delay 왜곡 발생
- ✓ 이를 해결하기 위해 ESD와 load를 분리하는 Multi T-coil 구조(D3,D4)를 제안
- ✓ Split-ESD 구조(D4)는 ESD capacitance를 분산시켜 신호 왜곡을 최소화함

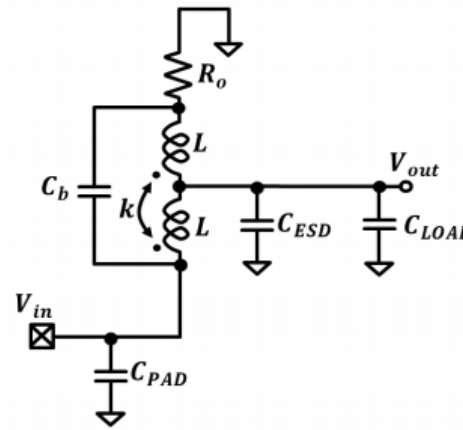


c) Design 3 (D3)

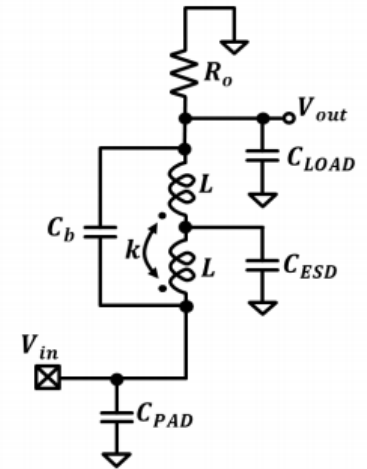


d) Design 4 (D4)

Single-Ended T-coil/ESD Interface Designs evaluated



a) Design 1 (D1)

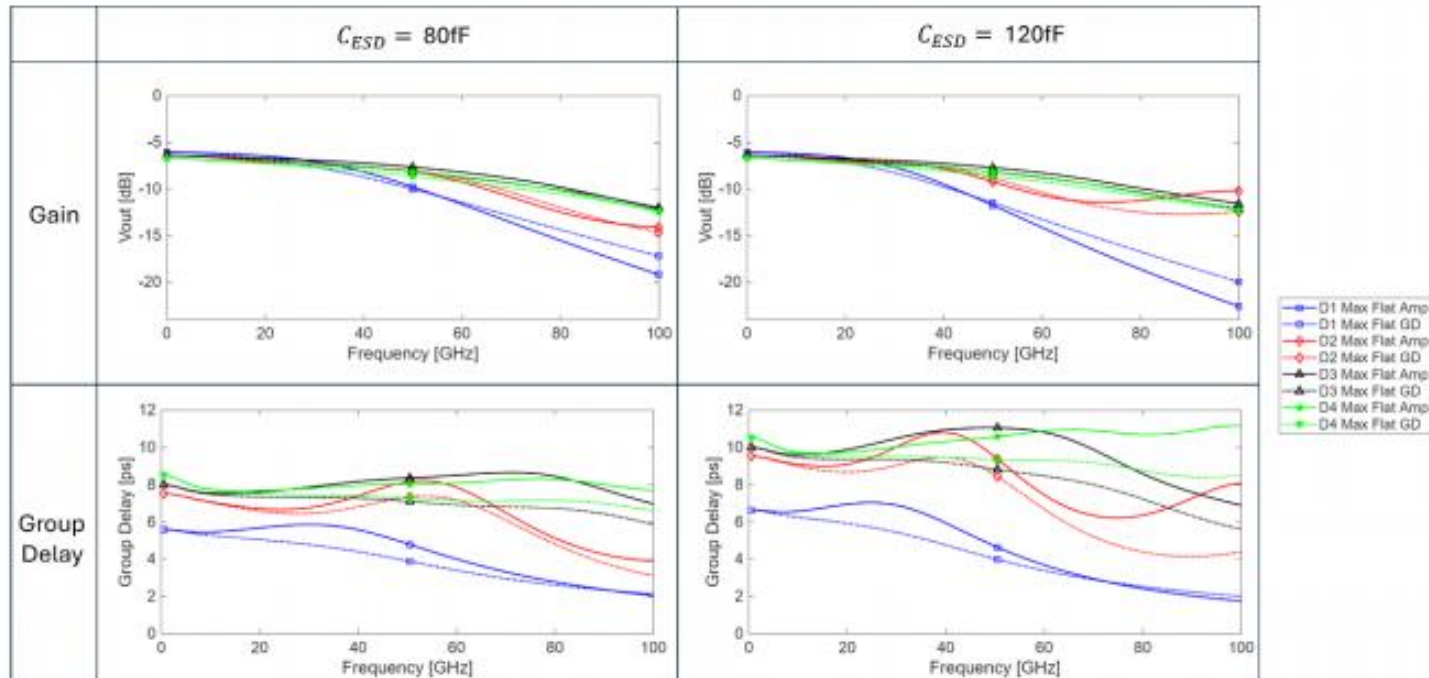


b) Design 2 (D2)

Single-Ended T-coil/ESD Interface Designs evaluated

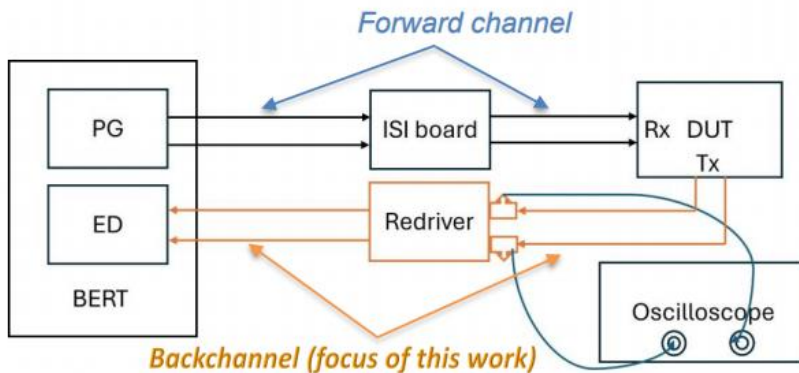
[T07_S14] Breaking Barriers in 448 Gbps Serial Links: Bandwidth, ESD, & Linearity Challenges in High-Order PAM Systems, J. Salinas, Neuron IP corp.

- ✓ ESD capacitance 증가 시 모든 구조에서 성능 저하가 발생함
- ✓ D4(Split-ESD)는 가장 안정적인 bandwidth 유지하고, 가장 낮은 group delay ripple, 가장 우수한 eye opening 확보가 가능함
- ✓ 특히 고속 PAM6/PAM8 환경에서 topology 선택이 성능을 결정하는 요소로 D4가 448Gbps에 적합함을 확인함



[T08_S05] PCIe Backchannel Optimization: FFE & Sampling Setup Tuning for Enhanced ED Performance with Complementary ML Integration, F. Maliqi, BitifEye corp.

- ✓ PCIe 세대가 증가함에 따라 channel loss는 커지고 timing margin은 줄어들음
- ✓ 이로 인해 BER 평가의 정확도 확보를 위해 loopback 기반의 ED(Error Detector) 테스트가 필수적으로 사용됨
- ✓ 특히 TX DUT에서 ED로 전달되는 backchannel은 re-driver와 FFE를 통해 적절히 equalization 되어야 하며, 그렇지 않을 경우 왜곡이 발생할 수 있음



[Test configuration for PCIe Rx testing]

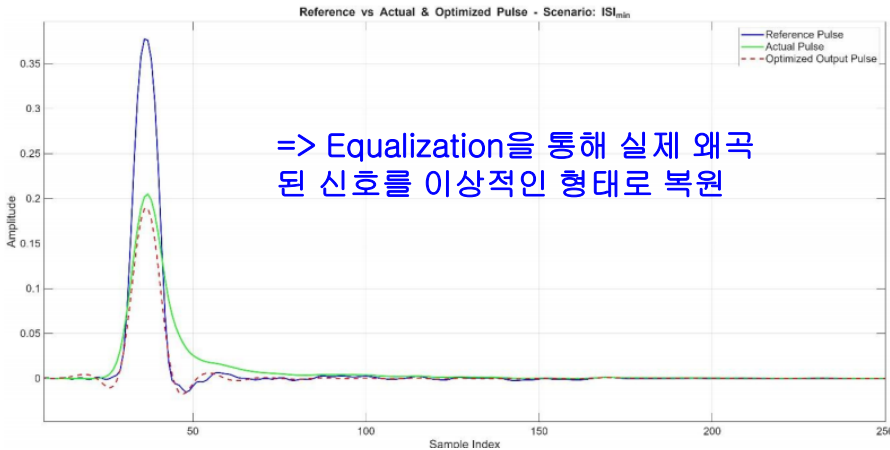
Challenges in Backchannel Optimization

- Conventional backchannel optimization approaches rely on exhaustive sweeps of Tx presets, re-driver settings, ED FFE taps, and sampling parameters
- Multidimensional sweeps often require hundreds or thousands of measurements, increasing tuning time
- Auto-FFE convergence depends on initial conditions and is run-dependent
- ED sampling setup requires joint tuning of timing dimension, voltage dimension, and slicer thresholds

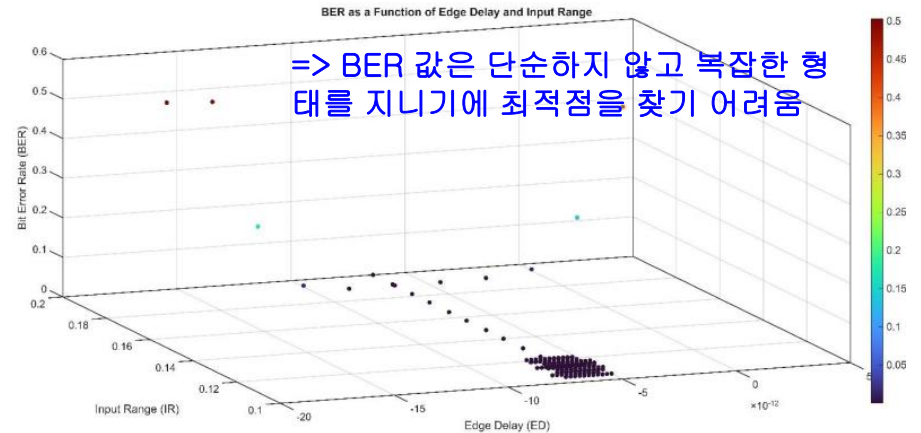
=> 기존 방법은 수백~수천 번의 측정이 필요하여 tuning 시간이 매우 길어짐

[T08_S05] PCIe Backchannel Optimization: FFE & Sampling Setup Tuning for Enhanced ED Performance with Complementary ML Integration, F. Maliqi, BitifEye corp.

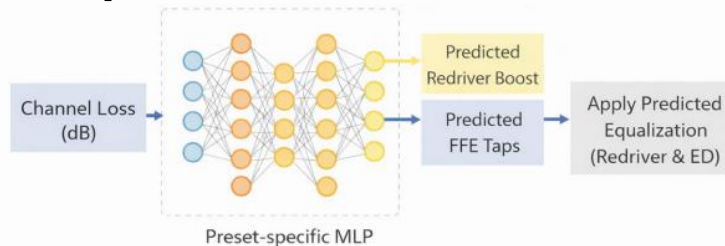
- ✓ 본 논문에서는 pulse-response 기반 FFE 최적화, Newton 기반 sampling 최적화, ML 기반 예측을 결합한 hybrid framework를 제안함
 - Pulse-response 기반 FFE 최적화는 ED 입력에서 측정된 pulse response를 기반으로 FFE tap을 최적화함
 - Newton 기반 FFE 최적화는 측정 횟수를 대폭 줄여 빠르게 최적 sampling 조건 도출
 - ML 기반 예측은 초기값을 제공하여 Newton 기반 탐색 범위를 줄임



[Pulse-response 기반 FFE 최적화]



[Newton 기반 sampling 최적화]

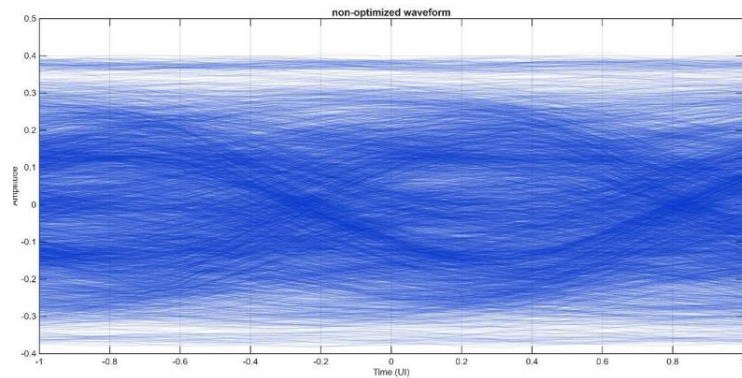


[ML 기반 예측]

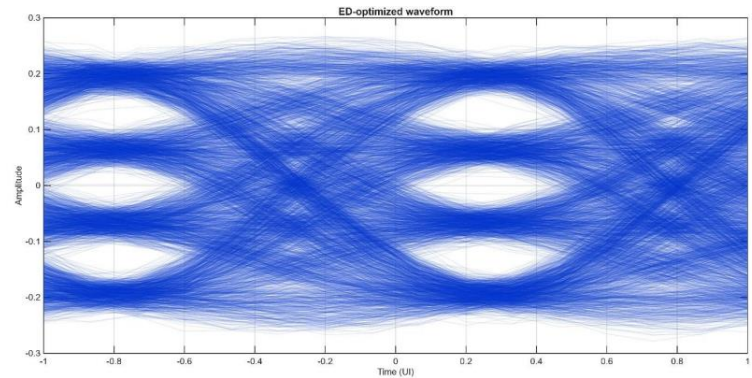
=> 채널 상태를 입력으로 받아 최적 equalization 파라미터를 예측하는 ML 모델 구조

[T08_S05] PCIe Backchannel Optimization: FFE & Sampling Setup Tuning for Enhanced ED Performance with Complementary ML Integration, F. Maliqi, BitifEye corp.

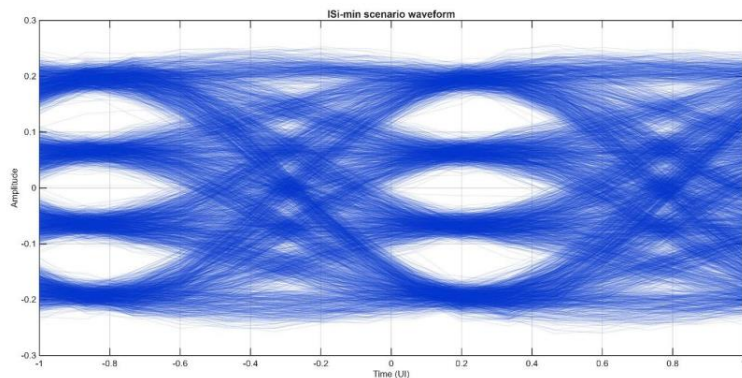
- ✓ 제안된 방법은 기존 ED auto-FFE 대비 더 넓은 eye opening을 제공하고, 다양한 Tx preset 환경에서 성능 개선 효과가 크게 나타남
- ✓ 또한 ML 기반 초기화와 Newton 최적화를 통해 tuning 시간을 크게 줄이고, PCIe Gen5/Gen6 환경에서도 실용성을 입증함



[Eye diagram : -9.9dB channel without equalization]



[Eye diagram : the optimized FFE coefficients from the ED]



[Eye diagram : optimized FFE coefficients obtained with proposed method]

[T10_S05] Stability & More — Going Beyond Bode Stability Assessment, S. Sandler, Picotest corp.

- ✓ 기존 PI 분석에서는 주로 Bode plot 기반의 VNA가 사용됨
=> 측정시간이 길고, 고전력 부하 환경에서 과열문제가 발생하여 데이터 센터 VRM과 같은 저임피던스 시스템에는 적용이 어려움
- ✓ 실제 시스템 환경에 적합한 안정도 분석 방법이 필요함

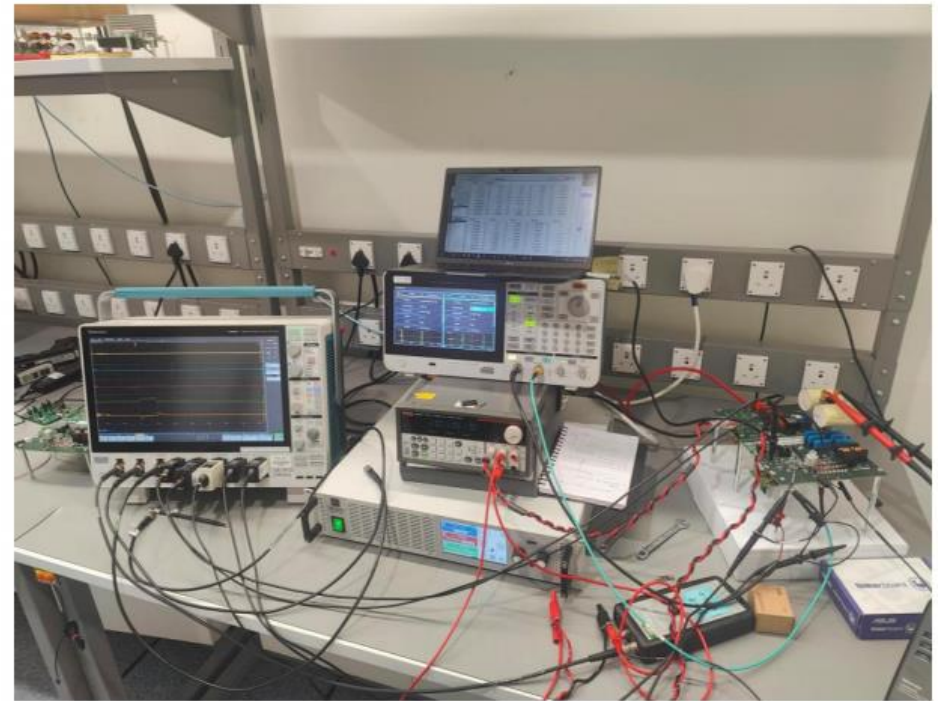
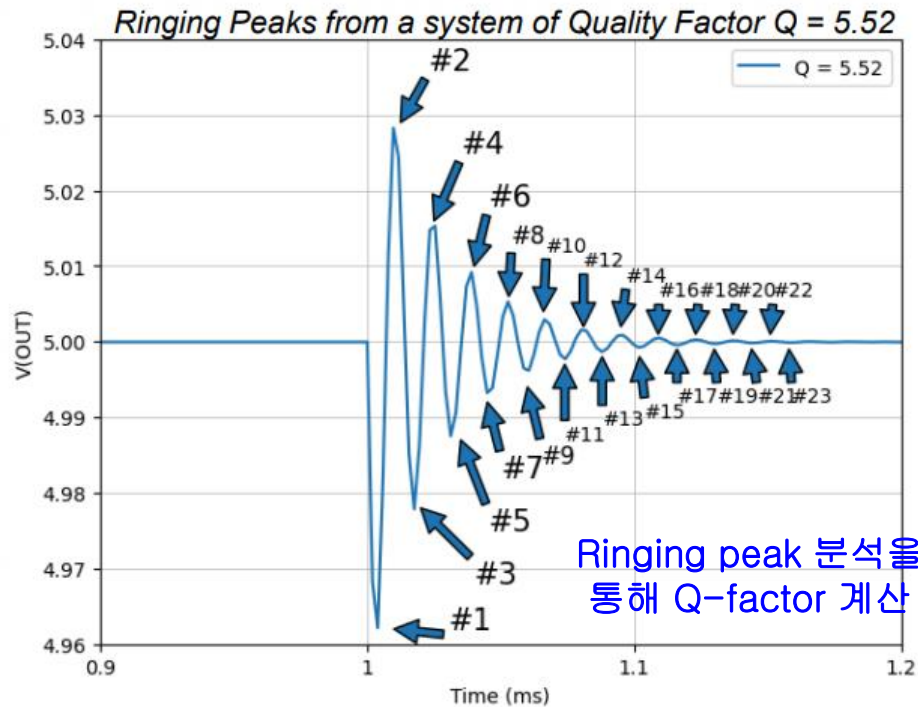
Comparison: SEPIA vs Traditional Bode plot (VNA)

	in Frequency Domain	in Time Domain
Pros	Familiar-Looking Plots / Results	Short, One-Shot Measurement → No Over-Heating → No High-Power Load Resistors Many Probe Choices
Cons	Freq-Sweep Taking Long-Time → Over-Heated, Cooling MUST → Continuous “kW” Loading 50Ω Terminated Probes/Ports: 48V / 50Ω ~ 1A → 50W! = 50V×1A → 기존 VNA 방식은 긴 측정시간, 발열 문제, 고전력 필요	→ SEPIA는 짧은 시간 단일 측정, 실제 환경 적용 가능 Basic Laplace-Transform Needed → Need to Convince your boss 😎

[T10_S05] Stability & More — Going Beyond Bode Stability Assessment, S. Sandler, Picotest corp.

- ✓ SEPIA는 time-domain load transient 응답을 기반으로 회로의 안정도 파라미터를 추출하는 방법임
- ✓ Step load 입력에 의해 발생하는 ringing 응답을 분석하여 Quality factor(Q) 및 phase margin(PM)을 계산함
- ✓ 모든 2차 시스템이 동일한 형태의 감쇠 진동 특성을 가진다는 물리적 특성을 기반으로 함
- ✓ 추출된 파라미터를 이용하여 R, L, C 등의 회로 요소를 역추정 할 수 있음

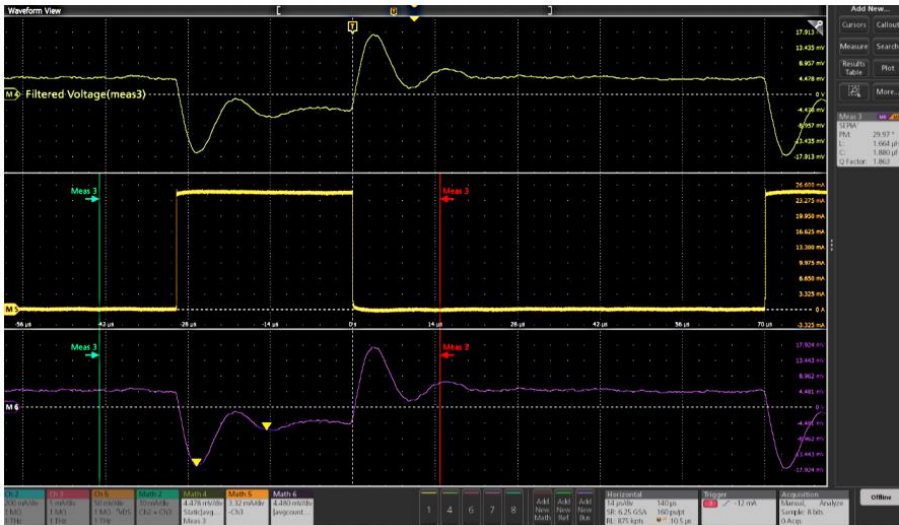
Step load 인가하여 time-domain 응답 측정



[T10_S05] Stability & More — Going Beyond Bode Stability Assessment, S. Sandler, Picotest corp.

- ✓ SEPIA는 Time-domain 기반 분석을 통해 주파수 sweep 없이 빠른 안정도 평가를 가능하게 함
- ✓ 실제 시스템 환경에서도 적용 가능하며 비선형 및 시간 변화 특성을 가지는 시스템에도 유효함
- ✓ Simulation과 bench test 모두에서 활용이 가능하여 실무적용성이 높음

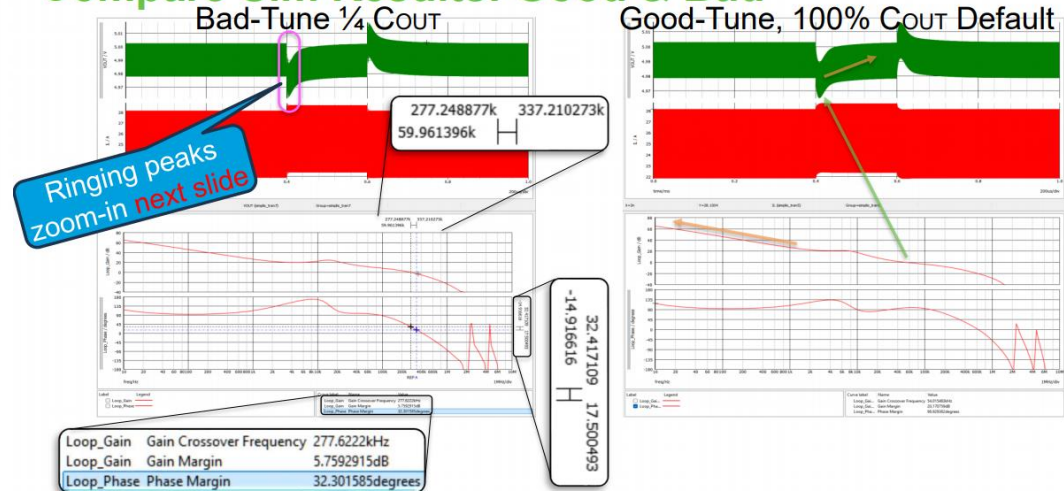
Parameter estimation: RLC



Meas 3	
SEPIA'	
PM:	29.97 °
L:	1.664 μH
C:	1.880 μF
Q Factor:	1.863

← PM, Q, RLC 파라미터 추출 가능

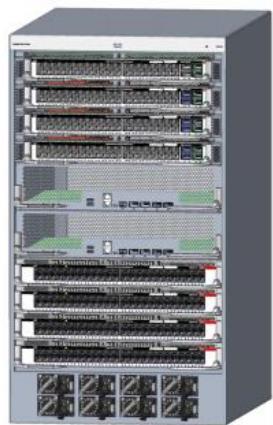
Compare Sim Results: Good & Bad



안정/불안정 상태를 직관적으로 비교 가능 →

[T12_S06] Practical Semi-Automated Approach for Signal Integrity Testing of High-Speed, High-Density Cable Harnesses at the System Level, K. Zhang, Ciso Systems inc.

- ✓ 네트워크 장비의 성능이 25.6T->51.2T, 400G->800G로 증가하면서 Cable harness의 SI 검증 중요성이 급격히 증가함
- ✓ 최대 2048개의 differential pair가 존재하여 system-level SI 검증이 매우 복잡함
- ✓ 기존 검증 방법들은 한계점을 가지기 때문에 정확성과 효율성을 동시에 만족하는 새로운 SI 테스트 방법이 필요함



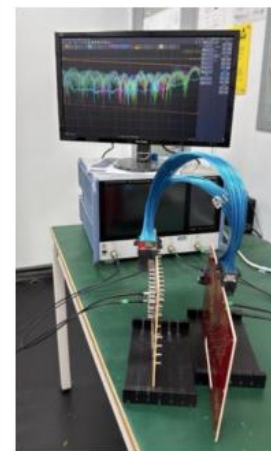
Source: Nvidia

[고속 네트워크 장비(NVIDIA-Chassis)]

기존 SI 테스트 방법의 한계점
 wafer level : 조립 이후 영향 반영 불가
 TDR : Impedance 중심, 전체 SI 평가 불가
 BER : PHY 영향으로 실제 SI 왜곡
 Manual VNA : 170시간 소요



[Wafer level cable]



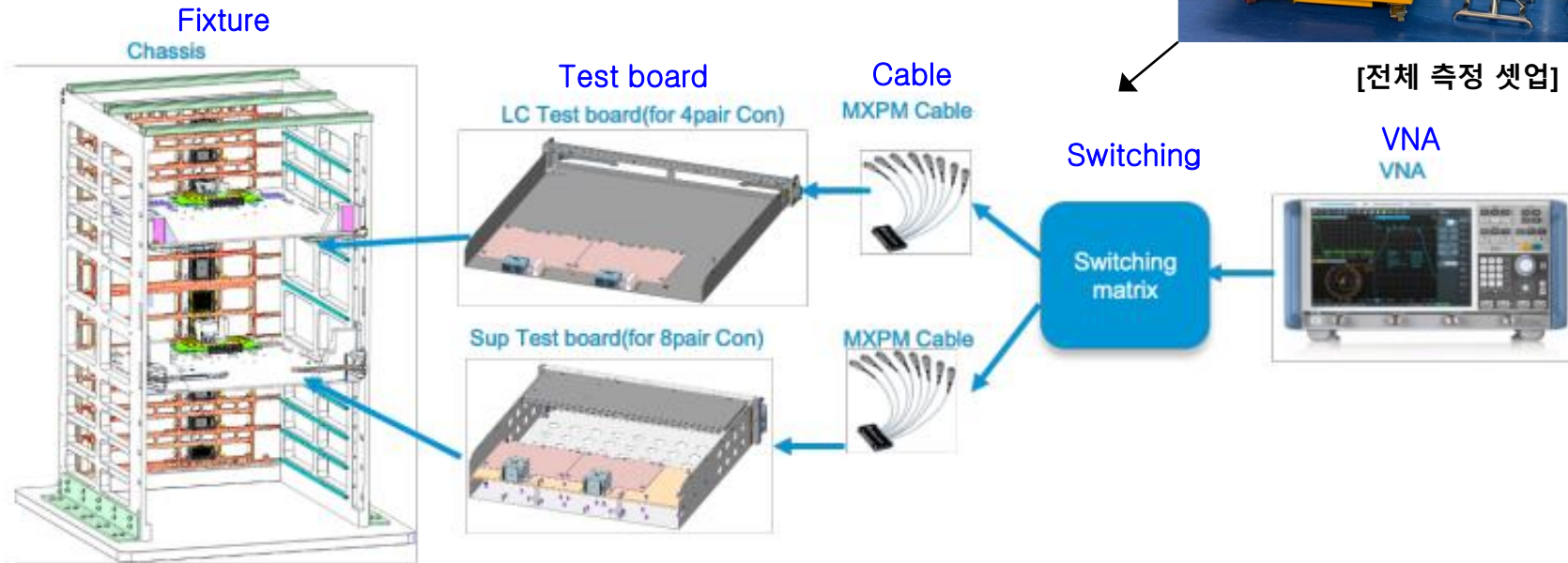
[Traditional VNA measurement setup]

[T12_S06] Practical Semi-Automated Approach for Signal Integrity Testing of High-Speed, High-Density Cable Harnesses at the System Level, K. Zhang, Ciso Systems inc.

- ✓ 자동화 기반 system-level SI 테스트 구조를 제안
 - Switching matrix 기반 구조를 통해 4-port VNA로 채널(2048 pairs) 측정 가능
 - Automation을 통해 측정, 데이터 수집, Pass/Fail 판정 자동화
 - Mechanical fixture를 통해 operation 의존성 제거 및 repeatability 확보
 - De-embedding 기법을 적용하여 switch 및 케이블 영향 제거



[전체 측정 셋업]



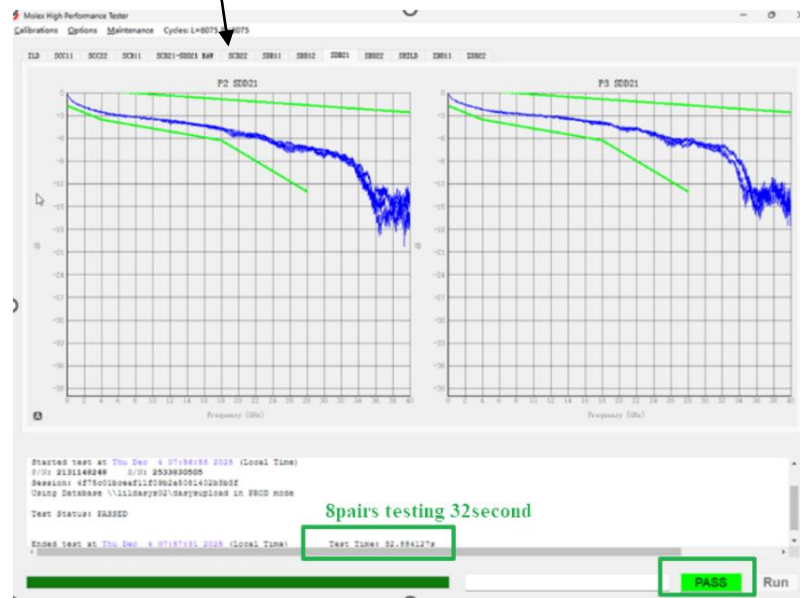
[자동화된 system-level SI 측정 구조]

[T12_S06] Practical Semi-Automated Approach for Signal Integrity Testing of High-Speed, High-Density Cable Harnesses at the System Level, K. Zhang, Ciso Systems inc.

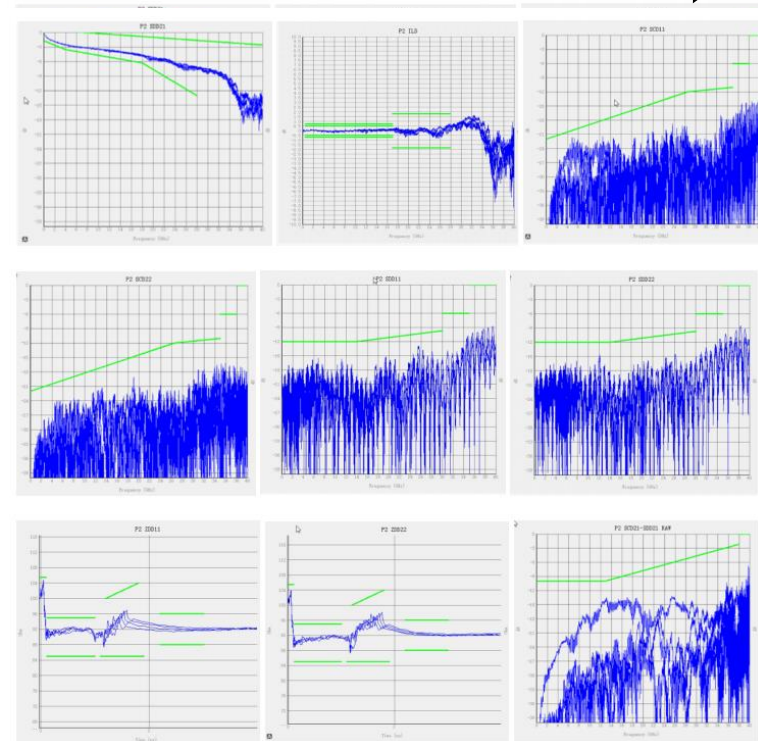
- ✓ 기존 manual 대비 테스트 시간 대폭 감소 (170시간->현실적 수준)
- ✓ Full S-parameter 확보를 통해 전체 channel 특성 분석 가능
- ✓ 대량 데이터 기반 분석을 통해 SI spec 최적화 및 failure 원인 분석 가능
- ✓ Modular 구조로 설계되어 112G->224G->1.6T까지 확장 가능

데이터를 자동으로 분석해서 spec 만족 여부를 판단

자동화된 테스트 UI를 통해 다수 채널을 빠르게 측정 및 관리



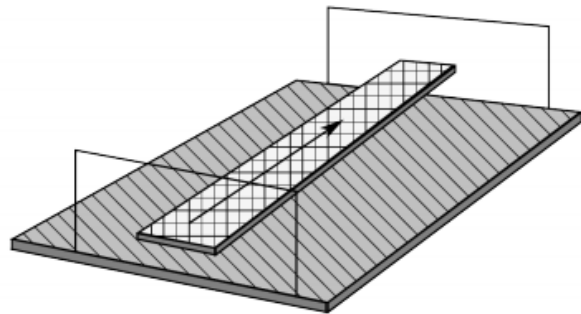
[User interface of the control software]



[Display of various S-parameters metrics and corresponding specification requirements]

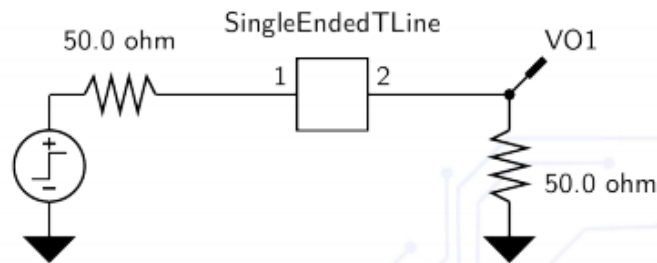
[T13_S02] Port Referencing in S-Parameters: Critical Insights You Need to Know, P. J. Pupalaikis, Ciena corp.

- ✓ 기존 EM 기반 S-parameter 해석에서는 port referencing 개념이 명확하지 않아 회로 연결 및 해석 오류가 발생함
=> Port reference 개념이 불명확하면 S-parameter 해석 자체가 잘못될 수 있음



EM simulation에서는 전압이 절댓값이 아니라 signal과 reference 간 전압차로 정의됨
=> Reference가 바뀌면 전압도 바뀌기 때문에 두 금속 간 관계로 해석해야 함

[Single-ended micro-strip trace simulation in HFSS]

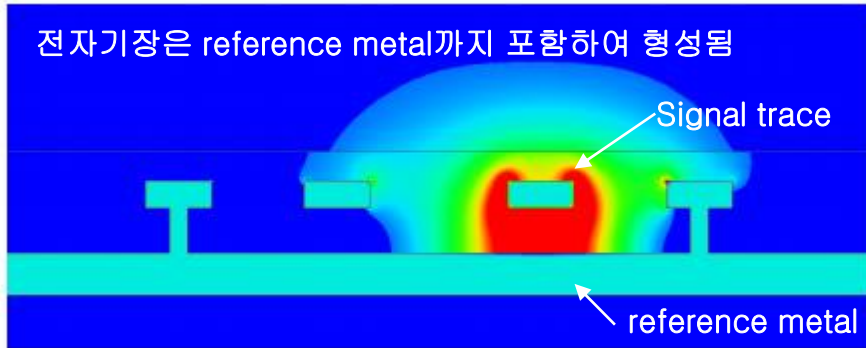


[Simulation of single-ended micro-strip in signal Integrity]

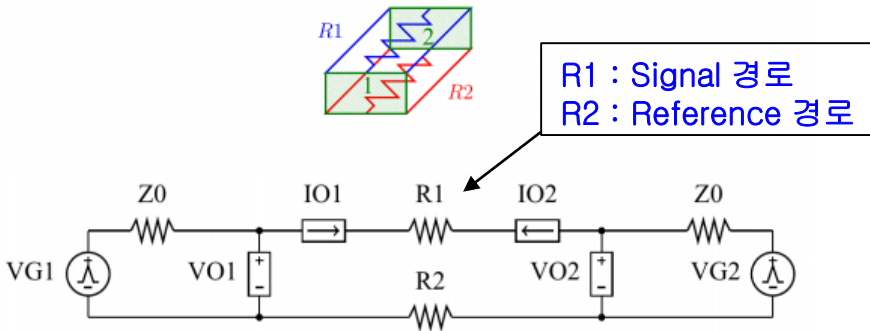
- Is this correct analysis?
- It looks like both ports are referenced to absolute ground.
- It looks like “ground” was shorted out the in the field solver simulation.
- Is the “ground” taken into account? Is it ideal?
- How do I hook the “ground” sheet to a circuit?
- What is the exact interpretation of this result?

[T13_S02] Port Referencing in S-Parameters: Critical Insights You Need to Know, P. J. Pupalaikis, Ciena corp.

- ✓ Port는 단순한 신호 단자가 아니라 signal metal과 reference metal 간의 관계로 정의됨
- ✓ EM solve에서 계산된 S-parameter는 reference metal의 영향까지 포함된 결과임
- ✓ Voltage는 절댓값이 아닌 signal과 reference 간의 차이(differential voltage)로 해석해야 함



[Differential coplanar waveguide/micro-strip trace]



- A port is one or more pieces of metal (signal) referenced to one or more other pieces of metal (other signals and reference "ground").
- Here we have two signal metals relative to coplanar reference metal, as well as reference metal underneath the signal traces.
- N pieces of metal leads to $N - 1$ modes of propagation, and $2 \cdot (N - 1)$ ports in the device.

The resulting s-parameters are surprisingly the series arrangement of $R1$ and $R2$:

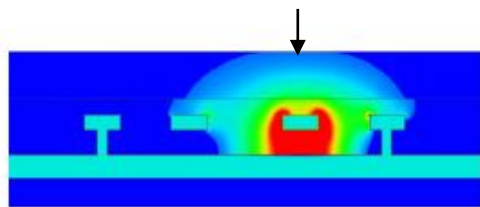
$$S = \frac{1}{R1+R2+2 \cdot Z0} \cdot \begin{pmatrix} R1 + R2 & 2 \cdot Z0 \\ 2 \cdot Z0 & R1 + R2 \end{pmatrix}$$

=> Signal 뿐 아니라 reference 경로까지 포함된 하나의 시스템으로 해석되기 때문에 두 경로의 영향을 동시에 반영

[T13_S02] Port Referencing in S-Parameters: Critical Insights You Need to Know, P. J. Pupalaikis, Ciena corp.

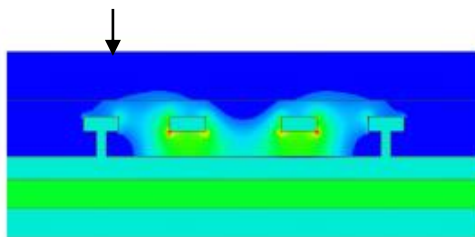
- ✓ EM solver에서 생성된 S-parameter는 signal과 reference 간 차이를 기반으로 정의된 값임
- ✓ Voltage는 절대값이 아니라 signal과 reference 간 차이인 differential 개념으로 해석해야 함

Reference가 드러나지 않은 구조

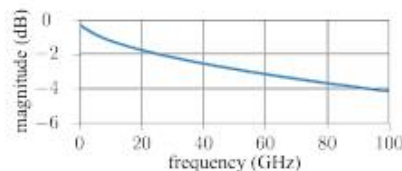
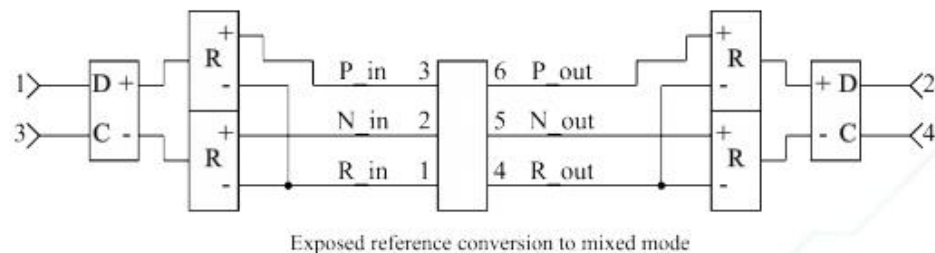
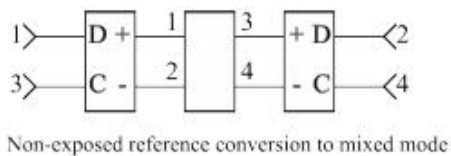


Without exposed reference

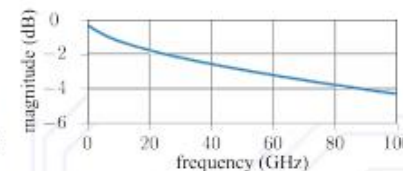
Reference가 드러난 구조



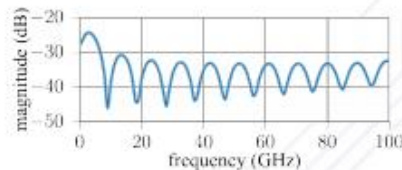
With exposed reference



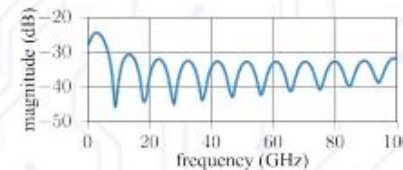
SD2D1 magnitude response without exposed reference



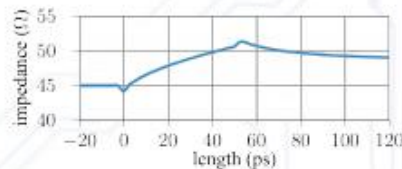
SD2D1 magnitude response with exposed reference



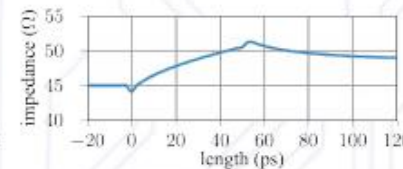
SD1D1 magnitude response without exposed reference



SD1D1 magnitude response with exposed reference



SD1D1 impedance profile without exposed reference



SD1D1 impedance profile with exposed reference

[Without exposed reference]

[With exposed reference]

=> Impedance 및 S-parameter 결과는 동일한 경향임

[T13_S08] Uncovering the Blind Spot: TX-to-TX Crosstalk in NEXT-Gen Ethernet Standards, R. Bloch, Xsightlabs corp.

✓ 고속 인터페이스(200Gb/s 이상)에서 crosstalk은 시스템 성능을 크게 저하시키는 주요 요인임

Crosstalk Why do we care

- Package or PCB crosstalk issues cannot be fixed without a tape-out (TO)
- Aggressor (transmitter) induces noise (voltage) on the victim (receiver)
- Reduces eye opening — both width (jitter) and height (voltage margin)
- Introduces unwanted noise into the system
- Degrades neighboring signals and overall channel performance
- Indicates poor signal-integrity design

Crosstalk How to fix it?

- **Increase spacing** between aggressor and victim traces
- **Use solid reference planes** and maintain continuous return paths
- **Optimize routing**: avoid long parallel runs; cross at right angles when possible
- **Add ground shielding** (guard traces, ground vias, or ground pins between lanes)
- **Control impedance and symmetry** to minimize mode conversion
- **Reduce edge rates** where possible (TX de-emphasis, slew control)
- **Minimize stubs and discontinuities** (connectors, vias, packages)
- **Apply loss-aware and frequency-weighted analysis early** to catch issues before layout is frozen – [our idea](#)

From where it comes from

- **Electric-field (capacitive) coupling** between adjacent conductors
- **Magnetic-field (inductive) coupling** caused by shared current loops
- **Return-path discontinuities** that force fields to spread and couple into nearby structures
- **Layer-to-layer coupling (Z-axis)** through thin dielectrics, vias, and packages
- From BGA (chip balls), and die bumps (connection on die to silicon)
- **Parallel routing over long distances**, which increases coupled energy
- **Impedance discontinuities** (vias, connectors, packages) that enhance field radiation
- **Asymmetric geometries** that increase mode conversion and coupling
- **High edge rates / high frequencies**, which expand the effective coupling bandwidth
- Crosstalk couples in all directions—360° around the signal trace, including the Z-axis.

Signal and Noise

- Its all about Signal to Noise Ratio

$$\text{SNR} = \frac{P(\text{signal})}{P(\text{noise})}$$

- SNR in Power dB → $\text{SNR}(\text{dB}) = 10 \log \frac{P(\text{signal})}{P(\text{noise})}$

- SNR in Voltage → $\text{SNR}(\text{dB}) = 20 \log \frac{V(\text{signal})}{V(\text{noise})}$

- High SNR → clean signal, low noise, good eye diagram
- Low SNR → noisy signal, eye closes, higher BER, unstable link

[T13_S08] Uncovering the Blind Spot: TX-to-TX Crosstalk in NEXT-Gen Ethernet Standards, R. Bloch, Xsightlabs corp.

- ✓ 기존 COM 기반 방법은 multi-port S-parameter와 full-channel 구성을 요구하여 요구하 초기 설계 단계에서 적용이 어려움
- ✓ 또한 Crosstalk을 단순 noise voltage로만 평가하여 실제 시스템 영향 반영이 제한적임

Table 179-19—Number of crosstalk paths used in calculation of COM

Victim (one end)	NEXT	FEXT (other end)			
		SFP224	SFP-DD224	QSFP224	QSFP-DD1600 or OSFP1600
SFP224	1	0	1	3	7
SFP-DD224	2	1	1	3	7
QSFP224	4	3	3	3	7
QSFP-DD1600 or OSFP1600	8	7	7	7	7

→ COM 계산에서 고려해야하는 crosstalk 경로 개수가 많기 때문에 채널이 복잡하면 계산하기 어려워짐

419

Copyright © 2025 IEEE. All rights reserved.
This is an unapproved IEEE Standards draft, subject to change.

Table 179B-3—SFP224 mated test fixtures integrated near-end crosstalk noise voltage

Parameter	Value	Units
Integrated near-end crosstalk noise voltage (max)	1.6	mV

The multi-lane mated test fixtures integrated crosstalk noise voltages are determined using Equation (92-44) through Equation (92-48), given the multiple disturber near-end crosstalk loss $MDNEXT_loss(f)$ and multiple disturber far-end crosstalk loss $MDFEXT_loss(f)$. The multi-lane mated test fixtures integrated crosstalk noise shall meet the specifications in Table 179B-4.

Table 179B-4—Multi-lane mated test fixtures integrated crosstalk noise voltage

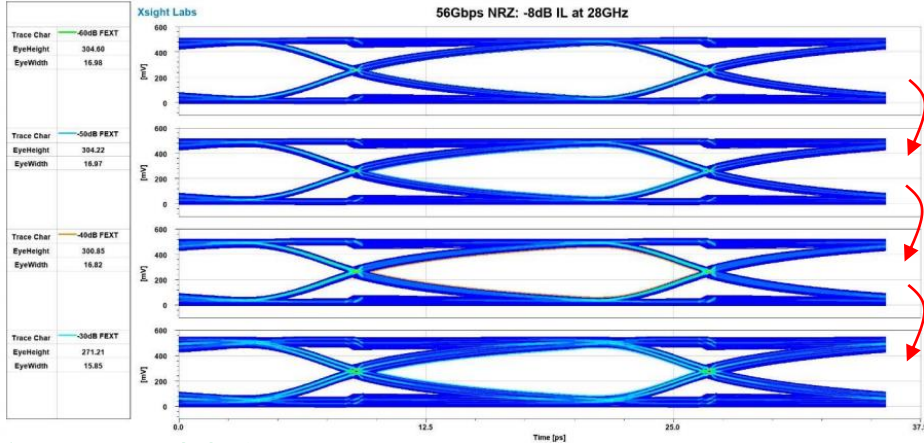
Parameters	Value	Units
MDFEXT integrated crosstalk noise voltage (max)	4.2	mV
MDNEXT integrated crosstalk noise voltage (max)	1.5	mV
Total integrated crosstalk noise voltage (max)	4.4	mV

- IEEE 규격에서는 crosstalk을 mV 단위의 noise로 정의
- Multi-lane 환경에서는 주파수 특성 및 Channel loss 영향을 충분히 반영하지 못함

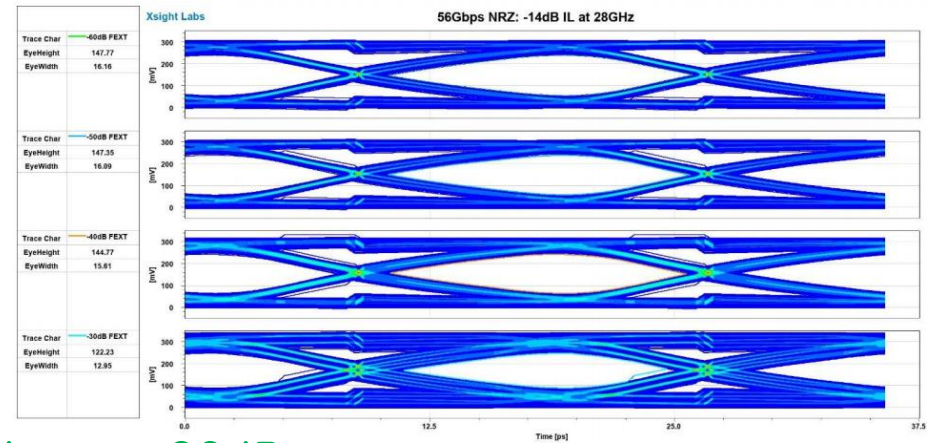
[T13_S08] Uncovering the Blind Spot: TX-to-TX Crosstalk in NEXT-Gen Ethernet Standards, R. Bloch, Xsightlabs corp.

Crosstalk이 증가할수록,
Eye opening이 감소함

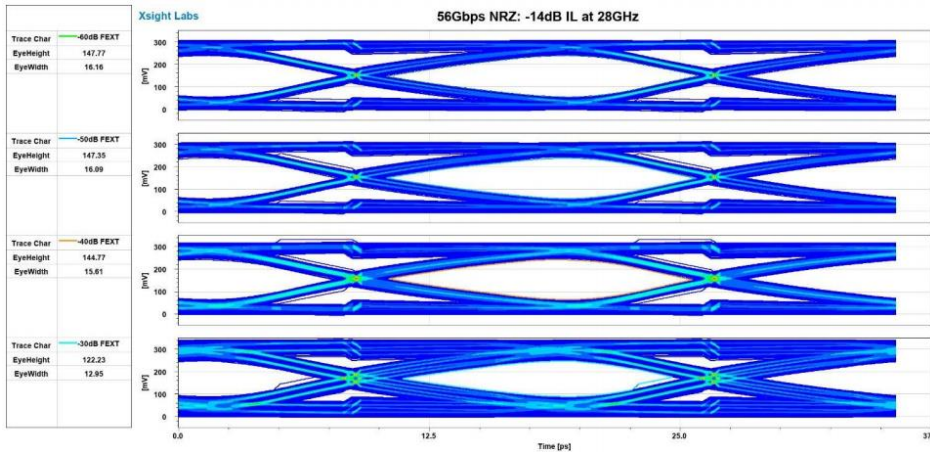
Loss = 8dB



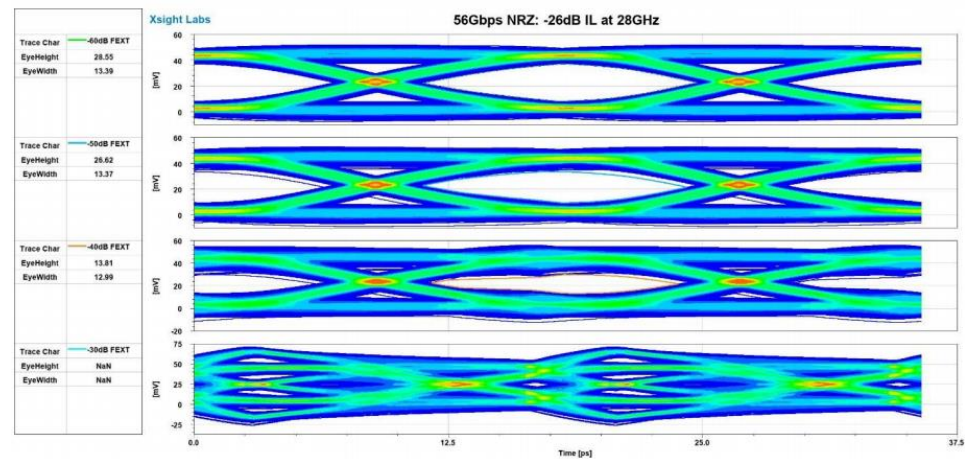
Loss = 14dB



Loss = 20dB



Loss = 26dB



→ Crosstalk 영향은 channel loss에 따라 크게 달라짐

[T13_S08] Uncovering the Blind Spot: TX-to-TX Crosstalk in NEXT-Gen Ethernet Standards, R. Bloch, Xsightlabs corp.

- ✓ Crosstalk을 단일 scalar 값으로 평가하는 새로운 metric을 제안
- ✓ Frequency weighting function을 적용하여 주파수별 영향도를 반영
- ✓ Channel loss와 crosstalk을 동시에 고려하는 loss-aware 모델 적용
- ✓ Full channel 구성 없이 crosstalk 영향 평가 가능

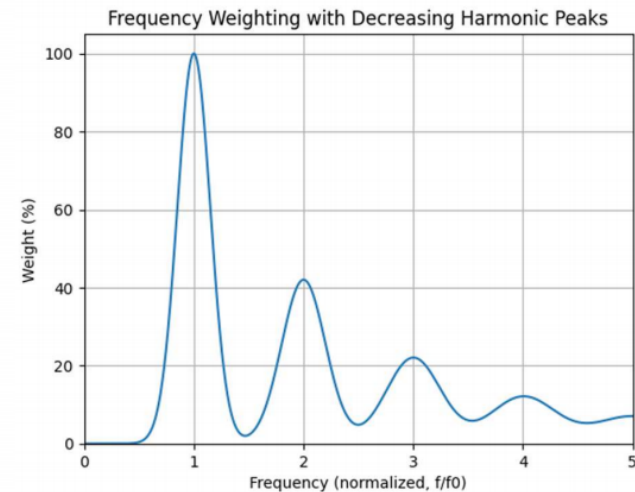
Proposed solution

- Using weighting function
To create depended function
Related to fundamental frequency

Crosstalk →

$$W(f) \cdot \text{PSXT}(f) \cdot L_{\text{ch}}(f) \leq \Gamma_{\text{max}}$$

- $W(f)$ — **frequency weighting function**
- $\text{PSXT}(f)$ — **TX-to-TX power-sum crosstalk**
- $L_{\text{ch}}(f)$ — **channel loss weighting / attenuation dependence**
- Γ_{max} — **fixed allowable limit (design criterion)**



[T13_S08] Uncovering the Blind Spot: TX-to-TX Crosstalk in NEXT-Gen Ethernet Standards, R. Bloch, Xsightlabs corp.

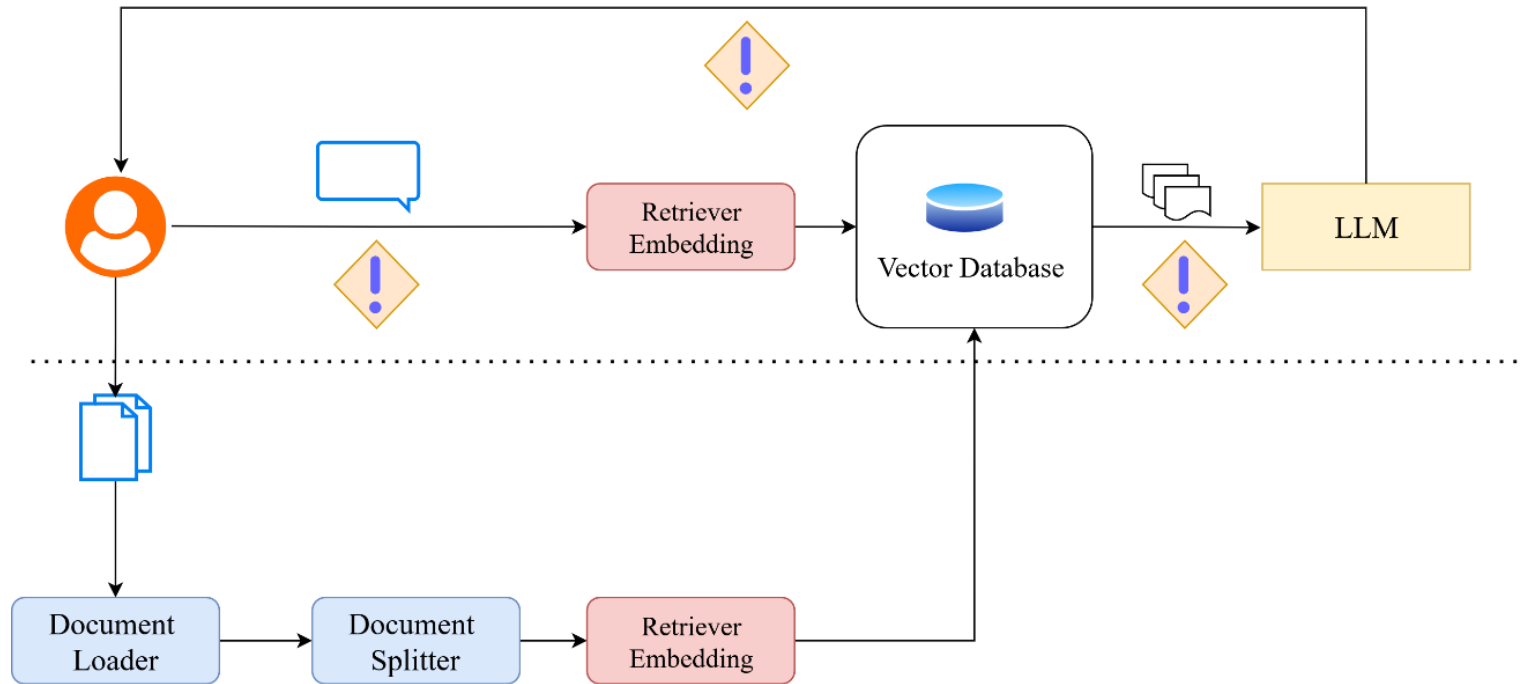
- ✓ Tx-to-Tx crosstalk은 고속 시스템에서 중요한 성능 저하 요인임
- ✓ 제안한 방법은 frequency 및 loss를 고려한 단일 metric을 제공하여 full channel 구성 없이도 crosstalk 영향 평가 가능해서 초기 설계 단계에서 빠른 의사결정 및 설계 최적화 가능

Main conclusions

- **Tx-to-Tx FEXT crosstalk becomes a critical impairment at 200 Gb/s (PAM4+)**, yet no simple metric exists to rapidly assess its impact on channel performance. We propose deriving a **single scalar figure of merit** that incorporates Tx-to-Tx FEXT or other crosstalk as well into the COM framework, evaluated as a function of **COM weighting, channel loss, and frequency-dependent crosstalk behavior**, rather than fixed limits (e.g., PSXT < -60 dB). The resulting metric enables **pass/fail channel assessment** aligned with COM expectations, without full multi-port S-parameter cascading. This method provides a **practical early-design tool** to identify crosstalk-limited channels and support informed architectural decisions.
- This method can also work for other crosstalk types

[T14_S08] Agentic AI for SI/PI: From Concept to Design Execution, P. Kashyap, Hewlett Packard Enterprise

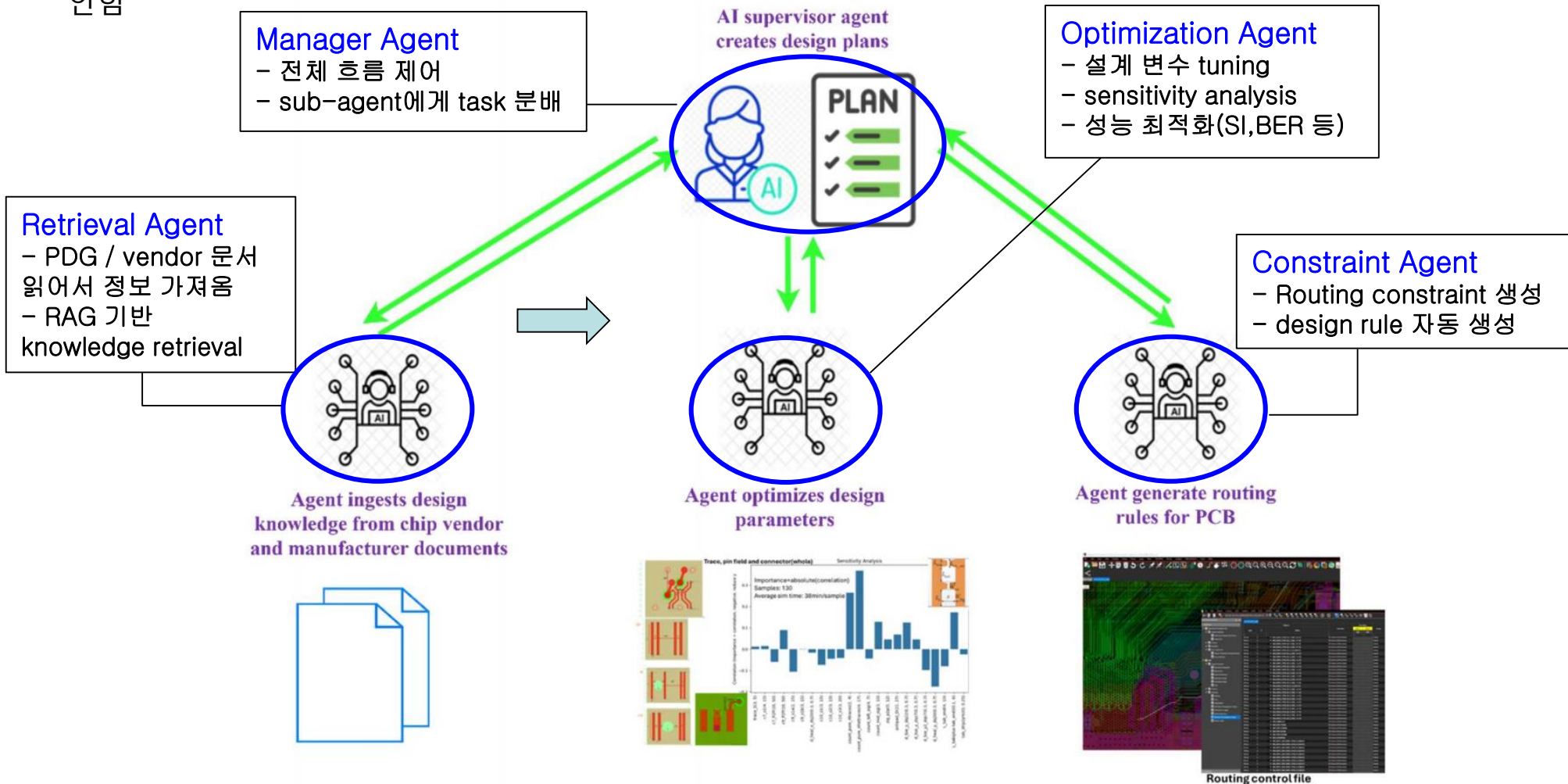
- ✓ LLM(Large Language Models)과 AI 기술이 빠르게 발전하면서 IC 설계 분야에는 일부 적용이 진행되지만, SI/PI 및 시스템 설계 분야에서는 활용 사례가 제한적임
- ✓ SI/PI 설계는 설계 flow가 복잡하고 반복적 작업이 많아 설계 생산성 병목이 발생함
- ✓ 데이터 보안 문제로 외부 LLM 활용이 제한되어, 내부 설계 문서를 활용하는 접근이 필요함
- ✓ 따라서, agent 구조와 RAG 기반의 LLM을 활용한 SI/PI 설계 자동화 및 최적화 기술이 필요함



[내부 설계 문서를 활용하기 위한 RAG 기반 LLM 구조]

[T14_S08] Agentic AI for SI/PI: From Concept to Design Execution, P. Kashyap, Hewlett Packard Enterprise

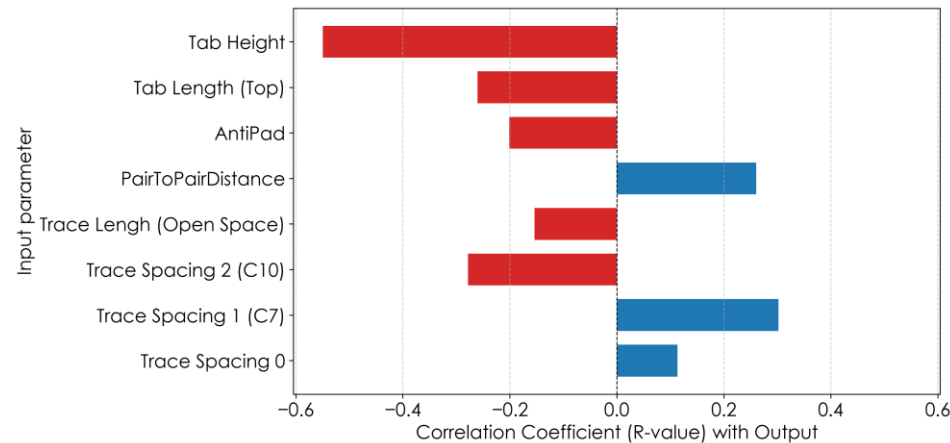
- ✓ 본 연구에서는 Manager agent가 전체 흐름을 제어하고, 여러 sub-agent가 역할을 분담하는 multi-agent 구조를 제안함



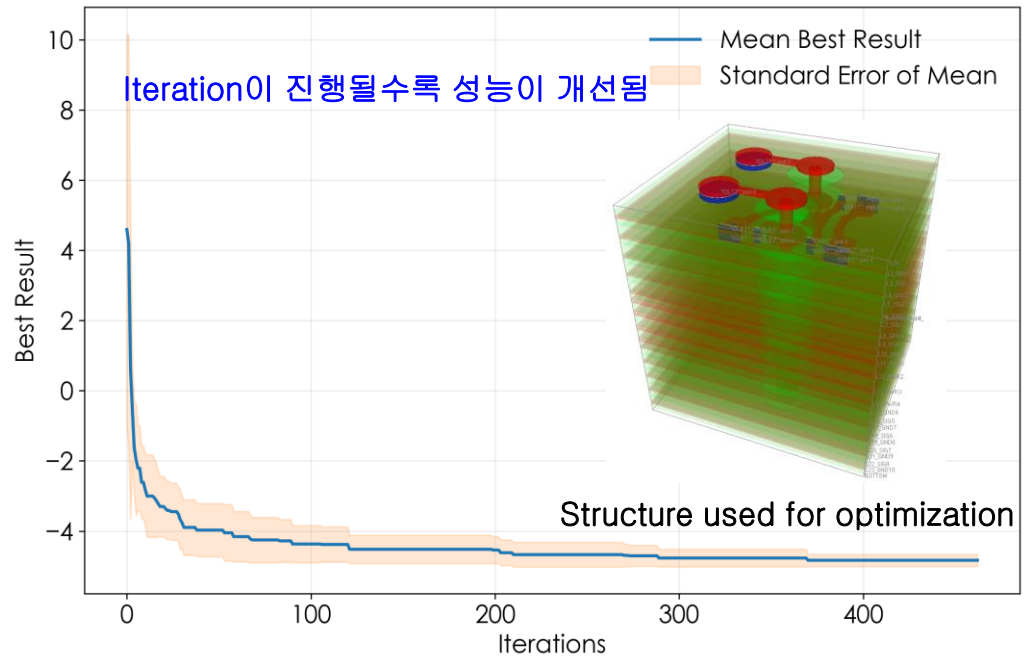
[T14_S08] Agentic AI for SI/PI: From Concept to Design Execution, P. Kashyap, Hewlett Packard Enterprise

- ✓ 본 연구에서는 specification부터 구현까지 연결되는 end-to-end SI/PI 설계 자동화 프레임워크를 제안함
- ✓ Manager-Sub-agent 구조를 통해 retrieval, constraint 생성, 최적화 기능을 모듈화하여 확장성과 유연성을 확보함
- ✓ 실제 constraint 생성 및 최적화 결과를 통해 LLM 기반 설계 자동화의 실현 가능성을 검증함

주요 설계 변수가 성능에 큰 영향을 미침



[Sensitivity analysis results on for an end-to-end channel]

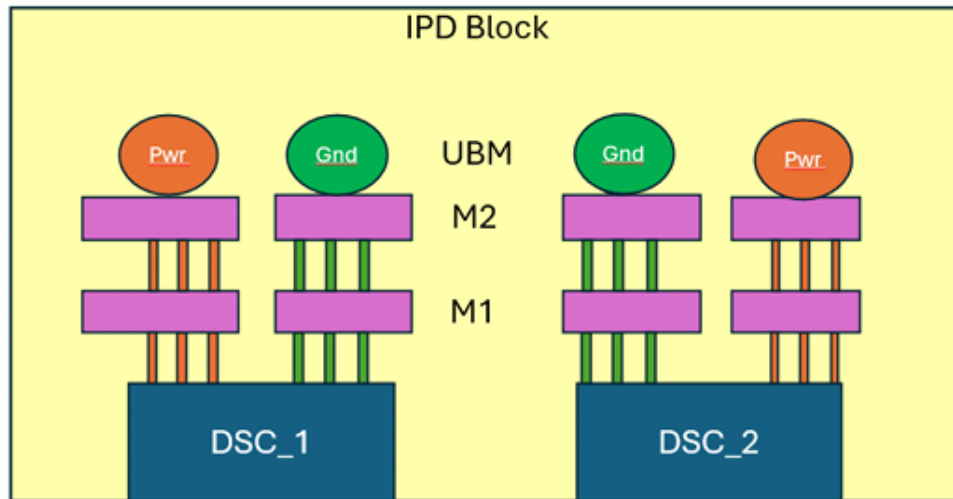


[Optimization results on the stripline guided informed by the sensitivity analysis]

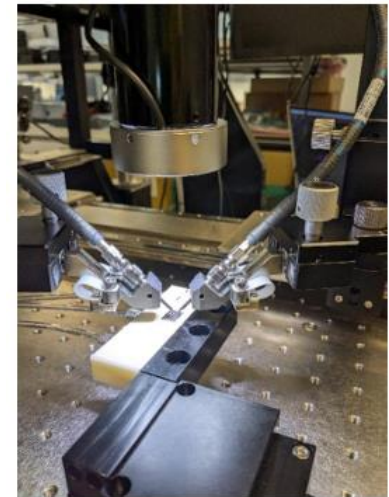
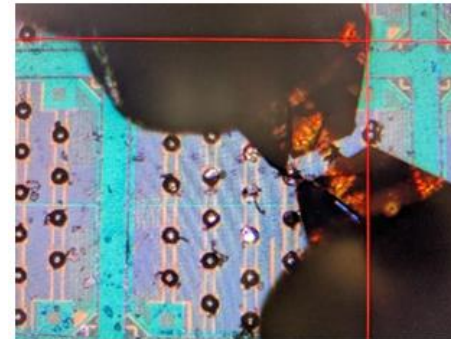
3. DesignCon 2026 자료 소개

[T01_S02] Distributed Capacitor Characterization for Advanced Packaging, S. Pandi, Amazon

- ✓ 고성능 AI 가속기의 전력 전달 네트워크(PDN)에서 발생하는 전압 강하와 노이즈 문제를 해결하기 위해, 높은 정전 용량 밀도와 낮은 기생 인덕턴스를 갖는 Distributed silicon Capacitor (DSC) 기반 IPD 구조를 분석
- ✓ C4 Solder bump에서의 전기적 특성을 정량적으로 추출하기 위해, 마이크로 프로브를 이용한 2포트 Shunt-Through 측정 기법을 적용하여 임피던스 및 정전 용량을 산출



[Internal construction of the IPD capacitors]

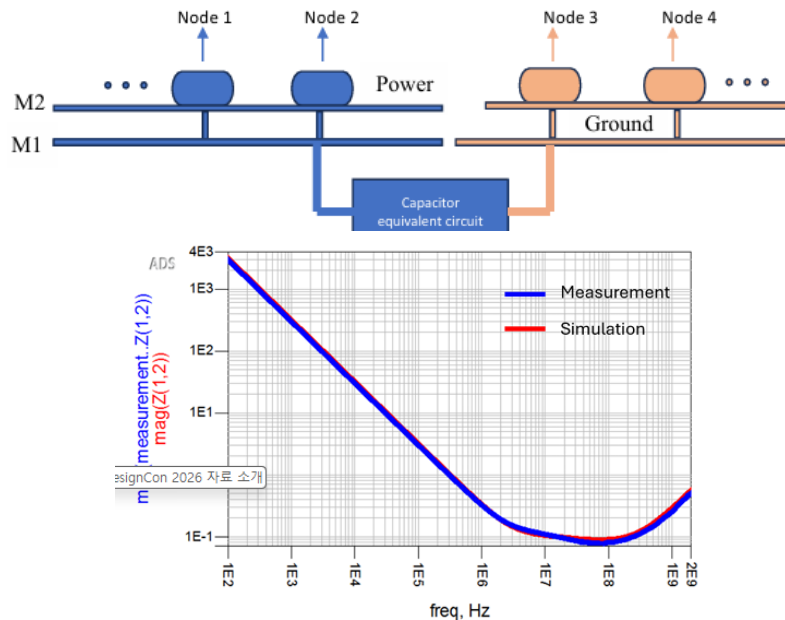


[Probe setup]

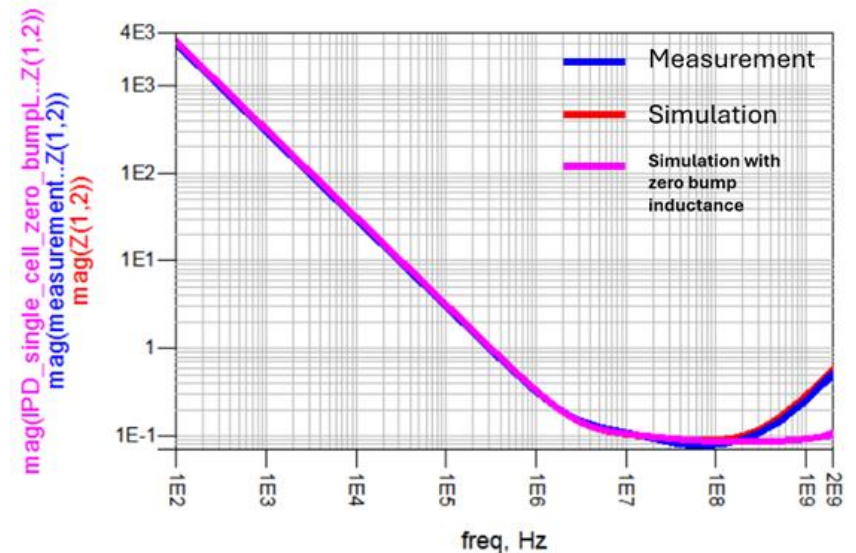
3. DesignCon 2026 자료 소개

[T01_S02] Distributed Capacitor Characterization for Advanced Packaging, S. Pandi, Amazon

- ✓ 3차원 전자기장(3D EM) 시뮬레이션과 실제 측정 결과를 비교한 결과, 저주파 영역의 용량성 거동과 직렬 공진 주파수 영역에서의 임피던스 특성이 높은 수준으로 일치함을 확인
- ✓ 패키지 구조에서 등가 직렬 인덕턴스(ESL)는 C4 범프에 의해 지배되며, 범프 인덕턴스를 제거할 경우 ESL이 크게 감소하고 공진 주파수가 이동하는 현상을 통해 범프 구조의 지배적 영향이 입증



[Self-impedance at the solder bumps (measurement vs simulation)]



[Self-impedance with zero bump inductance]

3. DesignCon 2026 자료 소개

[T01_S02] Distributed Capacitor Characterization for Advanced Packaging, S. Pandi, Amazon

- ✓ DSC는 바이어스 전압 및 온도 변화에 따라 정전 용량과 누설 특성이 비선형적으로 변하는 특성을 보이며, 특히 전압에 따른 포물선 형태의 용량 변화와 온도 증가에 따른 용량 상승 경향이 있음
- ✓ 이러한 특성을 반영하여, 정전 용량, 누설 저항, 직렬 저항(ESR), 기생 인덕턴스(ESL)를 포함하는 등가 단위 셀 모델을 구성함으로써 시스템 수준의 전력 무결성(Power Integrity) 해석이 가능한 컴팩트 모델을 제시

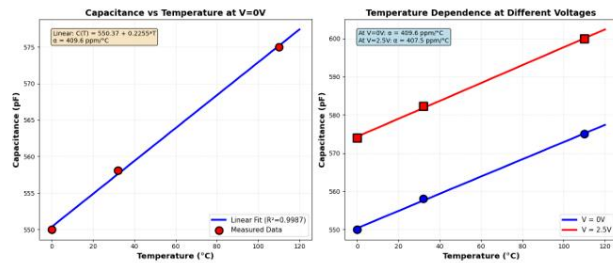


Figure 8a: Linear fit of the capacitance with temperature

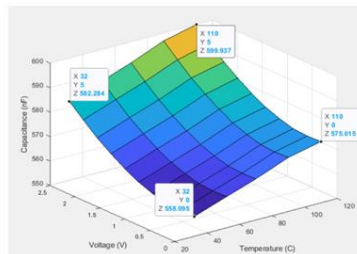
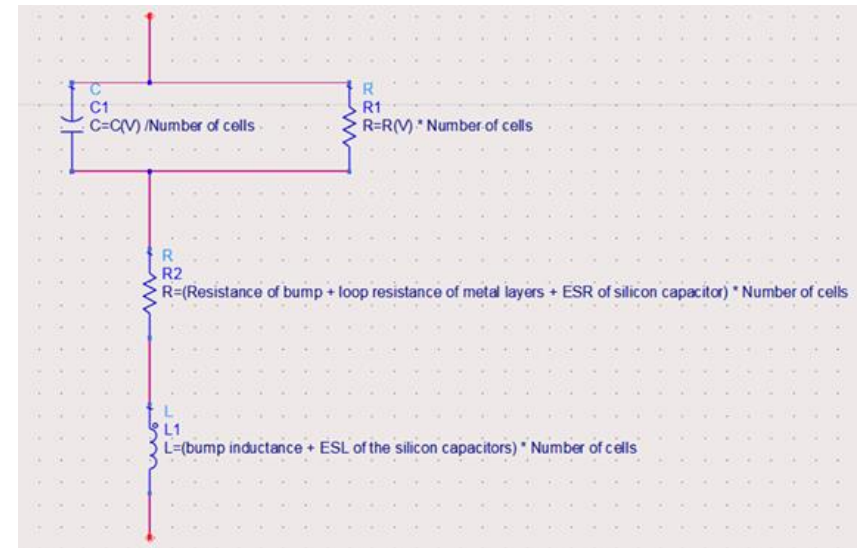


Figure 8b: Capacitance variation with V and T

[Temperature and Voltage Dependence of Capacitance in DSC]



[Equivalent unit cell model]

3. DesignCon 2026 자료 소개

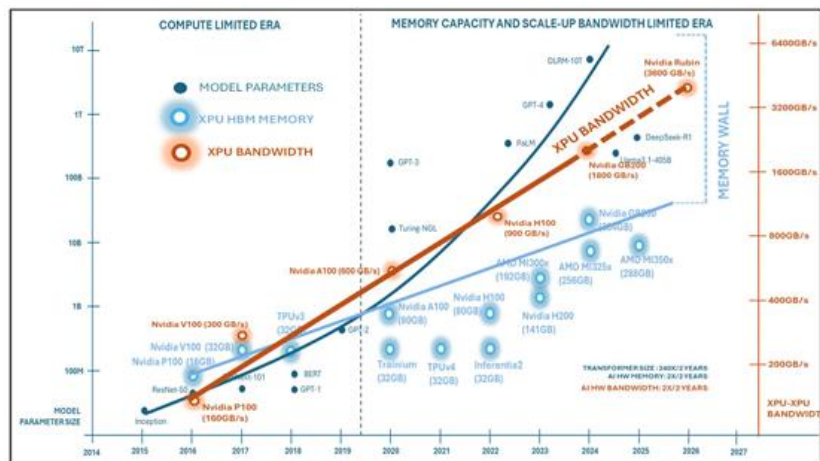
[T01_S02] Distributed Capacitor Characterization for Advanced Packaging, S. Pandi, Amazon

- ✓ Summary
- ✓ 본 연구는 AI 가속기 환경에서 요구되는 고속 전력 전달 특성을 만족시키기 위해 분산형 실리콘 커패시터(DSC)의 전기적 특성을 주파수, 전압, 온도 관점에서 통합적으로 분석
- ✓ 측정 기반 데이터와 3D EM 시뮬레이션 간의 높은 상관성을 통해 커패시터의 임피던스 특성과 기생 요소를 구조적으로 규명하였으며, 특히 C4 범프가 ESL을 지배하는 핵심 요소임을 확인
- ✓ 전압 및 온도 의존성을 반영한 컴팩트 단위 셀 모델을 구축함으로써, 칩-패키지-보드 통합 해석(Co-simulation) 환경에서 효율적인 전력 무결성 분석 및 설계 최적화 기반을 제공

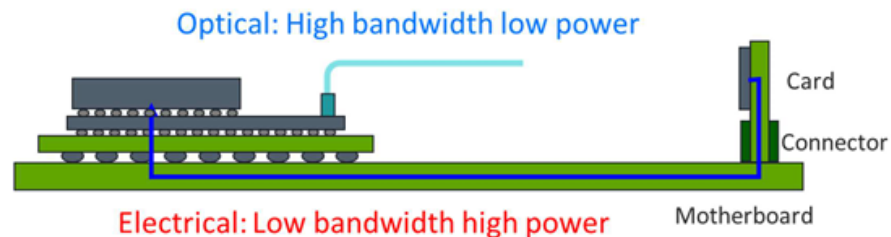
3. DesignCon 2026 자료 소개

[T05 S1] Power Integrity Design of a 56Gb/s Si-Photonic Optical Link for Memory Applications, D. Oh, Celestial AI

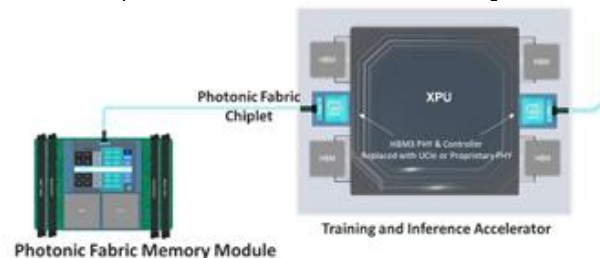
- ✓ AI Training 데이터와 모델 크기가 기하급수적으로 증가함에 따라, Accelerated computing 환경에서는 Memory capacity와 Bandwidth가 주요 병목이 되는 Memory Wall 문제가 발생
- ✓ 기존 구리선의 손실(Copper loss)과 거리 제약을 극복할 수 있는 Co-packaged optics 기반의 고대역폭 메모리 모듈인 PFM(Photonic Fabric Module)이 제안
- ✓ 해당 아키텍처는 기존 Electrical interconnect의 한계를 넘어 고대역폭 및 저전력 통신을 제공하며, GPU나 AI Accelerator(XPU)가 대규모 Disaggregated memory pool에 광학적으로 연결



[IAI 컴퓨팅 환경의 Memory Capacity 및 XPU Bandwidth 한계]



[Electrical Interconnect와 Co-packaged Optics Link의 구조 및 특성]

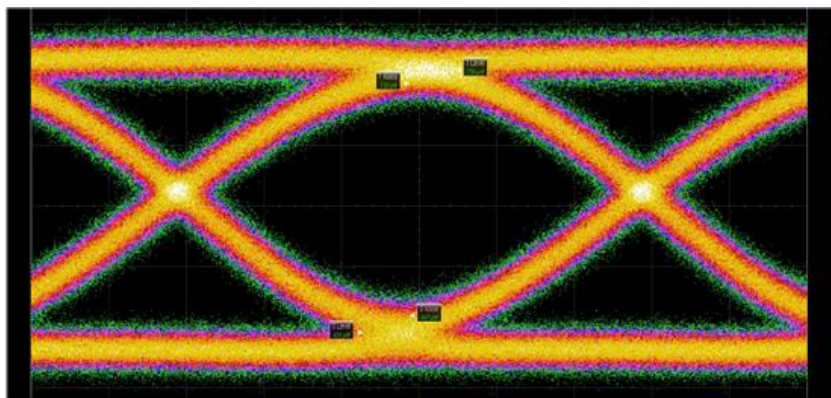


[Memory Module과 XPU가 결합된 Optical Memory System 아키텍처]

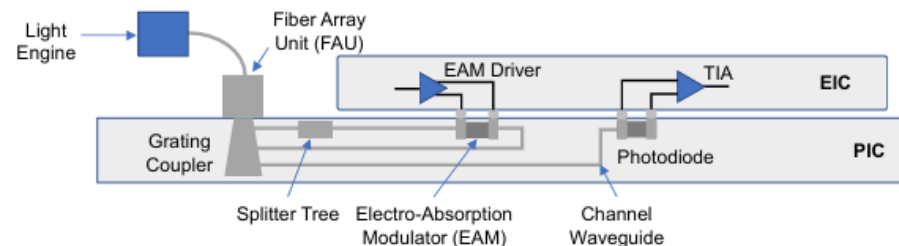
3. DesignCon 2026 자료 소개

[T05 S1] Power Integrity Design of a 56Gb/s Si-Photonic Optical Link for Memory Applications, D. Oh, Celestial AI

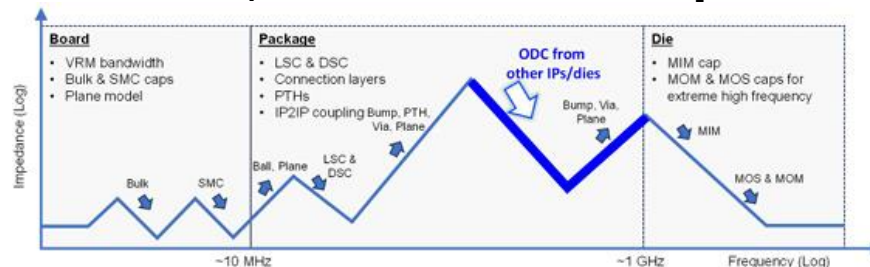
- ✓ 해당 시스템은 외부 레이저 소스와 EAM(Electro-Absorption Modulator), GeSi 광검출기를 활용하여 송수신을 처리하며, EIC와 PIC를 패키지 내에 긴밀하게 통합한 광 링크 아키텍처를 특징
- ✓ 해당 아키텍처를 바탕으로 56Gb/s의 고속 Single-ended Data rate를 성공적으로 달성하였으며, 송신 신호의 Eye opening을 통해 우수한 신호 품질과 에너지 효율을 확인
- ✓ Single-ended signaling으로 동작하는 광학 소자의 특성과 Multi-die가 집적된 패키징 환경 때문에 이웃한 IP 간의 상호 간섭이 발생하므로, Board부터 Die까지 전체 주파수 대역을 아우르는 포괄적인 전원 무결성(Power Integrity) 설계가 필수적임



[PRBS 13 Data Pattern이 적용된 56Gb/s 송신 Optical Eye Diagram]



[EIC 및 PIC가 통합된 56Gb/s EAM 기반 광 링크 아키텍처]

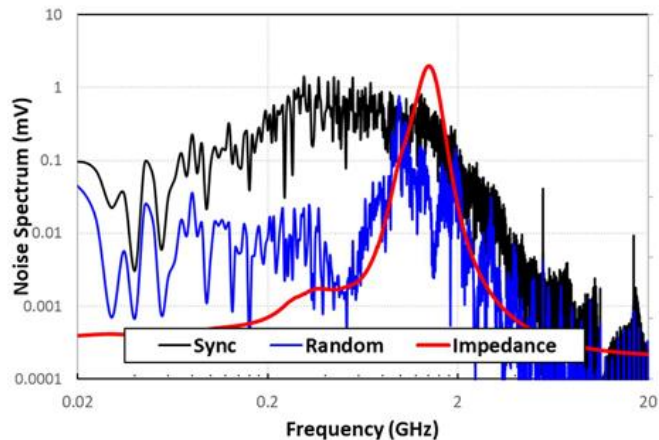


[Multi-die/IP 환경에 따른 PDN Impedance Profile 변화]

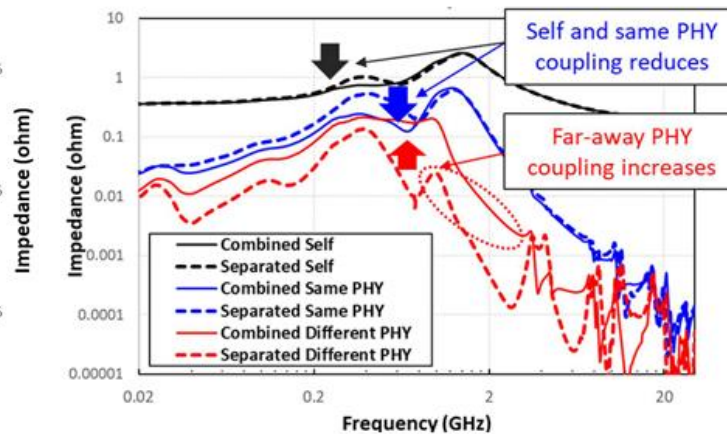
3. DesignCon 2026 자료 소개

[T05 S1] Power Integrity Design of a 56Gb/s Si-Photonic Optical Link for Memory Applications, D. Oh, Celestial AI

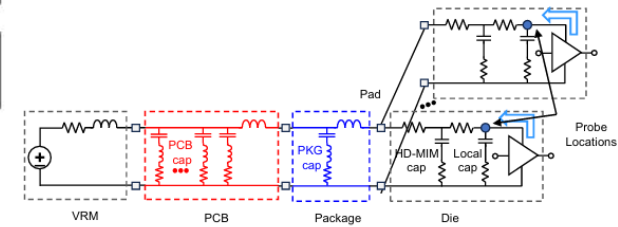
- ✓ Multi-PHY 환경에서 최적의 성능을 얻기 위해서는 동일한 Power domain 내에서 Power rail을 통합(Combined)하여 Self-impedance를 낮추는 설계가 유리
- ✓ 하지만 TX와 RX처럼 서로 다른 Power domain 간에 Power rail을 공유하면 이웃한 IP 간의 Coupling noise가 치명적일 수 있으므로 철저히 분리(Separated)해야함
- ✓ Data switching pattern에 따른 영향을 분석한 결과, 모든 채널이 동위상(Sync phase)으로 동작할 때보다 무작위 위상(Random phase)으로 동작할 때 저주파 대역의 Voltage noise가 크게 감소함을 확인



[Sync Phase 및 Random Phase Data Pattern에 따른 주파수별 Noise Spectrum]



[Power Rail 통합(Combined) 및 분리(Separated)에 따른 Self/Transfer Impedance 분석]



[Multi-PHY 및 PIC가 집적된 Package의 Power 연결 구조 모델링]

3. DesignCon 2026 자료 소개

[T05_S1] Power Integrity Design of a 56Gb/s Si-Photonic Optical Link for Memory Applications, D. Oh, Celestial AI

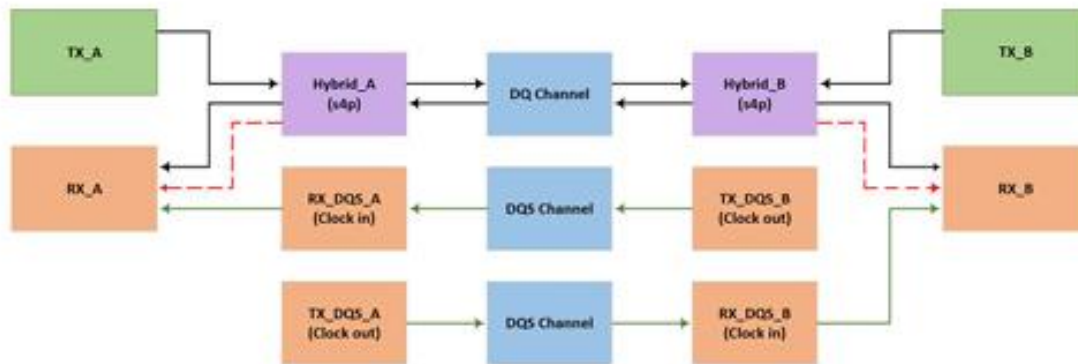
Summary

- ✓ AI 모델의 거대화로 인한 Memory Wall 병목을 해결하기 위해, Copper loss 없이 고대역폭 및 저전력을 구현하는 56Gb/s Si-Photonic Optical Link (PFM) 기반 메모리 아키텍처를 제시
- ✓ Single-ended signaling으로 동작하는 광학 소자의 안정성을 위해, Board-Package-Die 전체를 아우르며 Multi-die/IP 간의 간섭을 고려하는 포괄적인 PDN(Power Distribution Network) 설계가 필수적임
- ✓ Data pattern의 위상(Phase) 분석과 체계적인 PI(Power Integrity) 설계를 적용하여, Supply noise를 최소화하고 차세대 메모리 애플리케이션에 적합한 신뢰성을 확보

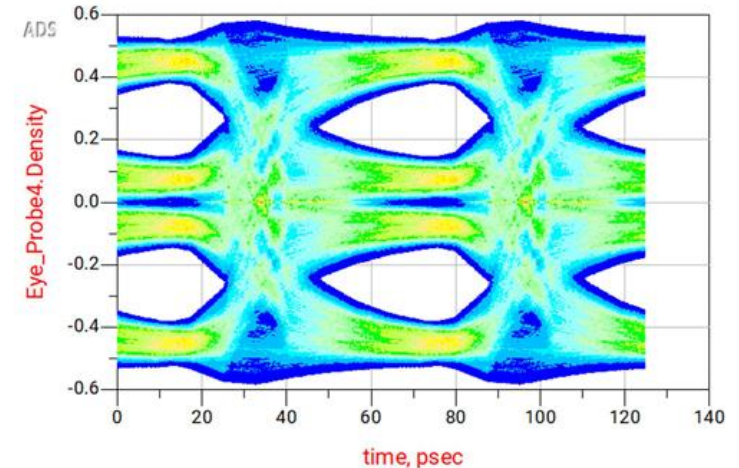
3. DesignCon 2026 자료 소개

[T06_S5] IBIS-AMI Modeling for Bi-directional D2D Links With Clock Forwarding & Echo Cancellation, S. Parker, Marvell Technology

- ✓ Chiplet 기반 시스템에 널리 사용되는 Bi-directional D2D 링크는 Short-reach와 Single-ended signaling을 특징으로 하며, Pad 구조에서 발생하는 강한 Near-end echo가 주요 Signal Integrity 관점에서 과제임
- ✓ 양쪽에서 동시에 송신이 이루어질 때 발생하는 Local echo와 Far-end 데이터의 중첩은 NRZ(Non-Return-to-Zero) 데이터임에도 불구하고 수신단에서 PAM3 형태의 왜곡된 Eye diagram을 형성함
- ✓ 근본적인 한계를 극복하기 위해 기존의 CTLE나 DFE 구조 대신, Local TX 패턴을 참조하여 Echo를 예측하고 제거하는 Adaptive Echo Cancellation 아키텍처가 필수적임



[Bi-directional D2D 링크의 전체 시스템 아키텍처]

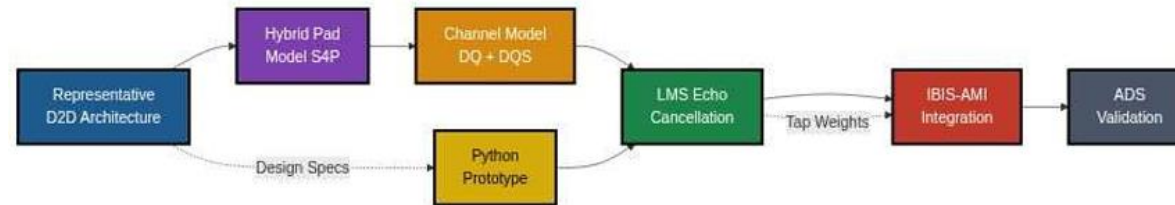


[Local Echo 간섭으로 인해 달린 수신단의 PAM3 형태 Eye Diagram]

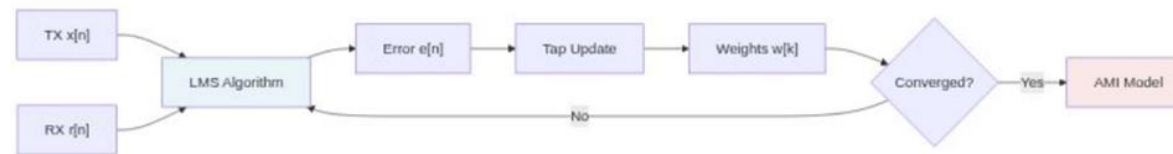
3. DesignCon 2026 자료 소개

[T06_S5] IBIS-AMI Modeling for Bi-directional D2D Links With Clock Forwarding & Echo Cancellation, S. Parker, Marvell Technology

- ✓ 본 방법론은 물리적인 Hybrid S-parameter 모델을 통해 Near-end echo를 모사하고, Python에서 검증된 LMS(Least Mean Squares) 알고리즘 기반의 FIR Filter를 IBIS-AMI 모델에 직접 통합함
- ✓ Training 단계에서는 Local TX의 Reference symbol과 수신된 Analog waveform 간의 Error를 계산하여, LMS 알고리즘을 통해 Filter의 Tap weight를 지속적으로 업데이트하는 구조
- ✓ 충분한 학습 후 Convergence가 완료되면 Tap weight를 고정(Freeze)하여 작동하며, 이는 실제 하드웨어 구현 방식과 동일하게 Data transmission 중 안정적인 Echo cancellation 성능을 보장



[Methodology Flow Overview]

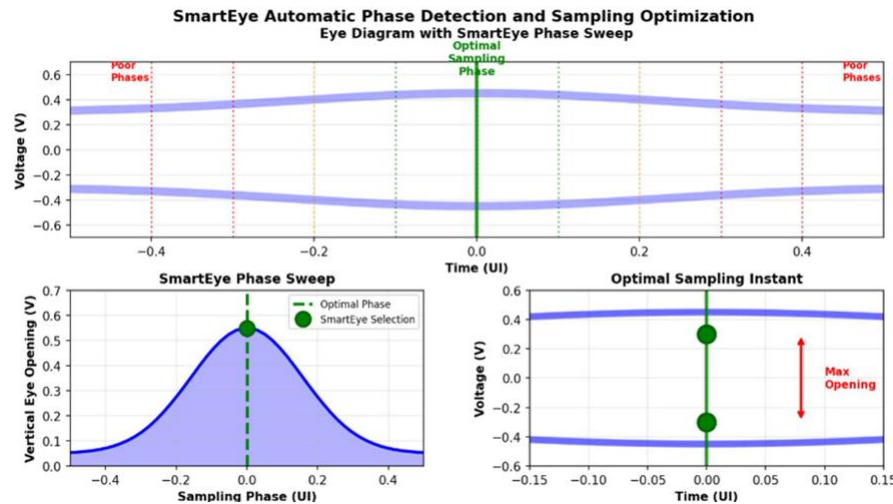


[Error 최소화를 위해 FIR Filter Tap Weight를 업데이트하는 LMS 학습 구조]

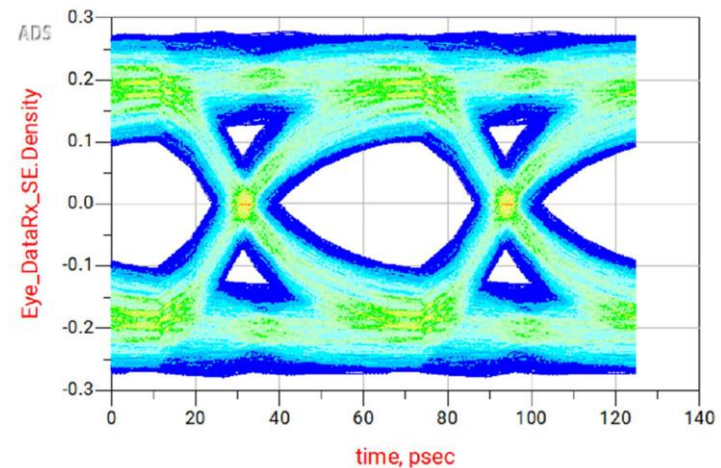
3. DesignCon 2026 자료 소개

[T06_S5] IBIS-AMI Modeling for Bi-directional D2D Links With Clock Forwarding & Echo Cancellation, S. Parker, Marvell Technology

- ✓ Simulation를 통해 Forwarded DQS Clock의 최적 Sampling phase를 결정하고, 약 4000~5000 Symbol의 학습 구간 동안 LMS 알고리즘이 Echo Impulse Response를 학습하여 Filter Tap weight 수렴을 완료함
- ✓ 학습된 Adaptive Filter가 수신 신호의 Dominant echo 성분을 효과적으로 제거함으로써, 심각하게 닫혀있던 신호를 충분한 Vertical opening이 확보된 깨끗한 NRZ Eye 특성으로 완벽히 복원



[simulation을 통한 최적의 DQ-to-DQS Sampling Phase 탐색 결과]



[Echo Cancellation 적용 후성공적으로 복원된 NRZ (PAM2) Eye Diagram]

3. DesignCon 2026 자료 소개

[T06_S5] IBIS-AMI Modeling for Bi-directional D2D Links With Clock Forwarding & Echo Cancellation, S. Parker, Marvell Technology

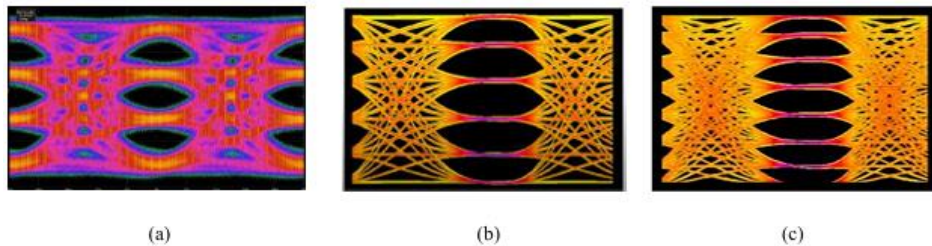
Summary

- ✓ 본 연구는 Bi-directional D2D 인터페이스의 핵심 병목인 Near-end echo 문제를 해결하기 위해, Forwarded clock과 Adaptive LMS Echo Cancellation 기술이 적용된 개방형 IBIS-AMI 모델링 방법론을 제안
- ✓ Short-reach 환경에서 Hybrid Pad로 인해 NRZ 신호가 PAM3처럼 왜곡되는 현상을 물리적 채널 모델과 가벼운 C++ 기반 AMI 모델을 통해 성공적으로 모사함
- ✓ LMS 알고리즘을 통한 FIR Filter Training과 SmartEye 기반의 최적 Phase 탐색을 통해, 심각하게 손상된 신호를 선명한 NRZ Eye로 복원하는 과정을 완벽히 검증함
- ✓ 재현 가능한 이 워크플로우는 다수 벤더 간의 Chiplet 생태계 협업을 촉진하고, 차세대 D2D 물리 계층(PHY)의 초기 아키텍처 탐색 및 Signal Integrity 평가를 획기적으로 가속화할 것을 기대

3. DesignCon 2026 자료 소개

[T07_S4] 400G Channels for AI Applications: Passive & Active Copper Cable Assemblies to Enable Scale Up/Scale Out, A. Shaji, TE Connectivity

- ✓ AI 및 HPC 워크로드 증가로 인해 400 Gb/s per-lane 속도가 필수적이면서, 한계에 도달한 PAM4를 대체할 PAM6 및 PAM8과 같은 고차 Modulation 방식이 적극 검토되고 있음
- ✓ 하지만 OSFP 등 기존 Pluggable I/O 폼팩터는 400G 대역폭에서 Mating stub 및 Co-planarity와 같은 기구적 한계와 심각한 Crosstalk, Insertion loss로 인해 Signal Integrity(SI) 마진 확보에 치명적인 제약이 있음



[Eye Diagram (a) PAM 4 (b) PAM 6 (c) PAM 8 Modulation]

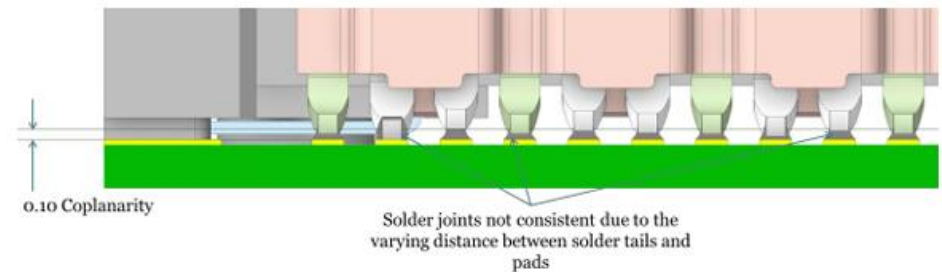


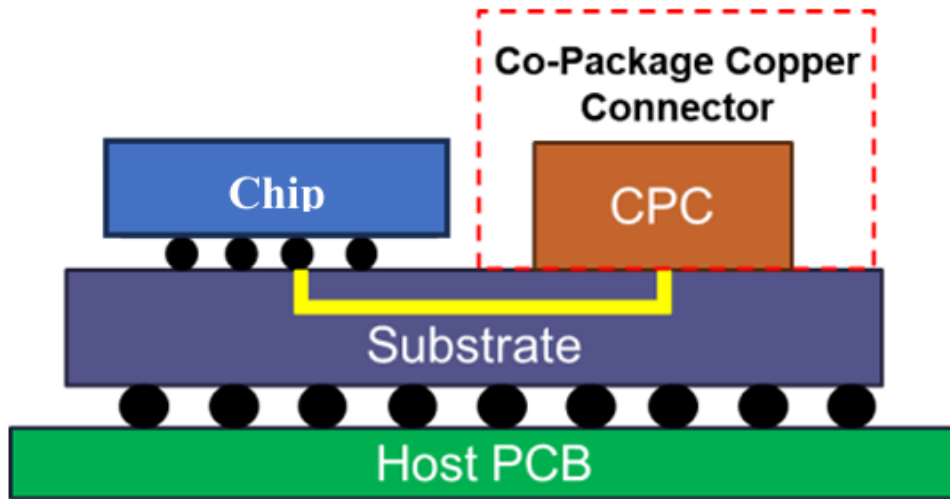
Figure 7: Coplanarity Issue in Conventional Surface Mount Pluggable Connectors

[기존 SMT Pluggable 커넥터에서 발생하는 Co-planarity 및 Solder Joint 편차 문제]

3. DesignCon 2026 자료 소개

[T07_S4] 400G Channels for AI Applications: Passive & Active Copper Cable Assemblies to Enable Scale Up/Scale Out, A. Shaji, TE Connectivity

- ✓ 기존 방식의 물리적 한계를 극복하기 위해, 길고 손실이 큰 Host PCB 라우팅을 우회하여 ASIC Substrate에 직접 연결하는 400G CPC(Co-Packaged Copper Connector) 아키텍처가 제안
- ✓ CPC 기술과 차세대 Pluggable IO를 결합한 Cable Assembly 구조를 적용하면, 전기적 Discontinuity를 최소화하고 Insertion loss를 크게 줄여 400G 시스템의 신뢰성을 극대화할 수 있음



[Host PCB 라우팅을 우회하여 ASIC Substrate에 직접 결합되는 CPC(Co-Packaged Copper) 아키텍처]

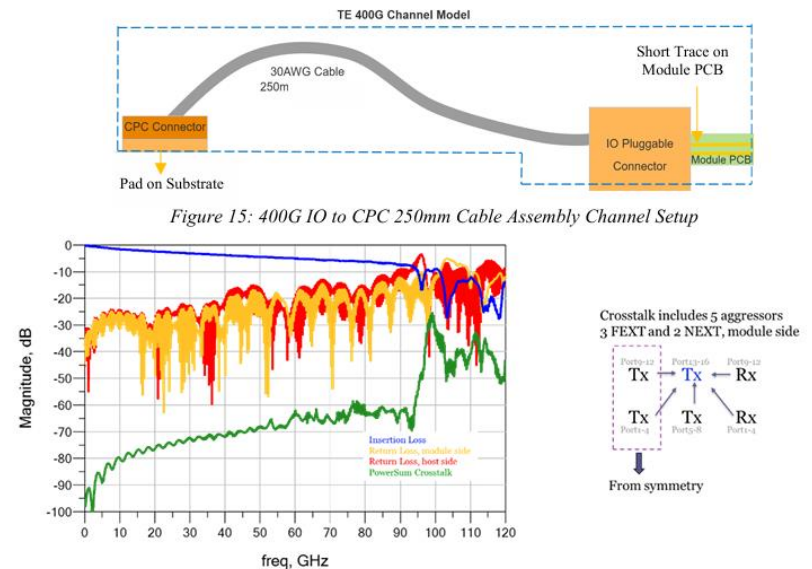


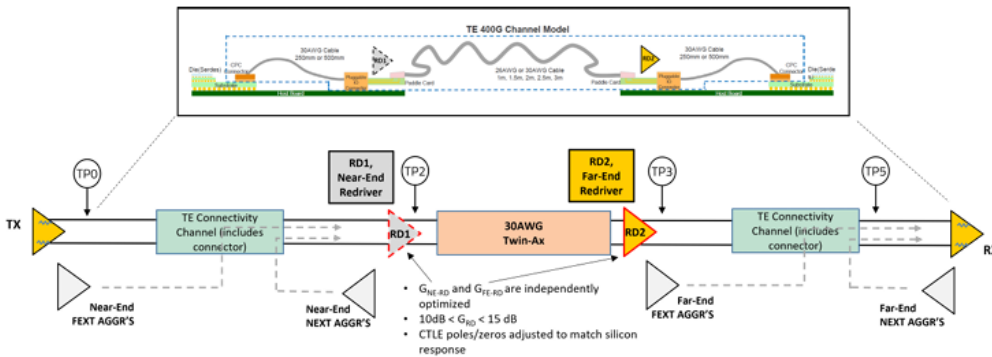
Figure 16: IO to CPC Channel (Figure 15) SI Simulation Results

[차세대 IO 플러그와 CPC 커넥터를 결합한 250mm C2M (Chip-to-Module) 케이블 어셈블리 구조 및 SI simulation 결과]

3. DesignCon 2026 자료 소개

[T07_S4] 400G Channels for AI Applications: Passive & Active Copper Cable Assemblies to Enable Scale Up/Scale Out, A. Shaji, TE Connectivity

- ✓ Passive DAC(Direct Attached Copper)의 도달 거리(Reach) 한계를 극복하기 위해, Redriver 기반의 ACC(Active Copper Cable) 아키텍처를 도입하여 E2E(End-to-End) 채널 시뮬레이션을 수행
- ✓ Redriver의 CTLE(Continuous-Time Linear Equalizer)가 제공하는 High-frequency boost 효과로 수신단의 Noise 증폭이 감소하며, Dual-End(DE) ACC 적용 시 400G PAM6 기준 최대 약 2m까지 안정적인 케이블 길이 확장이 가능



[Signal Integrity 개선을 위해 Redriver가 적용된 Near-End 및 Far-End ACC 아키텍처]

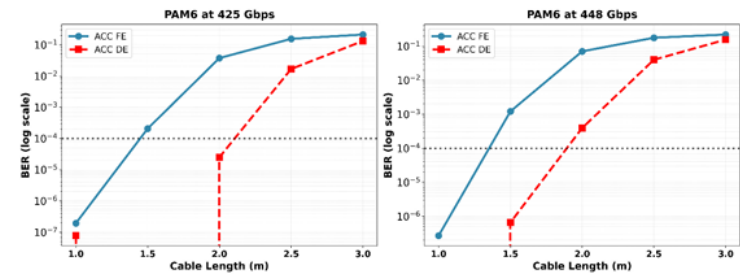


Figure 29: PAM 6: BER vs Cable Length. Tx SNR = 36 dB, ENOB = 7 bits

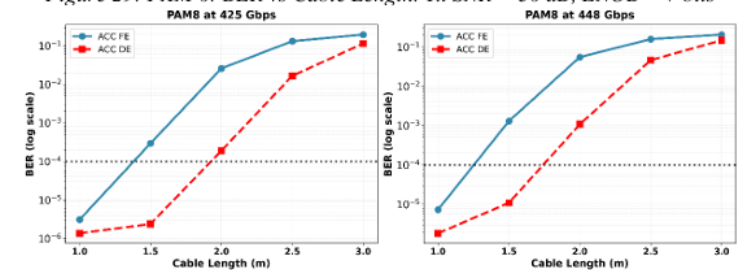


Figure 29: PAM 8: BER vs Cable Length. Tx SNR = 38 dB, ENOB = 7 bits

[케이블 길이 및 Redriver 구성(FE vs DE)에 따른 PAM6 신호의 BER(Bit Error Rate) 시뮬레이션 결과]

3. DesignCon 2026 자료 소개

[T07_S4] 400G Channels for AI Applications: Passive & Active Copper Cable Assemblies to Enable Scale Up/Scale Out, A. Shaji, TE Connectivity

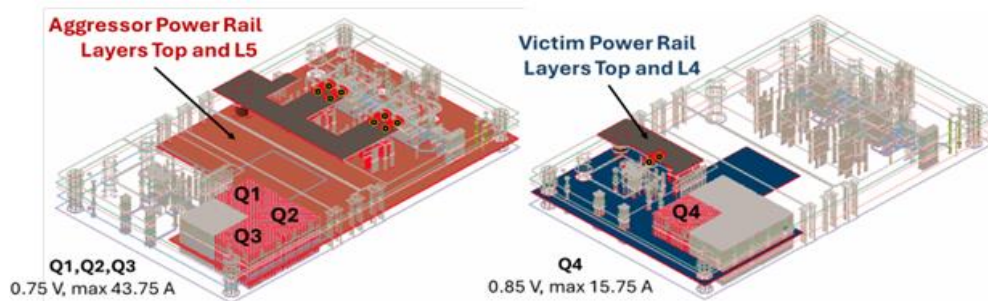
Summary

- ✓ 본 연구는 400G per-lane 시대를 맞아 기존 Pluggable IO의 기구적/전기적 한계를 분석하고, 고차 Modulation(PAM6/8) 환경에서의 Signal Integrity 제약 사항을 도출
- ✓ Host PCB의 전기적 손실을 최소화하는 Co-Packaged Copper(CPC) 커넥터 기술을 고주파 특성 및 마진 개선을 입증
- ✓ Redriver IC를 결합한 ACC(Active Copper Cable) 구조를 적용하여 Passive DAC 대비 향상된 Equalization 성능과 도달 거리(Reach) 확장을 검증
- ✓ 본 연구는 차세대 AI 및 데이터센터 Scale-out 시스템에서 저전력, 고대역폭 구리선(Copper) 인터페이스의 장기적인 활용 가능성과 최적화 가이드라인을 제시

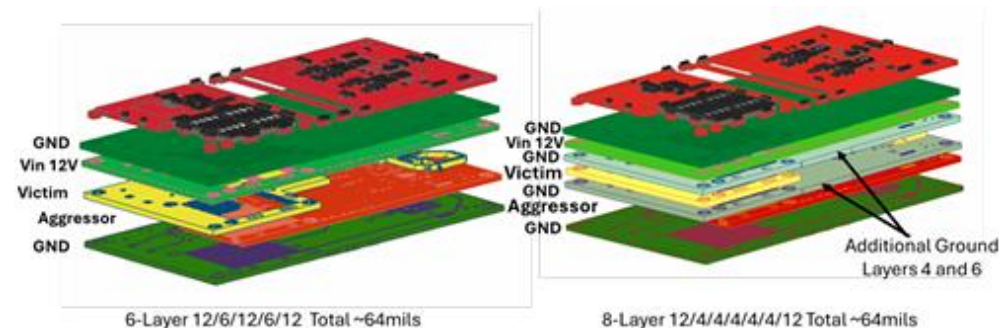
3. DesignCon 2026 자료 소개

[T10_S03] Modeling & Measuring Large Signal PDN Crosstalk & Ground Bounce with a Multi-Phase VRM System Using a Fast Multi-Domain BGA Step Load, B. Danna, Signal Edge Solutions

- ✓ AI 및 데이터센터 시스템의 고밀도 PDN 환경에서 발생하는 Large-signal Crosstalk 및 Ground Bounce 현상을 분석
- ✓ 이를 위해 다중 위상(Multi-phase) VRM과 고속 BGA Step Load가 장착된 Picotest S50 데모 보드를 주요 테스트 플랫폼으로 활용
- ✓ 본 논문에서는 기판의 라우팅 밀도와 Return path 구조가 노이즈에 미치는 영향을 비교하기 위해 6-Layer 및 8-Layer PCB stack-up 구조를 독립적으로 설정



[Aggressor 및 Victim Power Rail이 배치된 6-Layer S50 PCB 모델 구조]



[기판 층수(Layer count) 비교를 위한 6-Layer 및 8-Layer PCB 스택업 구조]

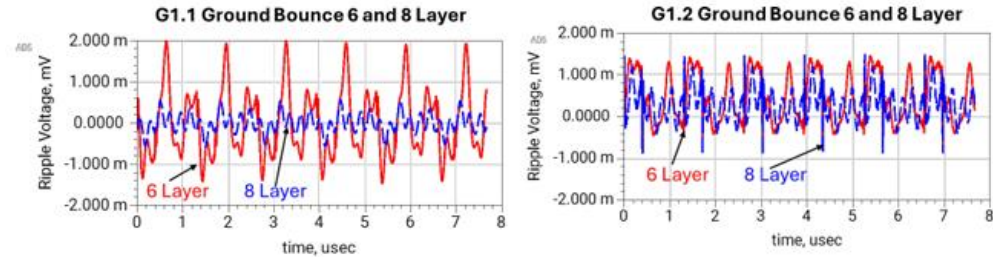
3. DesignCon 2026 자료 소개

[T10_S03] Modeling & Measuring Large Signal PDN Crosstalk & Ground Bounce with a Multi-Phase VRM System Using a Fast Multi-Domain BGA Step Load, B. Danna, Signal Edge Solutions

- ✓ Ground Bounce 측정을 위해 Loop area를 최소화하고 1MHz 대역에서 120dB 이상의 CMRR을 제공하는 광 절연 프로브 시스템을 적용함
- ✓ Ground Bounce는 주로 공유된 Return path의 인덕턴스와 Aggressor 전류의 di/dt가 상호 작용하여 발생하는 국지적인 전압 변동 현상으로 정의
- ✓ 분석 결과, 추가적인 Ground plane이 적용된 8-Layer 기판이 전류를 내부 층으로 분산시켜 6-Layer 기판 대비 Ground Bounce를 감소시키는 것으로 확인



[높은 CMRR 확보를 위해 광 절연(Optically isolated) 프로브가 적용된 측정 환경]



Simulated DUT - VIC CURRENT ON	G1.1	G1.2	G4.L	Units
6L with 470 μ F	3.5	2.0	1.3	mVpp
8L with 470 μ F	1.1	2.2	1.2	mVpp
Simulated DUT - VIC CURRENT OFF	G1.1	G1.2	G4.L	Units
6L with 470 μ F	2.5	2.0	1.4	mVpp
8L with 470 μ F	0.6	2.3	1.3	mVpp

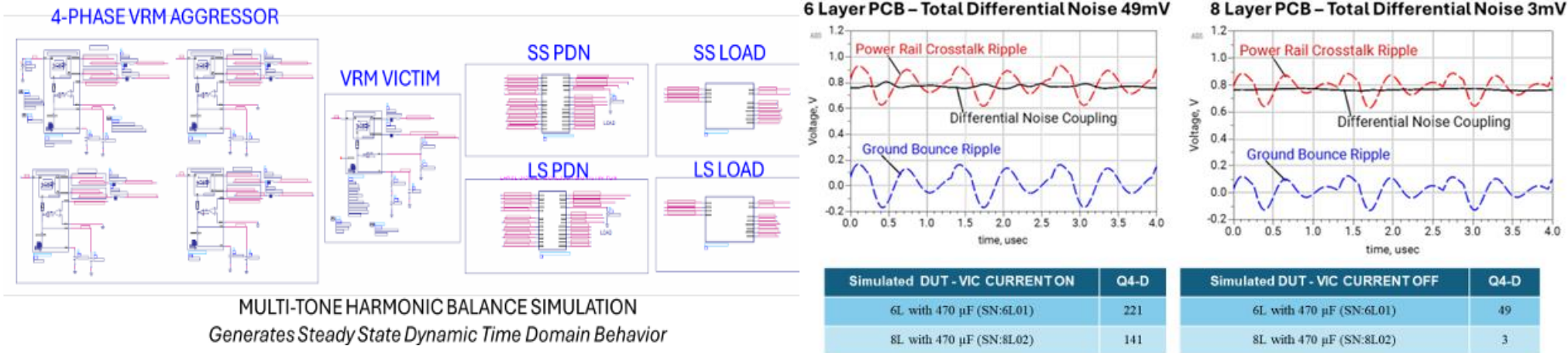
Figure 22 - Simulated Ground Bounce at Locations G1.1 and G1.2

[6-Layer 및 8-Layer 구조에 따른 특정 위치(G1.1, G1.2)의 Ground Bounce 시뮬레이션 비교]

3. DesignCon 2026 자료 소개

[T10_S03] Modeling & Measuring Large Signal PDN Crosstalk & Ground Bounce with a Multi-Phase VRM System Using a Fast Multi-Domain BGA Step Load, B. Danna, Signal Edge Solutions

- ✓ 동적 제어 루프 및 대신호 스위칭 동작을 예측하기 위해 SSAM(State-Space Average Model) 기반의 Harmonic Balance 시뮬레이션을 수행함
- ✓ Crosstalk은 Aggressor에서 Victim으로 전달되는 Net-to-net 커플링 현상으로, Power rail과 Ground rail 간의 차동(Differential) 노이즈 리플을 통해 분석됨
- ✓ 측정 및 시뮬레이션 결과, 8-Layer 구조가 대칭적인 커플링 환경을 형성하여 노이즈 상쇄(Cancellation) 측면에서 6-Layer 구조보다 유리한 특성을 보임



[정상 상태의 시간 영역 동적 동작을 예측하기 위한 Multi-Tone Harmonic Balance 시뮬레이션 구조]

[6-Layer 및 8-Layer 보드에서 Victim Power Rail에 유도된 Power/Ground 차동 노이즈 리플]

3. DesignCon 2026 자료 소개

[T10_S03] Modeling & Measuring Large Signal PDN Crosstalk & Ground Bounce with a Multi-Phase VRM System Using a Fast Multi-Domain BGA Step Load, B. Danna, Signal Edge Solutions

Summary

- ✓ 고전류 다중 도메인 전원 시스템에서 발생하는 PDN Crosstalk 및 Ground Bounce 현상을 측정하고 디지털 트윈 시뮬레이션과 교차 검증하는 방법론을 제시함
- ✓ 높은 CMRR을 갖춘 프로브 설계와 독립적인 Step Load 컨트롤러를 활용하여 측정 환경의 노이즈 성분을 분리하고 측정 불확실성을 제한함
- ✓ Harmonic Balance 시뮬레이션을 통해 하드웨어 측정 결과와 높은 일치도를 보이는 주파수 및 시간 영역의 노이즈 예측 모델을 구현
- ✓ 단순한 기판의 Layer 수 증가보다 대칭적인 레이아웃 및 최적화된 Ground Return Path 설계가 시스템 노이즈 저감에 효과적임을 확인

3. DesignCon 2026 자료 소개

[T01_S06] Supercharging SoC Power Integrity with Silicon Capacitors, L. Vassalli, Empower Semiconductor

- ✓ AI 및 고성능 컴퓨팅(HPC)의 발전으로 칩셋 전력 밀도(Power Density)가 급증함에 따라 기존 MLCC 기반 전력 전달 네트워크(Power Delivery Network, PDN)의 한계가 드러나고 있음
- ✓ 기존 방식의 높은 등가직렬 인덕턴스(ESL)로 인한 중고주파수 대역의 Impedance Peaking과 성능 저하를 극복하기 위해, Ultra-low ESL을 지닌 새로운 Decoupling 솔루션에 대한 요구 심화되고 있음

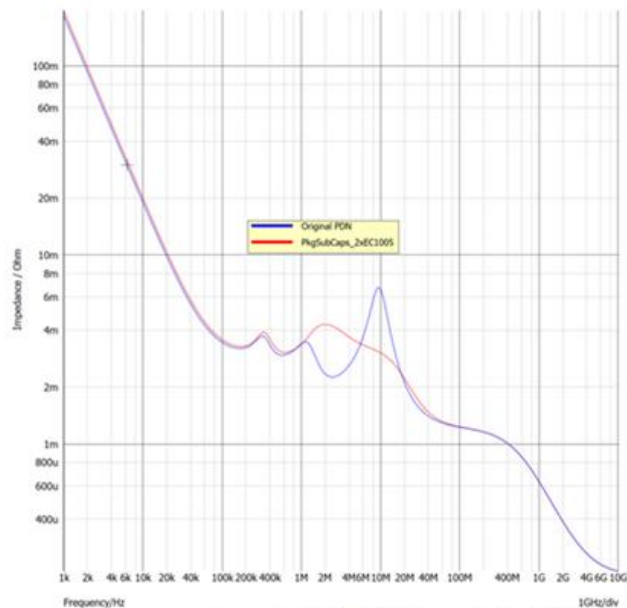


Figure 1. Impedance vs Freq comparison between original PDN with MLCCs vs with Embedded Silicon Capacitors

[기존 MLCC 모델과 내장형 실리콘 커패시터를 사용한 모델 간의 임피던스-주파수 비교]

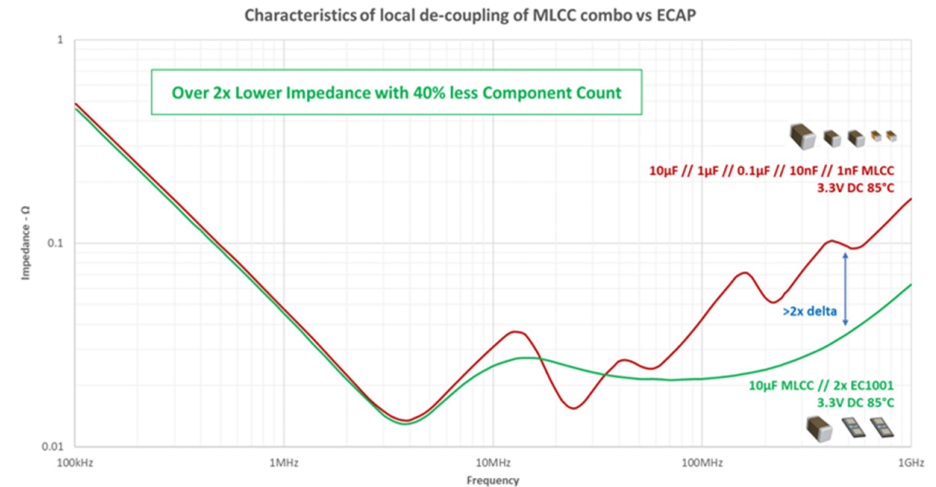


Figure 7. PDN impedance comparing network of MLCCs vs Bulk MLCC + Silicon Caps

[대용량 MLCC와 실리콘 커패시터 조합 시 2배 이상 낮은 임피던스 특성]

3. DesignCon 2026 자료 소개

[T01_S06] Supercharging SoC Power Integrity with Silicon Capacitors, L. Vassalli, Empower Semiconductor

- ✓ 표준 반도체 공정을 활용한 실리콘 커패시터(Silicon Capacitor)는 전압 및 온도 변화에도 임피던스(Impedance)가 변하지 않는 높은 안정성과 월등한 체적 밀도(Volumetric Density)를 제공
- ✓ 초박형 두께(Ultra-thin Profile) 및 다중 단자(Multi-terminal) 등 공간 제약이 심한 패키지 환경에서도 유연하게 통합할 수 있는 맞춤형 Form Factor를 지원하므로 해당 실리콘 커패시터의 도입 제안

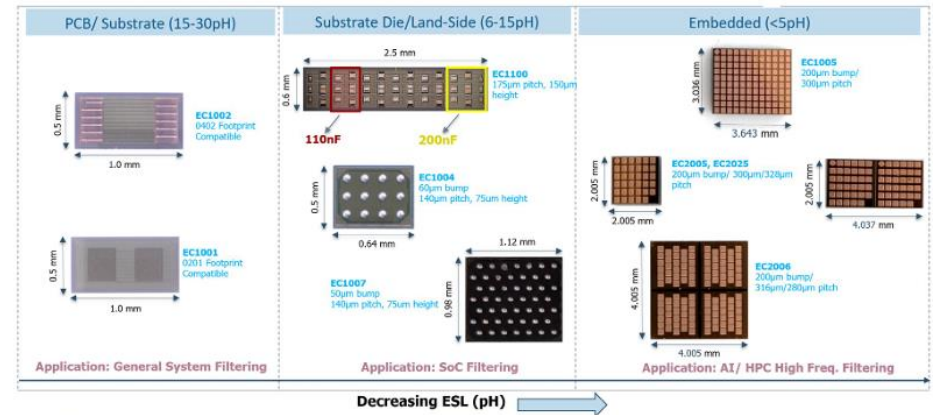
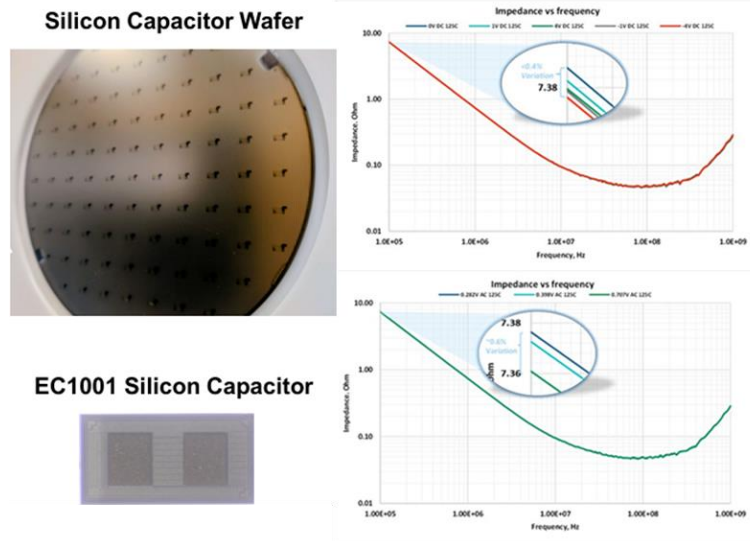


Figure 4. Silicon capacitors can look like typical MLCCs as well as take on a variety of other form factors

[직류 바이어스 및 고온 환경에서도
변함없는 실리콘 커패시터의 임피던스 안정성]

[기존 MLCC 형태 뿐만 아니라
다양하게 맞춤 제작 가능한 실리콘 커패시터의 형태]

3. DesignCon 2026 자료 소개

[T01_S06] Supercharging SoC Power Integrity with Silicon Capacitors, L. Vassalli, Empower Semiconductor

- ✓ 실리콘 커패시터를 프로세서 다이(Die)와 가장 가까운 랜드사이드(Landside)나 패키지 기판 내부 코어(Core)에 직접 내장(Embedded) 배치하여 교류(AC) 응답 성능을 극대화
- ✓ 초근접 디커플링(Proximity Decoupling) 설계를 통해 수백 암페어의 급격한 부하 변동에도 목표 임피던스(Target Impedance)를 평탄하게 유지하는 차세대 초고밀도 전력 전달 시스템(Power Delivery System)의 완성 전망

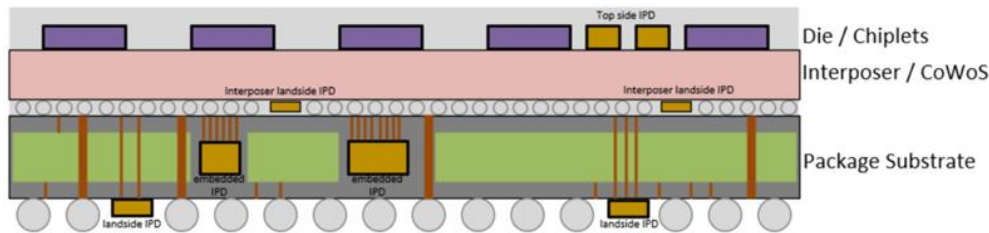


Figure 13. Cross-section of a typical xPU package illustrating IPD / Silicon Capacitor locations

[다이 주변, 랜드사이드, 기판 내부 코어 등
실리콘 커패시터를 포함하는 xPU 패키지 단면도]

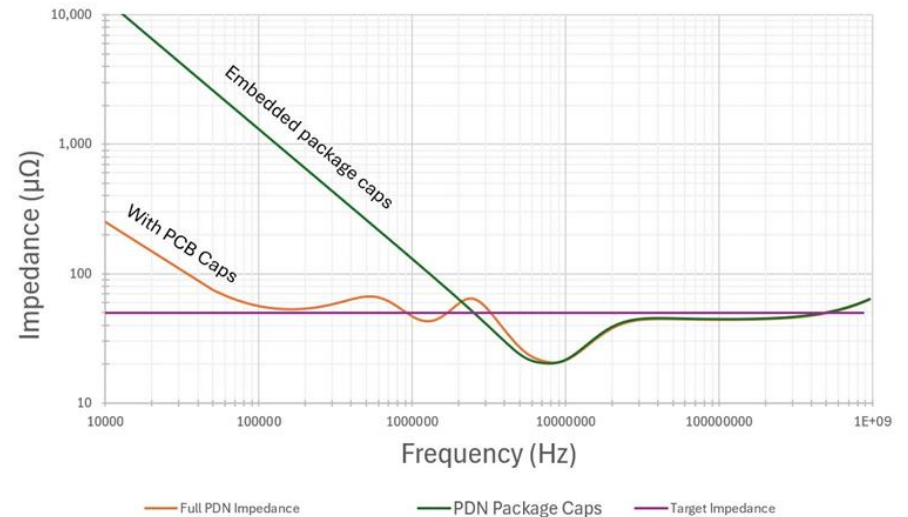


Figure 16. PDN frequency profile with 50µOhm target impedance

[패키지 내장 커패시터를 통해 50µΩ 수준의 목표
임피던스 달성 과정을 보여주는 주파수 Profile]

3. DesignCon 2026 자료 소개

[T01_S06] Supercharging SoC Power Integrity with Silicon Capacitors, L. Vassalli, Empower Semiconductor

Summary

- ✓ AI/HPC 시스템에서 기존 MLCC 기반 PDN은 ESL로 인한 impedance peaking 문제로 전력 무결성 한계에 도달
- ✓ 저 ESL·고밀도 silicon capacitor를 활용하여 PDN 임피던스를 평탄화하고 mid-frequency noise를 효과적으로 억제하는 방법을 제안
- ✓ 패키지 내 근접 배치를 통해 전원 노이즈 감소, 전압 안정성 향상, 전력 효율 개선이 가능함을 시스템 레벨에서 입증

3. DesignCon 2026 자료 소개

[T03_S03] Optimizing Host Output (TP1a) Equalization & Signal Tuning for Linear Optical Links in 106/112 Gb Linear Pluggable Optics Systems, H. Wu, Altera

- ✓ 기존 DSP(Digital Signal Processor)를 제거하여 전력 소비와 지연 시간을 대폭 줄인 106/112 Gb 선형 플러그어블 광학(Linear Pluggable Optics, LPO) 시스템의 도입이 AI 및 데이터 센터 환경에서 빠르게 증가함
- ✓ 모듈 내부에 진보된 등화기(Equalization)가 부재함에 따라, 광 변환 직전의 호스트 전기 출력단인 TP1a 테스트 포인트에서의 신호 무결성(Signal Integrity) 검증 및 송신기(Transmitter, TX) 튜닝의 중요성 대두

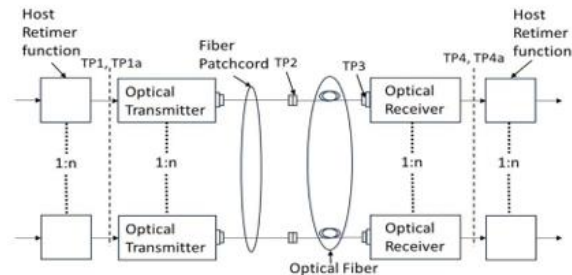


Figure 1 Link block diagram of Linear Optical Interconnect. Cited from 100G-DR-LPO Figure 1.

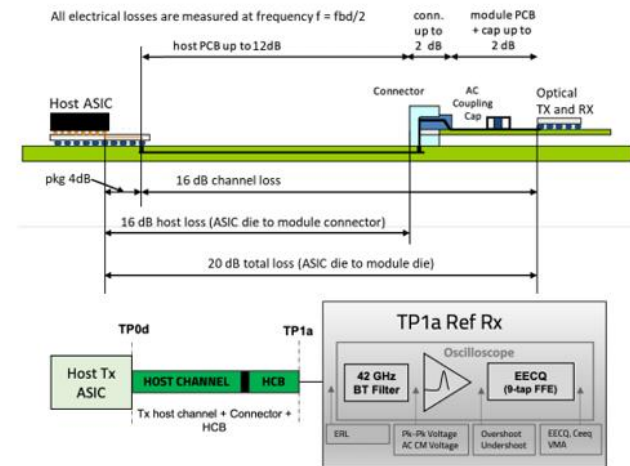


Figure 3 Measurement Setup for TP1a. Cited from 100G-DR-LPO Figure 4.

[선형 광학 인터커넥트의 링크 블록 다이어그램]

[TP1a 측정 설정 및 42 GHz BT 필터 구성도]

3. DesignCon 2026 자료 소개

[T03_S03] Optimizing Host Output (TP1a) Equalization & Signal Tuning for Linear Optical Links in 106/112 Gb Linear Pluggable Optics Systems, H. Wu, Altera

- ✓ 안정적인 LPO 시스템 구현을 위해서는 TP1a에서 요구되는 3대 핵심 규정 준수 지표인 전압 변조 진폭(Voltage Modulation Amplitude, VMA), 전기적 안구 폐쇄(Electrical Eye Closure for PAM4, EECQ), 전기적 등화기 노이즈 증폭 계수(Ceeq)를 엄격히 충족해야 함
- ✓ 호스트 송신기의 피드포워드 등화기(Feed-Forward Equalizer, FFE) 탭 계수 및 출력 진폭(Output Amplitude)을 세밀하게 조절하여 신호 대 잡음 및 왜곡 비율(SNDR)을 극대화하는 시뮬레이션 및 튜닝 알고리즘 제시

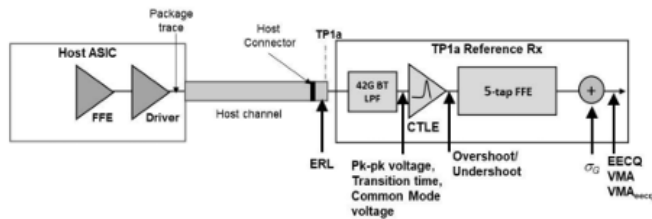


Figure 8 Host output (TP1a) reference and measurement points. Cited from OIF CEI-112G-LINEAR-PAM4, Figure 29-5.

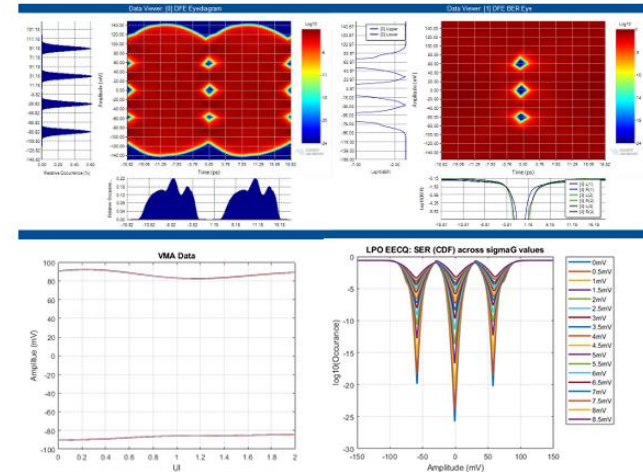


Figure 13 The top two figures present the results of the TP1a simulation. The bottom two illustrate the VMA and the cumulative density function (CDF) for different values of σ_G used in TP1a compliance testing.

[호스트 출력 TP1a 레퍼런스 및 측정 포인트를 보여주는 회로도]

[TP1a 시뮬레이션 결과로 도출된 안구 다이어그램 및 VMA/CDF 그래프]

3. DesignCon 2026 자료 소개

[T03_S03] Optimizing Host Output (TP1a) Equalization & Signal Tuning for Linear Optical Links in 106/112 Gb Linear Pluggable Optics Systems, H. Wu, Altera

- ✓ 다중 벤더(Multi-vendor)의 LPO 모듈을 활용한 연구실 환경 실험 결과, 기본 설정 대신 최적화된 호스트 송신기(TX) 튜닝을 적용했을 때 목표 사전 에러 정정(Pre-FEC) 비트 에러 비율(BER)을 안정적으로 달성
- ✓ 해당 연구의 TP1a 최적화 프레임워크는 현재 세대의 성능 확보를 넘어, 채널 손상(Channel Impairment)이 더욱 심화될 차세대 212/224 Gbps 고속 LPO 링크 설계 및 표준화 작업에도 핵심적인 가이드라인이 될 것으로 전망

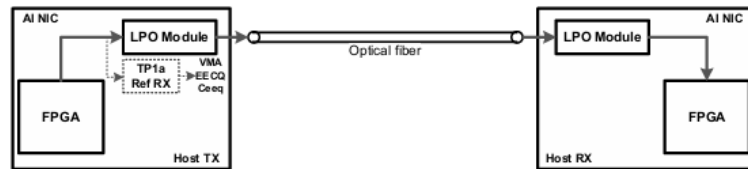


Figure 9 Topology of the complete LPO Link and TP1a simulation/analysis.

[AI NIC 및 광섬유를 포함한
전체 LPO 링크 및 TP1a 시뮬레이션 토폴로지]

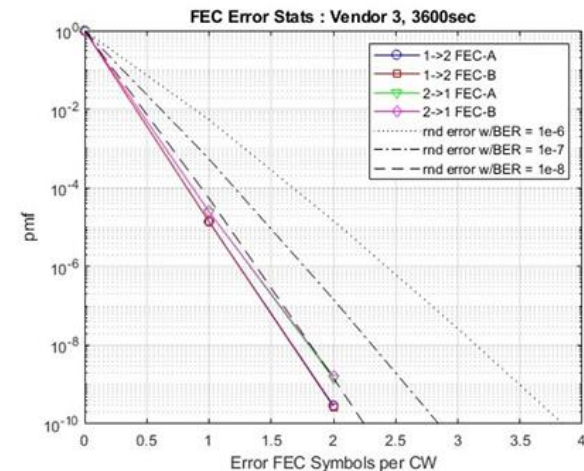


Figure 14 FEC Error Statistics

[최적화된 모듈의 FEC 에러 통계 및 성능을 보여주는 그래프]

3. DesignCon 2026 자료 소개

[T03_S03] Optimizing Host Output (TP1a) Equalization & Signal Tuning for Linear Optical Links in 106/112 Gb Linear Pluggable Optics Systems, H. Wu, Altera

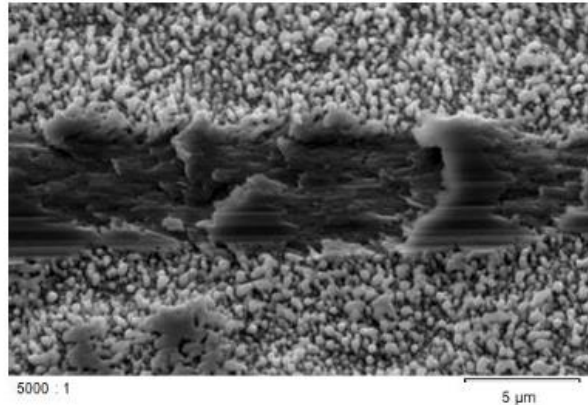
Summary

- ✓ DSP 없는 LPO(Linear Pluggable Optics) 시스템에서 핵심 테스트 포인트인 TP1a 신호 품질 최적화 방법을 제안
- ✓ FIR equalization과 TX swing tuning을 통해 EECQ, VMA, Ceeq 개선 및 SER/BER 목표 달성을 실험적으로 검증
- ✓ Vendor 별 입력 특성 차이를 분석하고, 향후 212/224Gbps LPO 설계를 위한 확장 가능성을 제시

3. DesignCon 2026 자료 소개

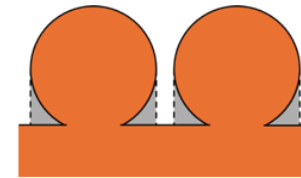
[T04_S05] Beyond Roughness Measurement: A Novel Method for High-Frequency Electrical Characterization of Copper Foils., T. Devahif, Circuit Foil Luxembourg

- ✓ 고주파 대역의 신호 무결성(Signal Integrity) 평가를 위해 표면 거칠기(Surface Roughness)를 측정해 왔으나, 기존 기기로는 최신 초저조도(HVLP) 동박의 미세 구조를 파악하는 데 명확한 한계 노출
- ✓ 전체 보드 제작이 필요한 기존의 삽입 손실(Insertion Loss) 측정 역시 비용과 시간 소모가 크므로, 동박 고유의 전기적 특성만을 분리해 낼 수 있는 새로운 직접 평가 방식의 필요성 대두



SEM picture showing the trace left by a needle-profilometer with 2 μm tip diameter on the treatment of an HVLP2-grade copper foil

[Needle-Profilometer가 표면을 긁고 지나간 흔적을 보여주는 SEM 사진]



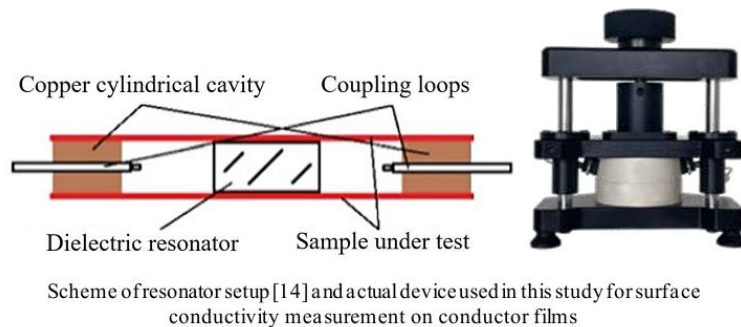
Scheme of spherical nodules on copper surface with the actual profile detected by most roughness measurements in dotted lines

[측정 팁이 구형 노듈(Spherical Nodule)의 실제 굴곡을 감지하지 못하는 단면 모식도]

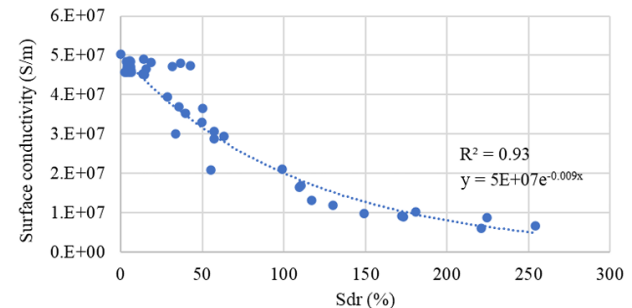
3. DesignCon 2026 자료 소개

[T04_S05] Beyond Roughness Measurement: A Novel Method for High-Frequency Electrical Characterization of Copper Foils., T. Devahif, Circuit Foil Luxembourg

- ✓ 공진기(Resonator)를 활용한 측정 방식은 금속 표면의 손실만을 격리하여, 고주파 환경에서의 유효 표면 전도도(Effective Surface Conductivity)를 신속하고 정밀하게 도출함
- ✓ 표면 전개 면적 비율(Sdr)과 표면 전도도 간의 강력한 상관관계를 확인했으며, 고주파 스킨 뎀스(Skin Depth)보다 작은 노듈(Nodule)을 가진 최신 소재에서 발생하는 예외적 특성까지 분석



[측정 팁이 구형 노듈(Spherical Nodule)의 실제 굴곡을 감지하지 못하는 단면 모식도]



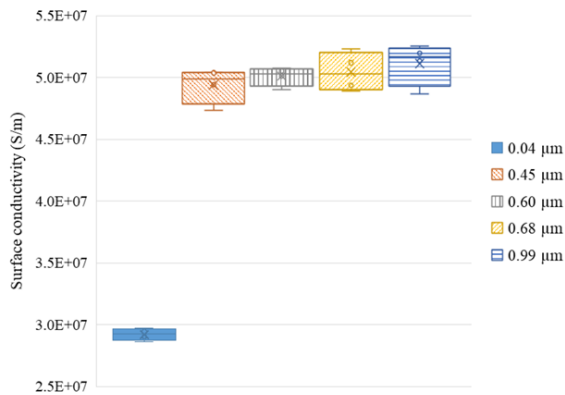
Surface conductivity at 20 GHz of various copper foils depending on their Sdr

[표면 거칠기 지표(Sdr)에 따라 달라지는 다양한 구리 포일의 20 GHz 표면 전도도 특성]

3. DesignCon 2026 자료 소개

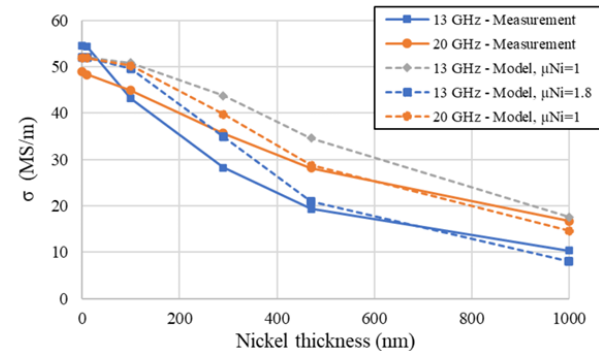
[T04_S05] Beyond Roughness Measurement: A Novel Method for High-Frequency Electrical Characterization of Copper Foils., T. Devahif, Circuit Foil Luxembourg

- ✓ 결정립 크기(Grain Size)가 클수록 결정계면 산란(Grain-boundary Scattering)이 줄어들어 전도도가 향상되며, 이는 고주파 대역에서도 유의미한 성능 차이를 유발함을 증명
- ✓ 니켈(Nickel) 기반 초박막 패시베이션(Passivation) 층은 주파수가 높아질수록 상자성(Paramagnetic) 특성을 상실하여, 20 GHz 대역에서는 신호 전도도 저하에 미치는 악영향이 0.5% 미만으로 극히 미미함을 규명



Surface conductivity at 20 GHz depending on grain size

[결정립 크기에 따라 변화하는 20 GHz에서의 표면 전도도 특성]



Correlation between nickel coating thickness on copper foil and surface conductivity at 13 and 20 GHz. Measurements with resonator in solid lines and numerical simulation in dotted lines, with several assumptions on the paramagnetic permeability of nickel

[구리 포일 위 니켈 코팅 두께와 13 GHz 및 20 GHz에서의 표면 전도도 간의 상관관계]

실선은 공진기(resonator)를 이용한 측정 결과이며, 점선은 니켈의 상자성 투자율에 대한 여러 가정을 적용한 수치 시뮬레이션 결과

3. DesignCon 2026 자료 소개

[T04_S05] Beyond Roughness Measurement: A Novel Method for High-Frequency Electrical Characterization of Copper Foils., T. Devahif, Circuit Foil Luxembourg

Summary

- ✓ 차세대 고주파 통신 및 전자기기 설계에서 도체 손실(Conductor Loss)의 정확한 예측은 필수적이거나, 기존의 거칠기 분석이나 삽입 손실(Insertion Loss) 테스트만으로는 동박 고유의 손실 특성을 온전히 파악하기 어려움
- ✓ 본 연구에서 도입한 공진기(Resonator) 기반 측정법은 표면 거칠기 뿐만 아니라, 결정립 크기(Grain Size)와 Passivation 코팅층이 고주파 손실에 미치는 영향을 개별적으로 분리해 정량화 하는 분석 프레임워크를 제공
- ✓ 실제 삽입 손실 데이터와의 완벽한 정렬을 통해 신뢰성을 검증 받은 해당 기법은, 향후 회로 설계자(Circuit Designer)에게 Loss Modeling 데이터를 제공하여 차세대 초 저손실 소재의 개발 주기를 획기적으로 단축할 전망

3. DesignCon 2026 자료 소개

[T05_S4] Enabling High-Speed Die-to-Die Interfaces with Wallstrip: A Study on Insertion Loss & Crosstalk Metrics with a Novel Transmission Line Structure, S. Newberry, Chipletz

- ✓ 무어의 법칙(Moore's Law) 한계 극복을 위해 고성능 컴퓨팅 시스템은 단일 다이(Monolithic Die)에서 다중 칩렛(Chiplet) 구조로 전환 중이며, 이를 통해 비용 절감과 수율 향상 도모
- ✓ 기존 인터포저(Interposer) 기반 구조의 한계를 넘어 유기 기판(Organic Substrate) 내 미세 피치 라우팅을 활용해 삽입 손실(Insertion Loss)과 크로스토크(Crosstalk)를 개선할 새로운 다이 간(Die-to-Die) 인터페이스 설계 요구 증대

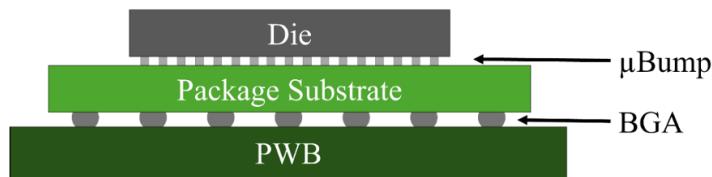


Figure 1: Flip-chip attachment of a traditional, monolithic die through an organic package substrate.

[유기 패키지 기판을 통한 전통적인 단일 다이의 플립칩 부착 구조]

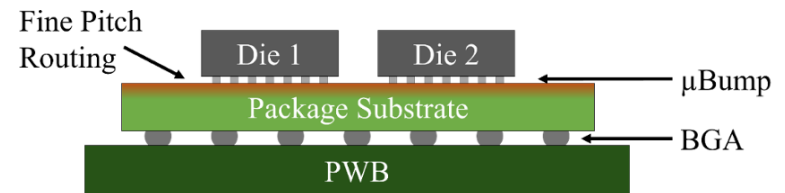


Figure 3: A device in which the chiplet dies are attached with a μ bump interface directly onto a package substrate without an interposer. The substrate integrates fine-pitch routing in its upper layers to accommodate high-density, die-to-die interconnect.

[인터포저 없이 μ Bump 인터페이스를 통해
패키지 기판에 직접 부착된 칩렛 다이 소자로, 고밀도
다이 간 상호 연결을 위해 상단 층에 미세 피치 라우팅을 한 단면도]

3. DesignCon 2026 자료 소개

[T05_S4] Enabling High-Speed Die-to-Die Interfaces with Wallstrip: A Study on Insertion Loss & Crosstalk Metrics with a Novel Transmission Line Structure, S. Newberry, Chipletz

- ✓ 월스트립 (Wallstrip)은 신호선(Signal Trace)과 기준선(Reference Trace)을 수평으로 나란히 배치하여 상하단 기준면(Reference Plane) 없이도 밀집된 환경에서 우수한 신호 무결성(Signal Integrity)을 확보하는 전송 선로(Transmission Line) 구조임
- ✓ 두꺼운 유전체(Dielectric)와 도체를 활용해 기존 마이크로 스트립의 임피던스(Impedance) 특성을 유지하면서 극도로 공간이 제약된 패키지 환경에서 초고밀도 라우팅을 가능케 하는 최적화된 형태 제시

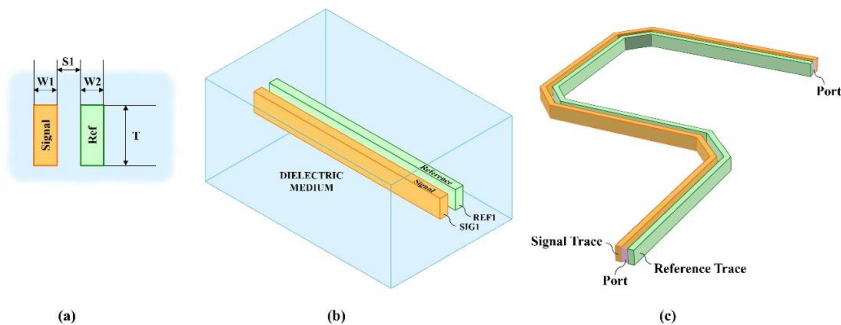


Figure 4: Wallstrip transmission line structure including (a) dimensioned cross-section, (b) isometric view of straight section and (c) example of routed section including trace bends and simulation ports.

[(a) 치수가 표시된 단면, (b) 직선 구간의 등각 투영도 (c) 곡선 Trace와 시뮬레이션 포트가 포함된 라우팅 구간 예시를 보여주는 wallstrip 전송 선로 구조]

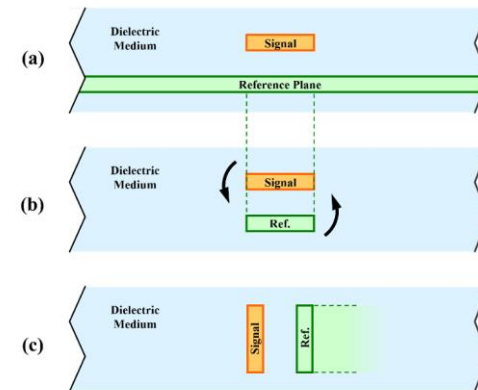


Figure 5: Evolution from microstrip to Wallstrip beginning with (a) traditional microstrip, (b) cutting the reference plane and (c) rotating the entire structure. Note that the reference trace may be of variable width when compared to the signal trace.

[[(a) 기존 마이크로스트립, (b) 기준면 절단, (c) 전체 구조 회전으로 이어지는 마이크로 스트립에서 월 스트립으로의 진화 과정. 기준선은 신호선 대비 가변적인 폭을 가질 수 있음]

3. DesignCon 2026 자료 소개

[T05_S4] Enabling High-Speed Die-to-Die Interfaces with Wallstrip: A Study on Insertion Loss & Crosstalk Metrics with a Novel Transmission Line Structure, S. Newberry, Chipletz

- ✓ UCle 규격 기준 2mm 채널 길이 시뮬레이션 결과, 월스트립 구조는 기존 실리콘 브릿지(Silicon Bridge) 방식 대비 삽입 손실을 대폭 개선하여 더 넓고 안정적인 채널 아이 마진(Eye Margin) 확보
- ✓ 실리콘 브릿지는 32 GT/s 속도에서 최대 2.2mm까지만 규격을 충족하는 반면, 월스트립은 최대 3.5mm 길이까지 확장이 가능하며 최고 58 GT/s의 초고속 데이터 전송 속도(Data Rate) 지원 입증

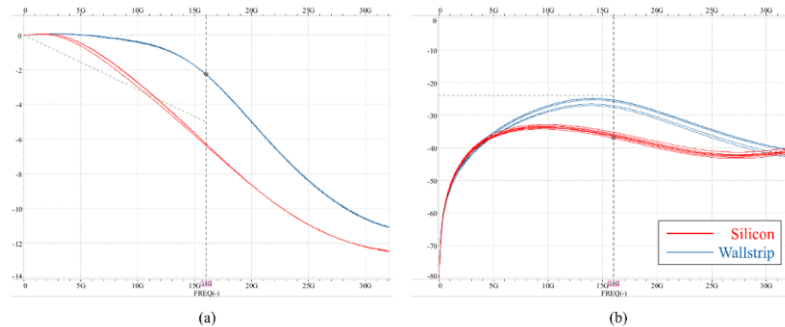


Figure 21: VTF Loss (a) and XT (b) for the Wallstrip and silicon bridge configurations with 2mm channel length. Vertical axis units in dB; UCle specification limit shown with dotted line.

[2mm 채널 길이를 가진 월스트립 및 실리콘 브릿지 구성의
(a) 전압 전달 함수(VTF) 손실 및 (b) 크로스토크
세로축 단위는 dB, 점선 : UCle 규격]

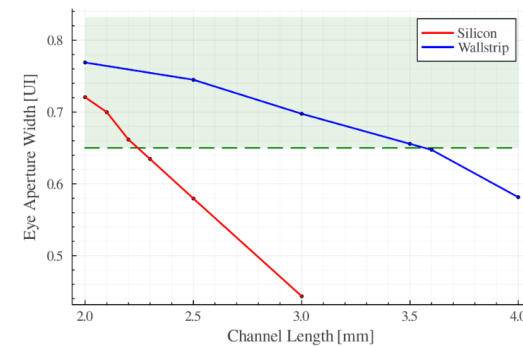


Figure 23: Plot comparing the Wallstrip and silicon bridge configurations describing the width of a 40 mV eye aperture across variation in channel length.

[채널 길이 변화에 따른 40mV 아이 개구폭을 설명하며 월스트립
과 실리콘 브릿지 구성을 비교]

3. DesignCon 2026 자료 소개

[T05_S4] Enabling High-Speed Die-to-Die Interfaces with Wallstrip: A Study on Insertion Loss & Crosstalk Metrics with a Novel Transmission Line Structure, S. Newberry, Chipletz

Summary

- ✓ 고성능 칩렛(Chiplet) 아키텍처의 핵심인 다이 간(Die-to-Die) 통신 성능 극대화를 위해 유기 기판(Organic Substrate) 환경에 맞춤 설계된 월 스트립(Wallstrip) 라우팅 기술의 검증
- ✓ 해당 구조는 하드웨어 측정과 시뮬레이션 바탕으로 실효성을 증명했으며, 기존 실리콘 브릿지 방식 대비 삽입 손실(Insertion Loss)을 줄이고 채널 도달 거리를 약 59% 연장하는 성능 발휘
- ✓ 라우팅 층수(Layer Count)까지 고려한 새로운 지표인 라우팅 면적당 대역폭 밀도(BDRA) 측면에서 실리콘 브릿지 대비 50% 향상된 수치를 제공하므로, 향후 이중 시스템 설계 시 에너지 효율 및 공간 활용도를 높일 대안으로 전망

3. DesignCon 2026 자료 소개

[T06 S8] A Comprehensive Electrical Loopback Methodology for 224 Gb/s PAM4 1.6T Ethernet Port Validation, J. Yang, Ruijie Networks

- ✓ 1.6-TbE 시스템의 224-Gb/s PAM4 직렬 변환기(SerDes)는 극심한 물리적 채널 손실(Channel Loss) 한계에 직면해 있으며, 기존 광 모듈이나 구리 케이블(DAC/AEC) 기반 검증 방식은 높은 비용과 신호 무결성(Signal Integrity) 변동성 문제 노출
- ✓ 다양한 호스트 채널 환경에서도 일관되고 확장 가능한 I/O 포트 검증을 수행하기 위해, 수동형(Passive), 선형 리드라이버(Linear Redriver), 리타이머(Retimer) 기반의 전기적 루프백(Electrical Loopback) 테스트 방법론 도입 제안

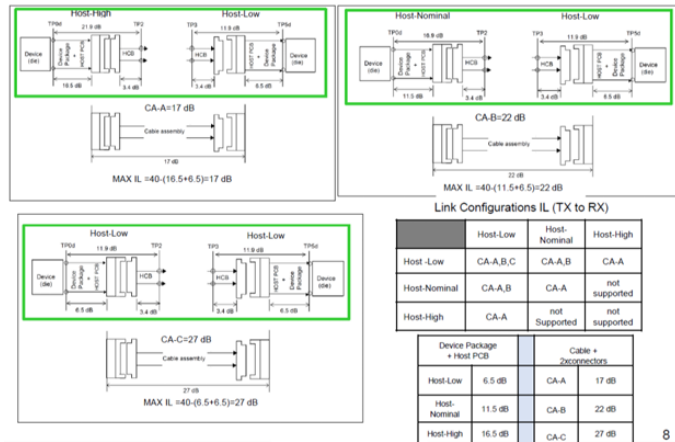


Figure 1 IEEE 802.3dj D2 Asymmetrical link insertion losses

[IEEE 802.3dj D2 비대칭 링크 삽입 손실]



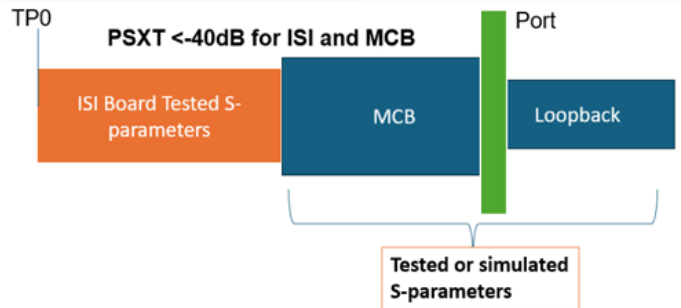
Figure 2. OSFP 1600G Active Loopback Module (Wandtec Optronics Co., Ltd)

[OSFP 1600G 액티브 루프백 모듈 (Wandtec Optronics Co., Ltd)]

3. DesignCon 2026 자료 소개

[T06_S8] A Comprehensive Electrical Loopback Methodology for 224 Gb/s PAM4 1.6T Ethernet Port Validation, J. Yang, Ruijie Networks

- ✓ 심볼 간 간섭(ISI) 보드를 활용하여 수동형 루프백(Passive Loopback)을 측정한 결과, 저손실 구간에서는 우수한 채널 추적성을 보이나 40dB 이상의 고손실 환경에서는 직렬 변환기(SerDes)의 복원 한계 초과
- ✓ 채널 운용 마진(COM) 분석 결과 수동형은 손실 주도형(Loss-dominated) 특성으로 기준을 통과(PASS)했으나, 극한의 삽입 손실(Insertion Loss) 환경에서는 등화(Equalization) 마진이 급격히 감소함 확인



[Channel configuration illustration]

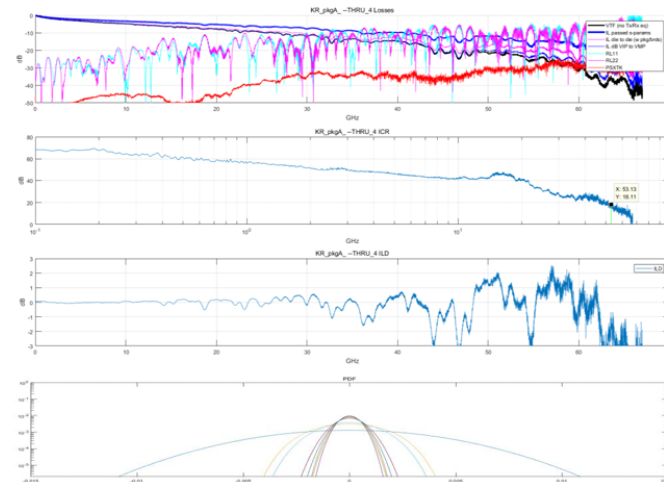


Figure 10. Insertion loss (IL), insertion loss deviation (ILD), integrated crosstalk ratio (ICR) and the voltage-based noise probability density functions (PDFs) for Channel 4

[(채널 4의 삽입 손실(IL), 삽입 손실 편차(ILD), 통합 크로스토크 비율(ICR) 및 전압 기반 노이즈 확률 밀도 함수(PDFs)]

3. DesignCon 2026 자료 소개

[T06 S8] A Comprehensive Electrical Loopback Methodology for 224 Gb/s PAM4 1.6T Ethernet Port Validation, J. Yang, Ruijie Networks

- ✓ 선형 리드라이버(Linear Redriver) 루프백은 아날로그 등화(Analog Equalization) 이득 단계를 통해 고주파수 감쇠를 보상하여 최대 12dB의 신호 진폭(Signal Amplitude)을 복원 가능을 확인
- ✓ 신호 보상 과정에서 근단누화(NEXT) 등 크로스토크(Crosstalk) 노이즈까지 동반 증폭되어, 채널 운용 마진(COM) 평가 시 기준치인 3dB 미만으로 실패(FAIL)하는 한계 노출

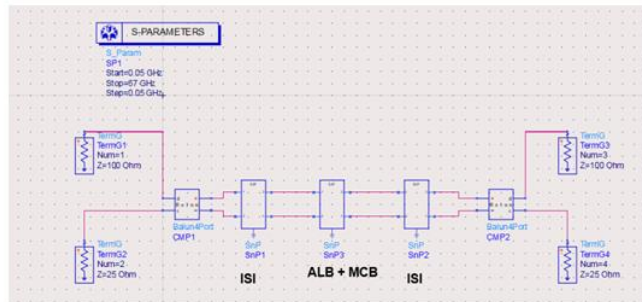


Figure 11. Schematic of simulation model for channel insertion loss with linear redrived LB

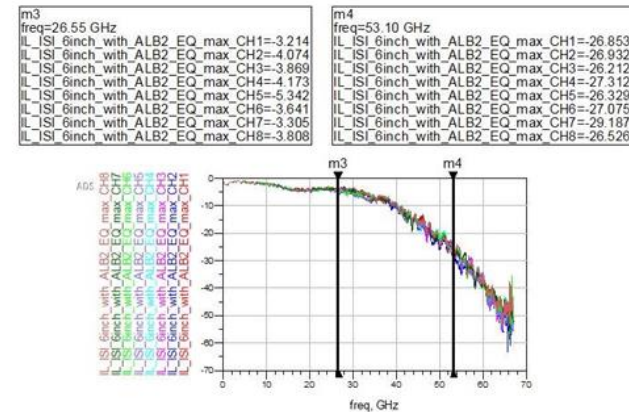


Figure 13. Cascaded simulation results of 6-inch ISI, MCB and redriver LB

[선형 리드라이버 루프백을 이용한 채널 삽입 손실 시뮬레이션 모델 개략도]

[(채널 4의 삽입 손실(IL), 삽입 손실 편차(ILD), 통합 크로스토크 비율(ICR) 및 전압 기반 노이즈 확률 밀도 함수(PDFs)]

3. DesignCon 2026 자료 소개

[T06_S8] A Comprehensive Electrical Loopback Methodology for 224 Gb/s PAM4 1.6T Ethernet Port Validation, J. Yang, Ruijie Networks

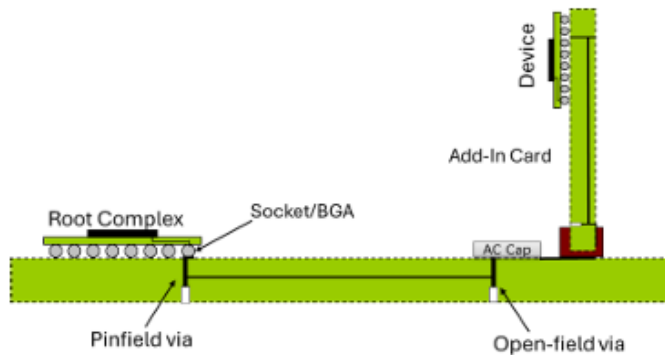
Summary

- ✓ 224-Gb/s PAM4 1.6T 이더넷 포트의 신뢰성 검증을 위해서는 수동형(Passive) 및 능동형(Active) Loopback 아키텍처별 손실 압축 성능과 한계를 종합적으로 고려한 접근 필수
- ✓ 중 저 손실 채널에서는 수동형 루프백이 채널 운용 마진(COM) 기준을 안정적으로 충족하며, Linear Redriver는 진폭 복원에는 유리하나 Noise Amplification문제로 인해 비트 에러 비율(BER) 등 보조적 평가 지표 동반 요구
- ✓ 고 손실(High-loss) 호스트 환경까지 완벽히 대응하기 위해서는 신호 자체를 재 생성하는 Retimer 루프백의 도입이 필수적이며, 이를 통해 확장 가능하고 일관된 차세대 통신 포트 검증 프레임워크 완성 전망

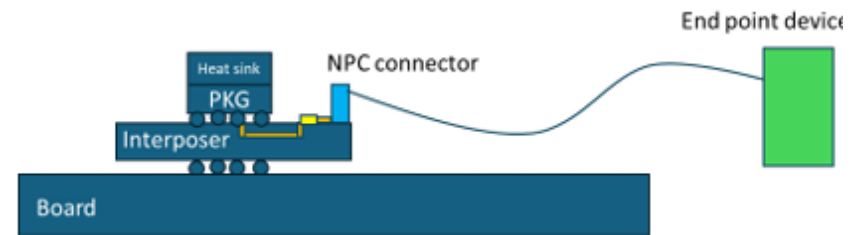
3. DesignCon 2026 자료 소개

[T07_S7] Top Side Interconnect Enabling for PCIe 7.0 & Beyond, D. Liu, Alibaba Cloud Computing

- ✓ 기존 PCIe 라우팅은 패키지에서 볼 그리드 어레이(BGA) 및 인쇄 회로 기판(PCB)을 거치는 과정에서 핀 필드(Pin Field) 영역의 높은 Crosstalk와 반사 손실(Reflection) 문제 노출
- ✓ 이러한 단점을 보완하기 위해 고속 신호가 기판을 거치지 않고 Interposer상단에서 근거리 패키지 커넥터(NPC)를 통해 End Point 기기로 직접 연결되는 Top Side Interconnect 아키텍처 제안



[기존 PCIe 플랫폼 토폴로지]



[Top side interconnect architecture]

3. DesignCon 2026 자료 소개

[T07_S7] Top Side Interconnect Enabling for PCIe 7.0 & Beyond, D. Liu, Alibaba Cloud Computing

- ✓ 실제 기판 제조 환경을 모사하기 위해 변형 세미 애디티브 공정(mSAP)을 적용한 테스트 보드(Test Vehicle)를 설계하고, 극소형 01005 교류(AC) 커패시터 및 1mm 동축 커넥터(Coaxial Connector) 배치
- ✓ 협소한 패키지 환경에서도 Stub 효과를 방지하고 임피던스(Impedance) 불일치를 최소화할 수 있도록 고밀도 Press-fit 방식의 8x8 근거리 패키지 커넥터(NPC) 핀 아웃 최적화 적용

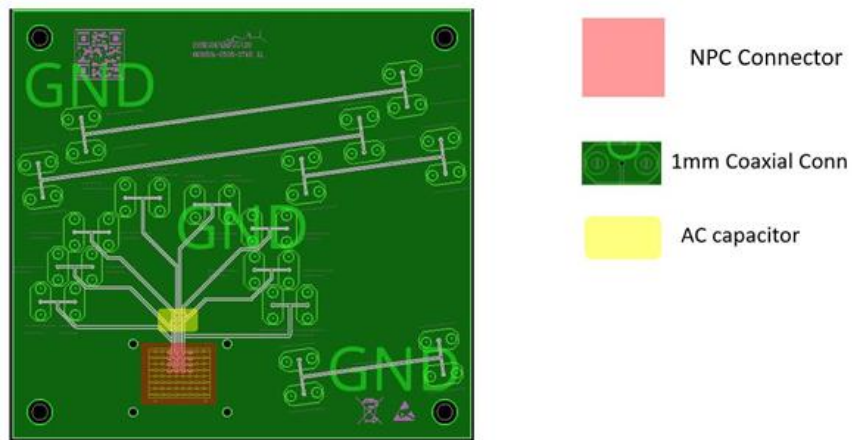


Figure 4. Test vehicle component placement.

[테스트 보드 부품 배치]

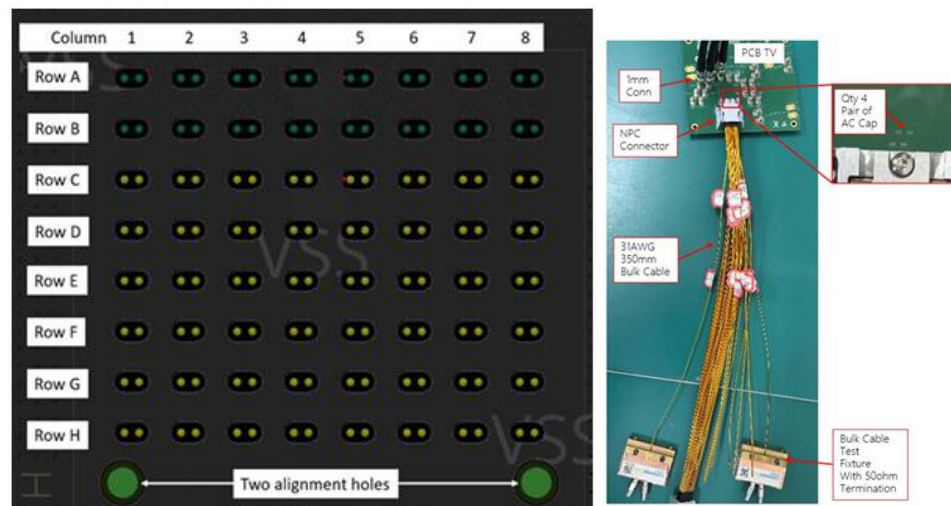


Figure 7. NPC connector pinout.

[NPC 커넥터 핀 배열 및 Xtalk 측정 setup]

3. DesignCon 2026 자료 소개

[T07_S7] Top Side Interconnect Enabling for PCIe 7.0 & Beyond, D. Liu, Alibaba Cloud Computing

- ✓ 주파수 영역 테스트 결과 기존 1 커넥터 및 2 커넥터 토폴로지(Topology) 대비 나이퀴스트(Nyquist) 주파수 대역에서 크로스토크(Crosstalk) 레벨이 10~15dB 이상 감소하는 향상된 신호 무결성(Signal Integrity) 입증
- ✓ PCIe 7.0 규격 기준의 링크 레벨 시뮬레이션 결과, 삽입 손실(Insertion Loss) 증가를 상쇄할 만큼 노이즈가 줄어들어 수신 및 송신 양방향 모두에서 상단 아이 너비(Top Eye Width)가 기존 대비 20~30% 향상됨

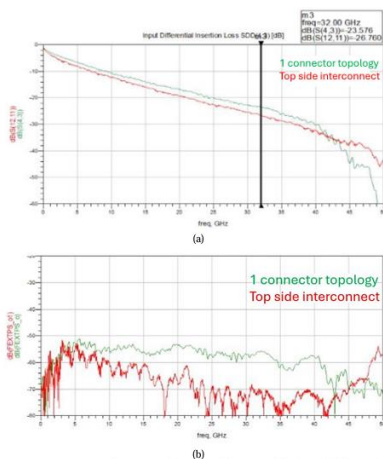


Figure 19. Frequency response of end-to-end channel performance: (a) Channel differential insertion loss for 1 connector topology vs top side interconnect. (b) Powersum of differential crosstalk for 1 connector topology vs top side interconnect.

[Frequency response of end-to-end channel performance:
(a) 1 커넥터 토폴로지 대 상단 Channel differential insertion loss
(b) 1 커넥터 토폴로지 대 상단 Power sum of differential crosstalk]

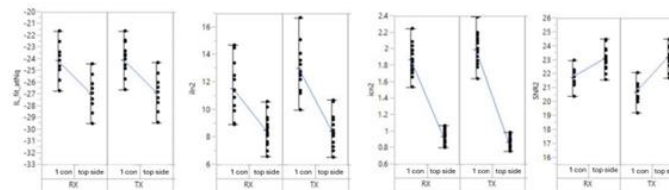


Figure 20. Time domain channel metric of insertion loss fit at Nyquist, integrated reflection noise and integrated crosstalk for 1 connector topology and top side interconnect for both Tx and Rx directions.

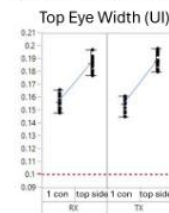


Figure 21. Top eye width for conventional 1 connector topology and top side interconnect for both Tx and Rx directions.

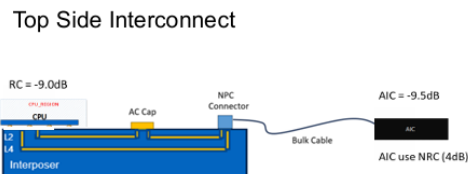
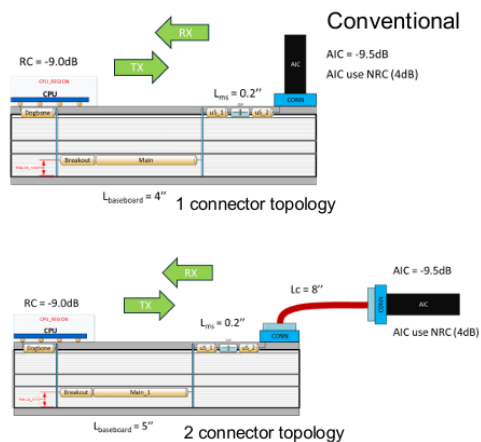
[Top eye width for conventional 1 connector topology and top side interconnect for both Tx and Rx directions]

3. DesignCon 2026 자료 소개

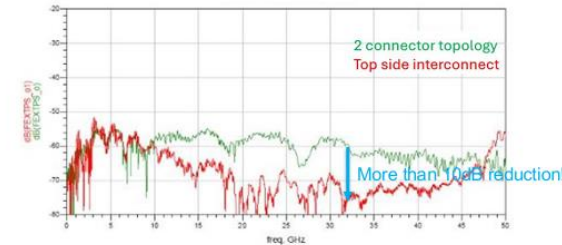
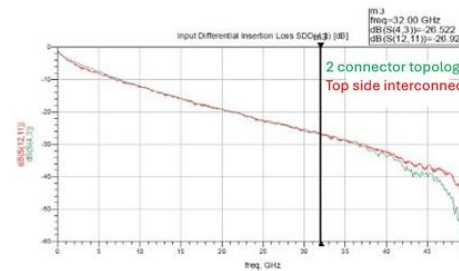
[T07_S7] Top Side Interconnect Enabling for PCIe 7.0 & Beyond, D. Liu, Alibaba Cloud Computing

Summary

- ✓ 차세대 128Gbps 이상의 고속 통신 환경에서는 기존 인쇄 회로 기판(PCB) 및 소켓(Socket)을 경유하는 라우팅 방식의 신호 간섭 문제가 시스템 성능 확장의 주요 병목 요소로 작용
- ✓ 이를 극복하기 위해 도입된 상단 상호연결(Top Side Interconnect) 구조는 근거리 패키지 커넥터(NPC)를 활용하여 고속 신호 경로를 단순화함으로써 신호 대 잡음비(SNR)와 채널 마진(Channel Margin)을 개선
- ✓ 해당 구조는 저속 신호의 기존 라우팅 방식과 병행 가능한 하이브리드(Hybrid) 형태로 적용 가능하며, 향후 서버 열 관리(Thermal Management) 및 기구 설계 최적화가 수반될 경우 PCIe 7.0 및 차세대 고속 네트워크 인터페이스 구축을 위한 실효성 있는 대안이 될 전망



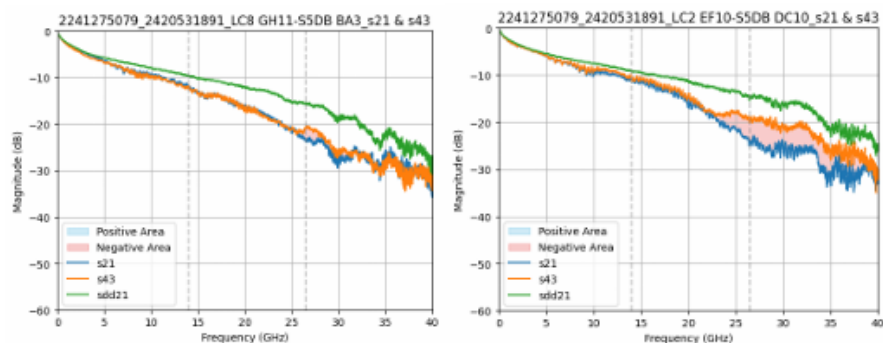
- Top side interconnect architecture will be compared with conventional PCIe topologies
 - 1 connector topology: basic PCIe topology
 - 2 connector topology: widely used topology
- RC (root complex) package and AIC are the same among all three topologies



3. DesignCon 2026 자료 소개

[T07_S15] Investigating PN Gap Anomalies in Backplane Cable Tray Design, Z. Qian, Cisco Systems

- ✓ 고속 차동 신호(Differential Signaling) 전송 시 P와 N 경로 간의 14~35 GHz 대역 내 단일 종단(Single-ended) 진폭 불균형으로 인해 발생하는 PN 갭(PN Gap) 현상 발견
- ✓ 해당 현상은 차동 삽입 손실(Sdd21) 등 표준 차동 모드(Differential-mode) 지표로는 감지되지 않아 기존의 규정 준수 테스트 방식이 가지는 물리적 감별 한계 노출



$$PN\ Gap = Signed\ Area = \sum_{i=1}^{n-1} \Delta x_i \cdot (y_1(x_i) - y_2(x_i)), \text{ for } x_i \in [14,35]$$

Figure 1 Quantification of P-N Gap under the magnitude imbalance envelope

[Quantification of P-N Gap under the magnitude imbalance envelope]

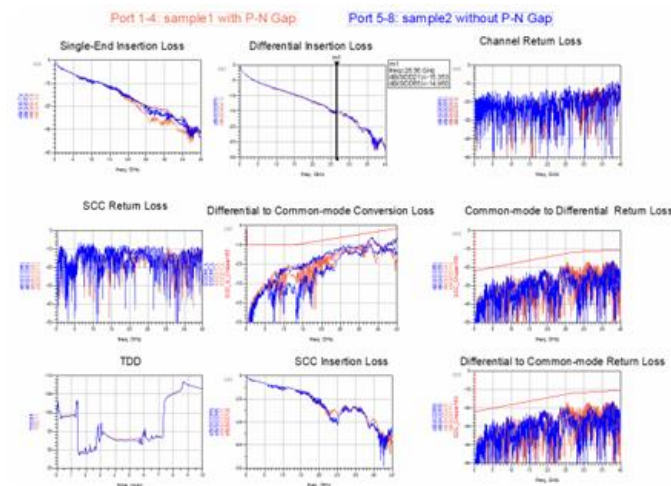


Figure 2 Comparing S-par performance between PN gap sample and un-gap sample

[Comparing S-par performance between PN gap sample and un-gap sample]

3. DesignCon 2026 자료 소개

[T07_S15] Investigating PN Gap Anomalies in Backplane Cable Tray Design, Z. Qian, Cisco Systems

- ✓ PN 갭은 주파수가 상승함에 따라 Skew 극성이 바뀌는 반전 현상을 동반하며, 절대값에만 의존하는 기존 Skew 평가지표(EIPS, FOM_SILD 등)로는 특성 파악 불가
- ✓ Transient Simulation 결과, PN 갭은 출력 파형 왜곡을 유발하고 Common Mode Voltage 노이즈를 증가시켜 SerDes 수신단 부담 가중

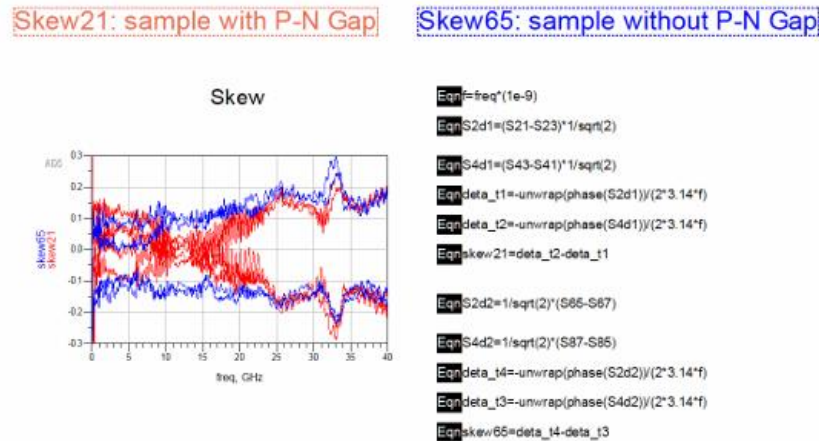


Figure 4 Calculating Skew value and comparing result with P-N Gap and Un-Gap samples

[Skew 값 계산 및 PN 갭 샘플과 정상 샘플 간의 결과 비교]

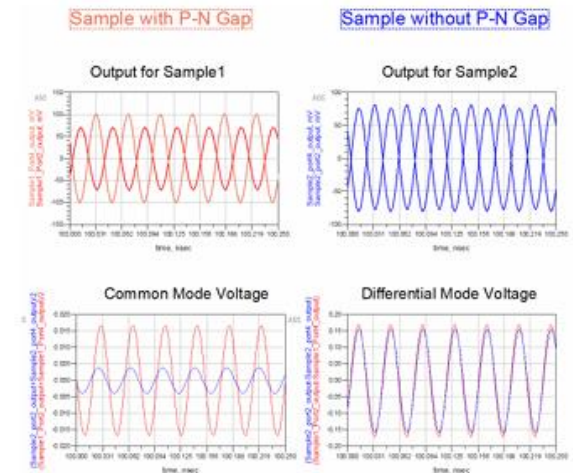


Figure 6 Result of trans simulation

[Transient 시뮬레이션 결과]

3. DesignCon 2026 자료 소개

[T07_S15] Investigating PN Gap Anomalies in Backplane Cable Tray Design, Z. Qian, Cisco Systems

- ✓ 웨이퍼(Wafer) 단계의 케이블에서는 나타나지 않던 PN 갭이 하네스(Harness) 조립 이후 통계적으로 급증함을 파악하여 제조 및 설치 중의 기계적 스트레스(Mechanical Stress)를 주요 원인으로 규명
- ✓ 케이블 꼬임을 풀고 물리적 구조를 곧게 펴는 스트레스 완화 실험을 진행한 결과, 단일 종단 진폭 불균형 및 공통 모드 변환 노이즈의 객관적인 지표 개선 확인

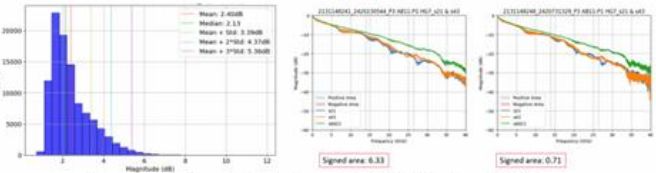


Figure 11 the statistical result of Wafer level Cable



Wafer level cable

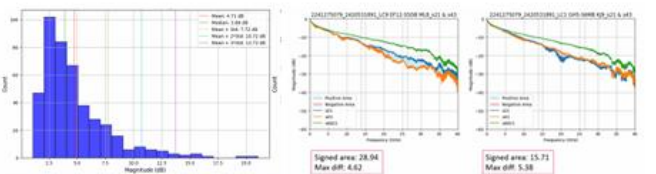


Figure 12 the statistical result of Harness level Cable



Harness level cable

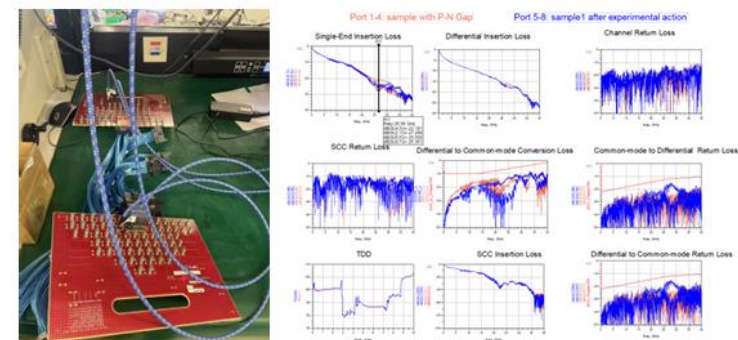


Figure 13 Experimental environment and Test result

[Skew 값 계산 및 PN 갭 샘플과 정상 샘플 간의 결과 비교]

[실험 환경 및 테스트 결과]

3. DesignCon 2026 자료 소개

[T07_S15] Investigating PN Gap Anomalies in Backplane Cable Tray Design, Z. Qian, Cisco Systems

Summary

- ✓ 고속 케이블 트레이(Cable Tray) 설계 시 관찰되는 PN 갭(PN Gap)은 차동 삽입 손실(Differential Insertion Loss) 지표에 드러나지 않는 숨겨진 진폭 불균형 문제로 신호 무결성(Signal Integrity) 저하 요인으로 작용
- ✓ 현재의 100G/112G 통신 환경에서는 수신기의 공통 모드 제거비(CMRR) 특성으로 인해 비트 에러 비율(BER) 저하가 미미하나, 채널 운용 마진이 축소되는 224G 이상의 차세대 시스템에서는 신호 왜곡에 대한 취약성 증대 예상
- ✓ 재적 성능 저하를 예방하기 위해 조립 공정 중 기계적 스트레스(Mechanical Stress)에 대한 엄격한 물리적 제어 및 생산 검증 과정 내 단일 종단(Single-ended) 진폭 모니터링 절차 도입 제안

3. DesignCon 2026 자료 소개

[T08_S06] Jitter Decomposition Methodology & 4-Phase Skew Characterization for High-Speed DRAM Interfaces, B. Lee, Samsung Electronics

- ✓ 고속 DRAM(High Speed DRAM) 인터페이스는 내부적으로 4상(4-Phase) 클럭을 생성하며, 이로 인해 발생하는 구조적 Skew는 기존의 Duty 사이클 왜곡(Duty Cycle Distortion, DCD)과는 근본적으로 다른 Deterministic Jitter 특성을 보임
- ✓ 기존 분석법으로는 이러한 다중 위상 구조의 Jitter를 정확히 분리하기 어려우므로, Period Jitter와 Absolute Jitter를 모두 활용하여 개별 요소를 추출하는 단계적 Jitter Decomposition 프레임워크 제안

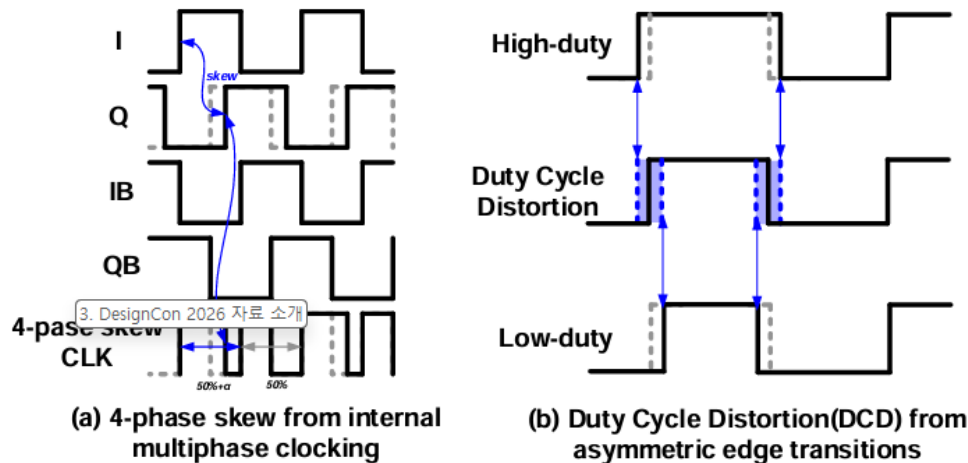


Fig. 1 Waveform comparison of DRAM 4-phase skews and DCD

[DRAM 4상 Skew와 Duty 사이클 왜곡(DCD)의 파형 비교]

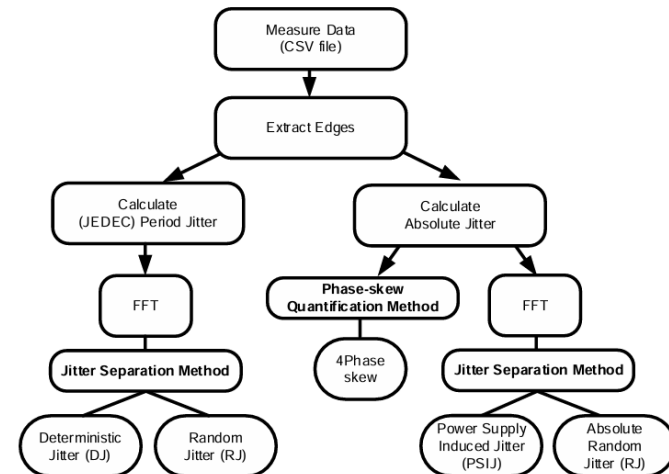


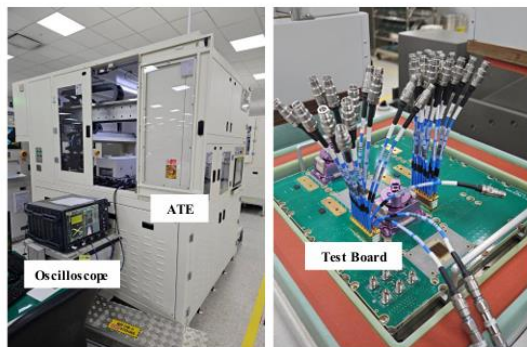
Fig 3. Overall jitter analysis flow chart.

[Overall jitter analysis flow chart]

3. DesignCon 2026 자료 소개

[T08_S06] Jitter Decomposition Methodology & 4-Phase Skew Characterization for High-Speed DRAM Interfaces, B. Lee, Samsung Electronics

- ✓ 기존의 Fixed Threshold 방식은 노이즈 변동에 취약하므로, 주파수 도메인에서 Local Window 기반의 Adaptive Threshold를 적용하여 Random Jitter를 안정적으로 분리
- ✓ 분리된 Period Jitter 시퀀스에 고속 푸리에 변환(FFT)을 적용함으로써, 시스템 클럭과 관련된 Deterministic Jitter 피크와 광대역에 분포하는 Random Jitter를 도출



[DRAM Jitter 측정 setup]

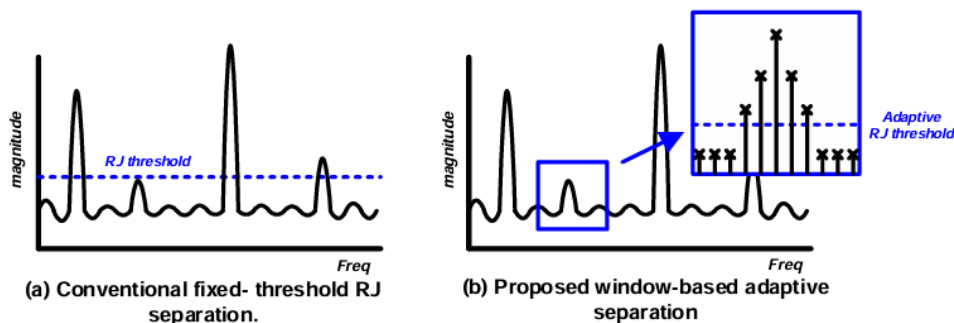


Fig4. Comparison of conventional and the proposed RJ separation method

[기존 RJ 분리 방법과 제안된 RJ 분리 방법의 비교]

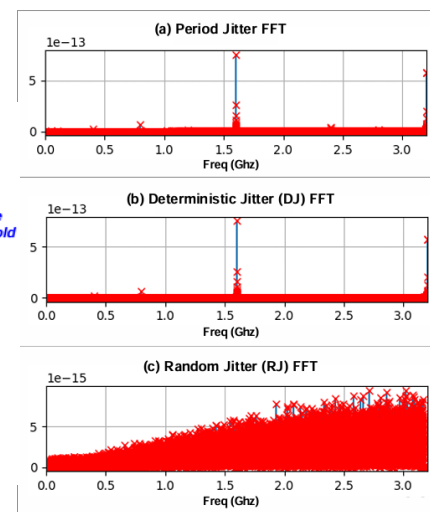


Fig 5. Period jitter FFT results of DJ and RJ.

[DJ 및 RJ의 주기 Jitter 고속 푸리에 변환(FFT) 결과]

3. DesignCon 2026 자료 소개

[T08_S06] Jitter Decomposition Methodology & 4-Phase Skew Characterization for High-Speed DRAM Interfaces, B. Lee, Samsung Electronics

- ✓ 시간에 따른 누적 타이밍 오류를 반영하는 Absolute Jitter를 활용하여, 저주파 대역에 집중된 Power Supply-Induced Jitter(PSIJ)를 분리
- ✓ 역 푸리에 변환(iFFT)을 통해 각 위상(I, Q, IB, QB)별 거동을 재구성하고 평균 오프셋을 제거함으로써, 상용 오실로스코프(Oscilloscope) 측정만으로는 파악하기 어려운 내부 4상 스큐(4-Phase Skew)의 불균형을 정량화

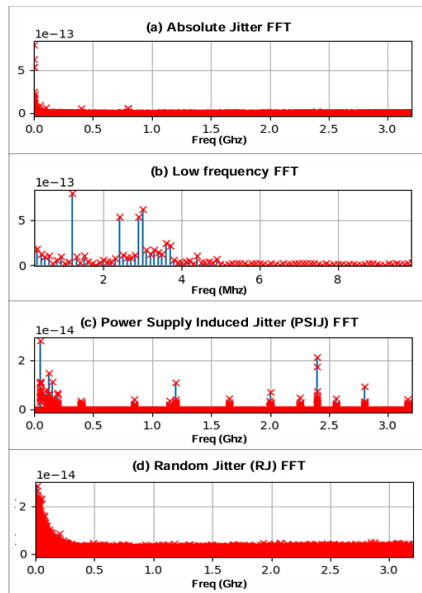


Fig 6. Absolute jitter FFT results of PSIJ, RJ, and etc.

[PSIJ, RJ 등의 Absolute Jitter 고속 푸리에 변환(FFT) 결과]

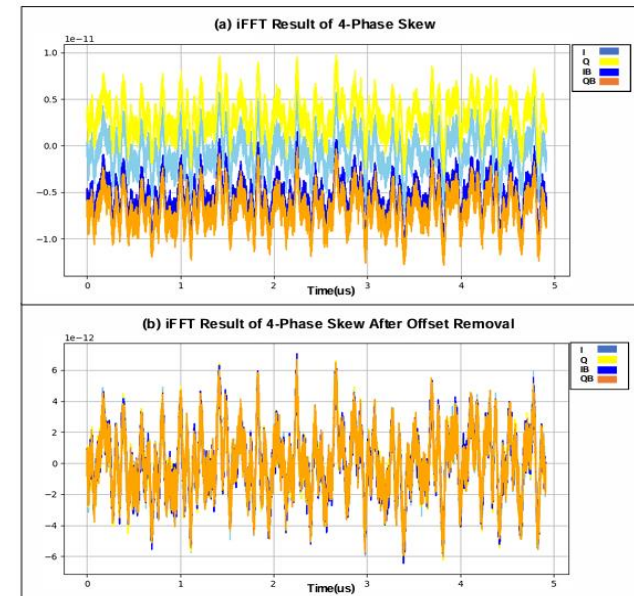


Fig 7. Absolute jitter FFT results based on 4-phase skews.

[Absolute jitter FFT results based on 4-phase skews]

3. DesignCon 2026 자료 소개

[T08_S06] Jitter Decomposition Methodology & 4-Phase Skew Characterization for High-Speed DRAM Interfaces, B. Lee, Samsung Electronics

Summary

- ✓ LPDDR5 DRAM의 실제 측정 데이터를 바탕으로 제안된 지터 분해(Jitter Decomposition) 방법론을 적용한 결과, 결정적 지터(DJ), 무작위 지터(RJ), 전원 공급 유도 지터(PSIJ) 및 4상 스큐(4-Phase Skew)의 개별 추출 절차를 검증
- ✓ 10나노급 DRAM 여러 세대의 샘플을 평가한 결과, 추출된 지터 수치가 상용 장비 측정값과 95% 이상의 일치도를 보여 분석 방법론의 객관적 신뢰성 확보
- ✓ 해당 분석 체계는 향후 구조가 더욱 복잡해지는 지연 고정 루프(DLL) 기반의 DDR5 및 차세대 메모리 인터페이스 설계 검증과 생산 테스트 자동화에도 널리 적용될 전망

3. DesignCon 2026 자료 소개

[T09_S09] SE MIMO Signaling: Can it Save 400G?, H. Shakiba, Huawei Technologies Canada

- ✓ 400G+ 데이터 속도 달성을 위해 대역폭(Bandwidth) 요구량을 늘리지 않고 선밀도(Wire Density)를 활용하는 단일 종단(Single-ended, SE) 다중 입출력(MIMO) 신호 전송 아키텍처 제안
- ✓ 기존 차동 채널(Differential Channel)에서 두 개의 단일 종단 신호를 전송하기 위해, 신호를 직접 전송하는 직접 전송(Direct Transmission) 방식과 차동 및 공통 모드(Common-mode) 성분으로 변환하여 전송하는 모드 전송(Mode Transmission) 방식 비교 분석



Figure (3) Thru and cross-coupled transfer functions of the MIMO channel

[MIMO 채널의 스루 및 교차 결합 전달 함수]

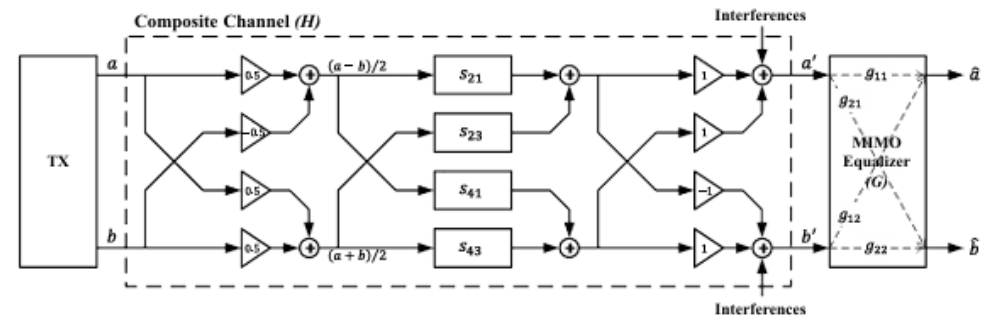


Figure (8) Mode transmission of two SE signals over the MIMO channel

[MIMO 채널을 통한 두 SE 신호의 모드 전송]

3. DesignCon 2026 자료 소개

[T09 S09] SE MIMO Signaling: Can it Save 400G?, H. Shakiba, Huawei Technologies Canada

- ✓ 단일 종단(Single-ended, SE) 다중 입출력(MIMO) 전송을 위해서는 스트립라인(Stripline) 등에서 발생하는 차동 모드(Differential-mode)와 공통 모드(Common-mode) 간의 전송 불일치를 최소화하고 도체 간의 결합(Coupling)을 완화하는 물리적 채널 설계 필요
- ✓ 도체 피치(Pitch) 증가 및 유전체 두께 감소 등의 최적화를 적용한 결과, Thru 전송 성능이 개선되고 동일 쌍 내 누화(Intra-pair Crosstalk) 및 인접 채널로부터의 쌍 간 누화(Inter-pair Crosstalk) 전력합이 Differential Signaling 수준으로 감소한 Mode Transmission 환경 검증

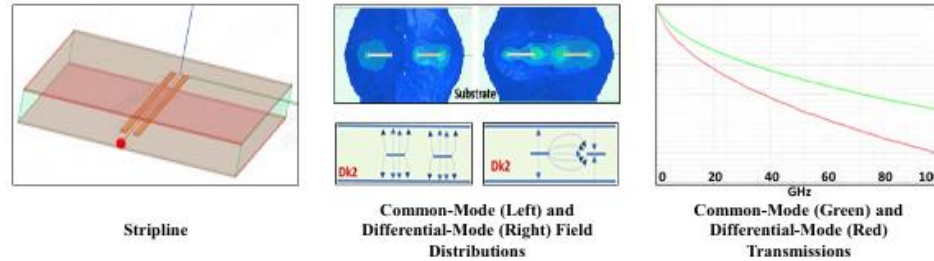


Figure (12) Stripline and its common-mode and differential-mode field distributions and transmissions

[스트립라인 및 그 공통 모드와 차동 모드의 필드 분포 및 전송]

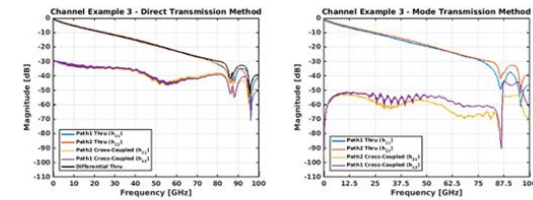


Figure (15) Thru and cross-coupled transfer functions for the optimized wireline channel example in direct and mode transmission methods

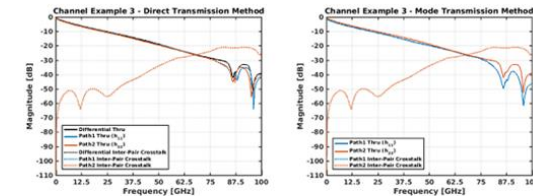


Figure (16) Power sum of inter-pair crosstalks for the optimized wireline channel example in direct and mode transmission methods

[Thru and cross-coupled transfer functions & Power sum of the inter-pair crosstalks]

3. DesignCon 2026 자료 소개

[T09_S09] SE MIMO Signaling: Can it Save 400G?, H. Shakiba, Huawei Technologies Canada

- ✓ 신호 복원을 담당하는 스루(Thru) 분기와 동일 쌍 내 누화(Crosstalk) 상쇄를 담당하는 교차 결합(Cross-coupled) 분기로 구성된 4-브랜치 피드포워드 등화기(FFE) 구조의 나비형 MIMO 등화기 모델링 적용
- ✓ 채널 운용 마진(COM) 시뮬레이션 평가 결과, 최적화된 채널 조건에서 448Gb/s SE MIMO PAM4 방식이 448Gb/s 차동 PAM4 및 고차 PAM(Higher PAM) 방식의 마진 수치를 상회함 확인

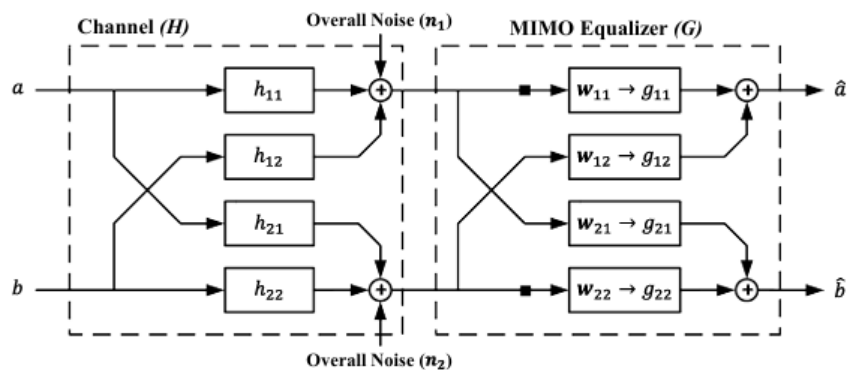


Figure (18) MIMO equalizer with butterfly architecture in a wireline receiver

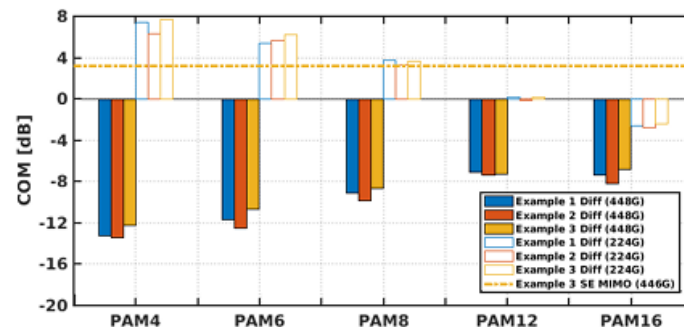


Figure (22) COM simulation results comparison between SE MIMO and differential signaling

[PSIJ, RJ 등의 절대 지터 고속 푸리에 변환(FFT) 결과]

[Absolute jitter FFT results based on 4-phase skews]

3. DesignCon 2026 자료 소개

[T09_S09] SE MIMO Signaling: Can it Save 400G?, H. Shakiba, Huawei Technologies Canada

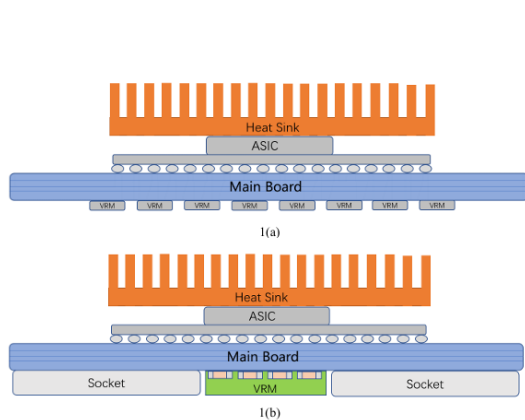
Summary

- ✓ 대역폭 확장에 의존하는 기존 차동 PAM4 및 고차 PAM 방식은 신호 대 잡음비(SNR) 감소와 대역폭 한계로 인해 차세대 400G 시스템에 적용 시 채널 손실 보상 한계 직면
- ✓ 본 연구에서 분석한 SE MIMO PAM4 아키텍처는 대역폭 증가 없이 데이터 전송률을 두 배로 향상시키며, 기존 200G 시스템과의 하위 호환성(Backward Compatibility) 유지
- ✓ 전송 선로(Transmission Line)의 결합 완화 설계와 나비형 MIMO 등화기(Equalizer)의 누화 상쇄(Crosstalk Cancellation) 기법을 연계하여 단일 종단 전송의 구조적 잡음 취약성을 보완하는 대안적 물리 계층(Physical Layer) 솔루션으로 제시

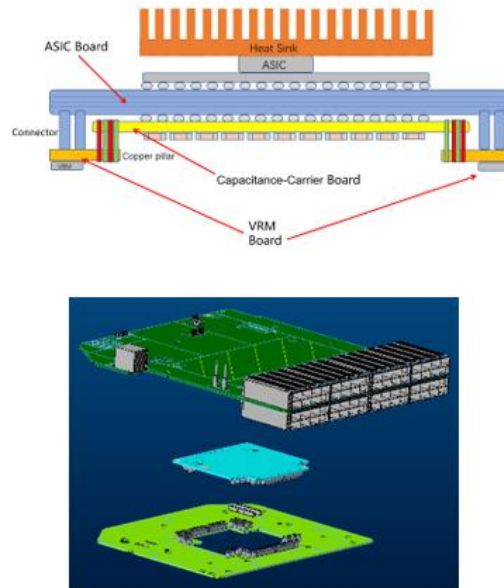
3. DesignCon 2026 자료 소개

[T10_S07] A Novel Off-Board Vertical Power Supply Solution, Z. Wang, New H3C Technologies

- ✓ 1000A를 초과하는 대전류 시스템에서 기존 수평 전력 전달 방식은 직류 전압 강하(DC IR Drop)와 열 손실(Thermal Loss)을 발생시키므로, 이를 해결하기 위한 수직 전력 공급(Vertical Power Delivery, VPD) 도입 요구
- ✓ 신호 처리용 ASIC 보드(ASIC Board), 디커플링 커패시터(Decoupling Capacitor) 전용의 정전 용량 캐리어 보드(Capacitance-Carrier Board), 전압 조정 모듈 보드(VRM Board)로 역할을 분리한 3층 샌드위치 구조 제안



[Typical VPD 아키텍처]

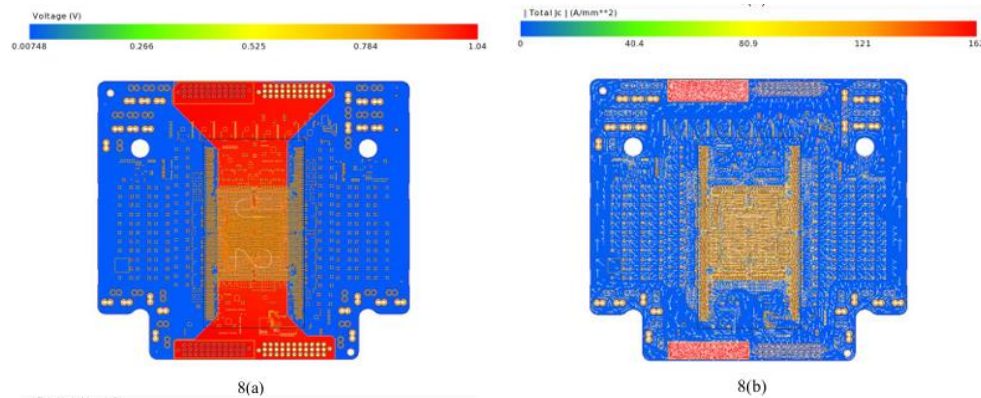


[조립된 프로토타입 장치의 Top side and bottom side]

3. DesignCon 2026 자료 소개

[T10_S07] A Novel Off-Board Vertical Power Supply Solution, Z. Wang, New H3C Technologies

- ✓ 1300A의 부하 전류(Load Current) 조건에서 코어 전력 레일(Core Power Rail)의 직류 전압 강하를 시뮬레이션한 결과, 허용 오차 범위인 $\pm 3\%$ 이내를 충족
- ✓ 정전 용량 캐리어 보드에 0402 패키지 크기의 적층 세라믹 커패시터(MLCC)를 다수 배치하여 2MHz 대역까지 $0.16\text{m}\Omega$ 이하의 목표 임피던스(Target Impedance) 도출



[ASIC 코어 전력 네트워크의 전압 분포 및 전류 밀도]

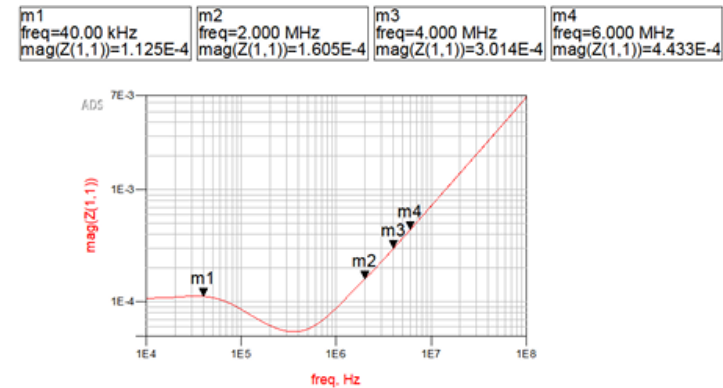


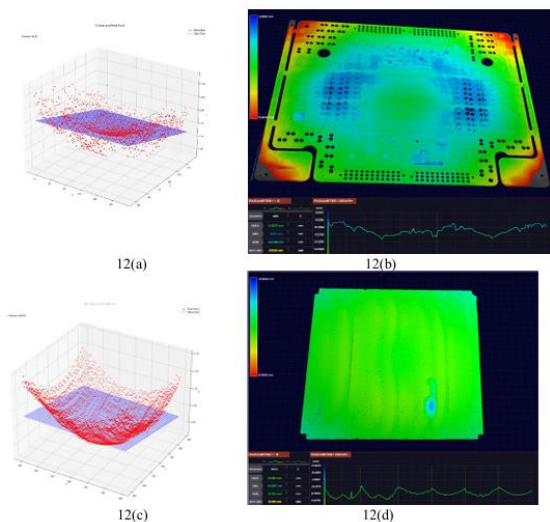
Fig. 10. PDN simulation result of ASIC core power network.

[ASIC 코어 전력 네트워크의 PDN 시뮬레이션 결과]

3. DesignCon 2026 자료 소개

[T10_S07] A Novel Off-Board Vertical Power Supply Solution, Z. Wang, New H3C Technologies

- ✓ 고온 리플로우(Reflow) 공정 중 발생하는 열 변형(Thermal Deformation)을 시뮬레이션 및 테스트한 결과, 볼 그리드 어레이(BGA) 영역의 휨이 허용 오차 이내인 148 μ m 수준으로 통제됨 확인
- ✓ 구리 기둥(Copper Pillar)과 사전 성형 솔더(Solder Preform)를 결합한 하이브리드 실장 공정을 적용하여, ASIC 칩 하단과 보드 간의 솔더 조인트(Solder Joint) 결함 방지



[ASIC 코어 전력 네트워크의 전압 분포 및 전류 밀도]

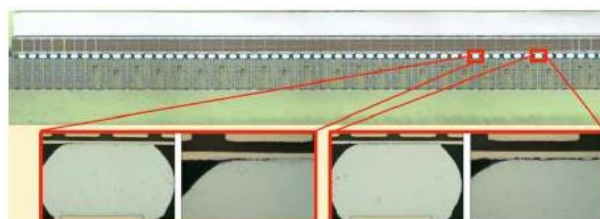


Fig. 13. Solder ball hot tear defects.

[Solder ball 결함 예시]

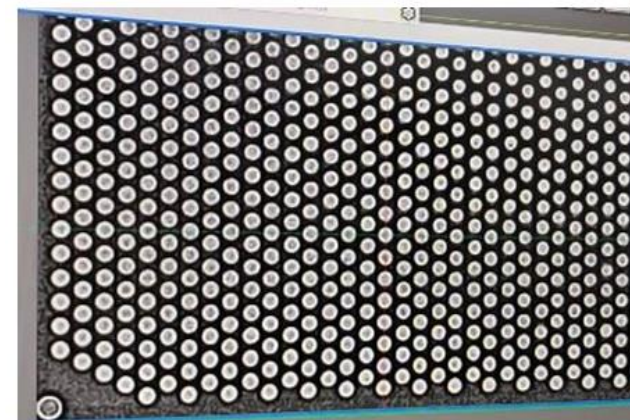


Fig. 14. Solder joint diagram at BGA area on ASIC board

[ASIC 보드의 BGA 영역 솔더 조인트 다이어그램]

3. DesignCon 2026 자료 소개

[T10_S07] A Novel Off-Board Vertical Power Supply Solution, Z. Wang, New H3C Technologies

Summary

- ✓ 본 연구에서 분석한 3단 분리형 수직 전력 공급(VPD) 아키텍처는 전력망과 신호망의 물리적 분리를 통해 고전류 시스템의 열 손실(Thermal Loss)을 줄이고 인쇄 회로 기판(PCB)의 제조 복잡성 완화
- ✓ 전압 조정 모듈(VRM)과 다량의 적층 세라믹 커패시터(MLCC)를 별도의 전용 보드에 배치함으로써, 교류(AC) 임피던스를 제어하는 동시에 부품의 재작업성(Reworkability) 확보
- ✓ 직류 전압 강하(DC IR Drop) 및 전력 전달 네트워크(PDN) 시뮬레이션, 열 휨(Warping) 테스트를 통해 1300A 규모의 고성능 시스템에 대한 양산(Mass Production) 공정의 적용 가능성 입증

3. DesignCon 2026 자료 소개

[T12_S07] An Experimental Study of PCIe Transmitter Equalization Preset Measurement Methods for 64 and 128 GT/s PAM4 Signaling, C. Bil, Intel

- ✓ PCIe 6.0 및 7.0 규격에서 전송기(Transmitter, Tx) Preset 허용 오차가 +/- 0.5dB로 축소됨에 따라, 채널 손실(Channel Loss) 증가 시 한계를 보이는 기존 직류(DC) 및 스텝 기반 교류 피팅(Step-based AC Fitting) 측정 방식의 대안 요구
- ✓ 이를 해결하기 위해 컴플라이언스 패턴(Compliance Pattern)의 전체 비트 전환(Bit Transition)을 수학적으로 처리하여 펄스 응답(Pulse Response)을 추출하고, 최소 평균 제곱 오차(MMSE)를 산출하는 선형 적합 펄스 응답(Linear Fit Pulse Response, LFPR) 기반의 교류 피팅 방법론 적용

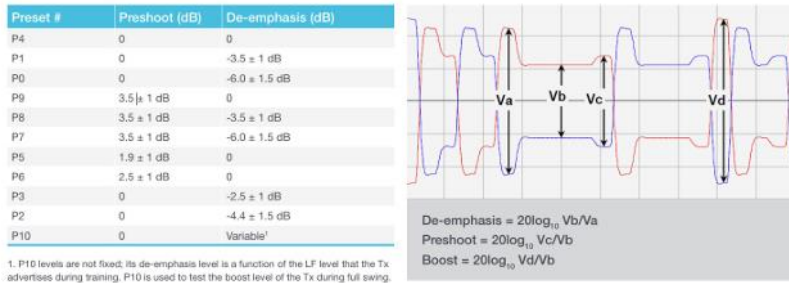


Figure 1: Definition of Tx Voltage Levels and Equalization Ratios

[Tx 전압 레벨 및 등화 비율의 정의]

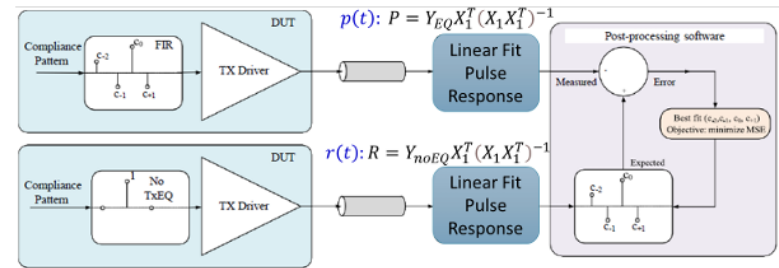


Figure 3: LFPR Methodology for measuring Tx equalization coefficients and presets

[Tx 등화 계수 및 Preset 측정을 위한 LFPR 방법론]

3. DesignCon 2026 자료 소개

[T12_S07] An Experimental Study of PCIe Transmitter Equalization Preset Measurement Methods for 64 and 128 GT/s PAM4 Signaling, C. Bil, Intel

- ✓ 64 GT/s PAM4 신호 환경에서 서로 다른 오실로스코프(Oscilloscope)를 교차 측정 한 결과, 선형 적합 펄스 응답(LFPR) 방식이 스텝 기반 교류 피팅(Step-based AC Fitting) 대비 런투런(Run-to-run) 변동성을 줄이고 공칭값(Nominal Value) 편차를 축소
- ✓ 여러 장치(TID)와 테스트 솔루션 제공자(TSP)가 참여한 워크샵 측정 데이터에서 특정 이상치(TSP1)를 제외하고 표준 편차(Standard Deviation)를 분석한 결과, LFPR 방식 적용 시 스텝 기반 방식 대비 변동성이 감소됨을 확인

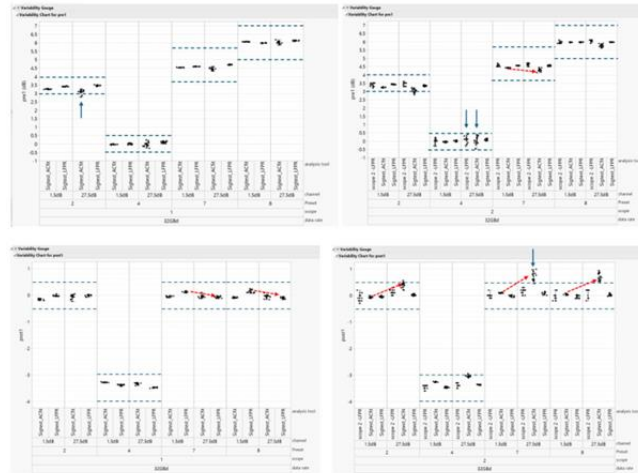


Figure 5: Preshoot-2/preshoot-1 and De-emphasis for scope 1 and 2

[서로 다른 오실로스코프에서의 Preshoot-2/ Preshoot-1 및 de-emphasis]

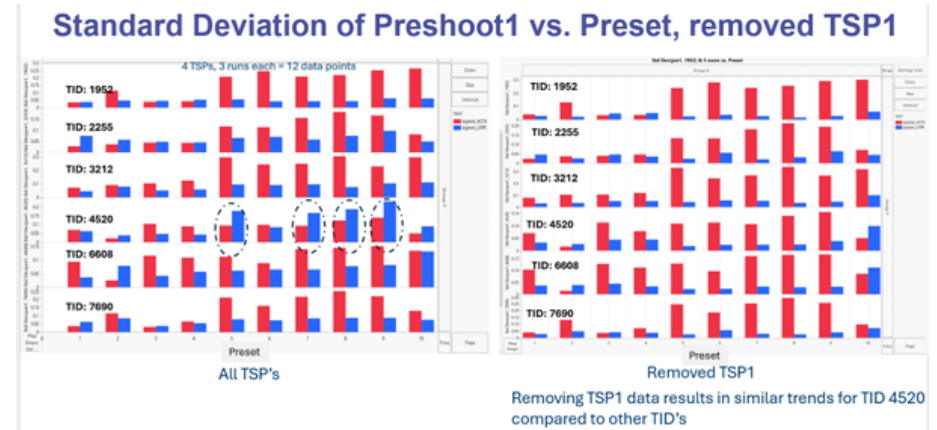


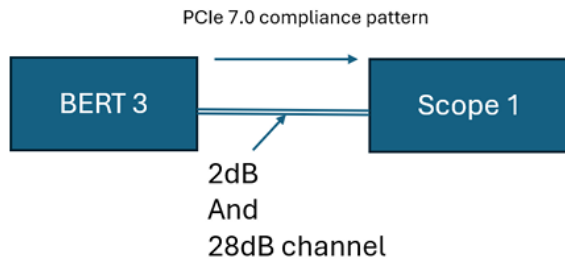
Figure 13: Preshoot-1 standard deviations for all TSP's, 3 repetitions by TID's – TSP1 removed

[모든 TSP에 대한 Preshoot-1표준 편차 TID별 3회 반복 – TSP1 제거됨]

3. DesignCon 2026 자료 소개

[T12_S07] An Experimental Study of PCIe Transmitter Equalization Preset Measurement Methods for 64 and 128 GT/s PAM4 Signaling, C. Bil, Intel

- ✓ 128 GT/s 데이터 속도(Data Rate) 환경에서 물리적 감쇠의 영향을 평가하기 위해, 채널 손실(Channel Loss)을 0dB에서 최대 28dB까지 증가시키는 비트 에러 레이트 테스터(BERT) 기반의 실험 환경 구성
- ✓ 채널 손실이 28dB로 증가할 때 스텝 기반 도구는 디엠퍼시스(De-emphasis) 공칭값에서 큰 이탈을 보인 반면, LFPR 기반 도구는 일관된 수치를 유지하며 고손실 환경에서의 Run to Run 변동성 저항성 증명



[Experimental setup at PCIe Gen7]

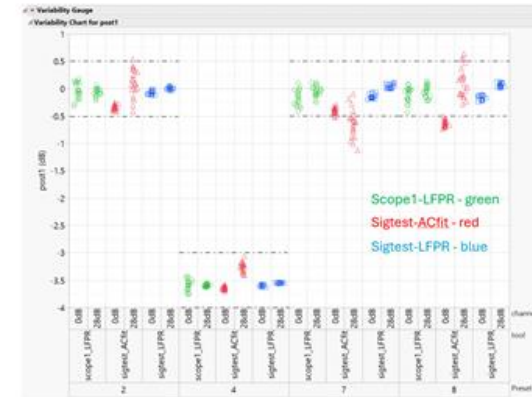


Figure 17: De-emphasis for BERT3, across channel loss for various analysis, using scope 1

[De-emphasis for BERT3, across channel loss for various analysis, using scope 1]

3. DesignCon 2026 자료 소개

[T12_S07] An Experimental Study of PCIe Transmitter Equalization Preset Measurement Methods for 64 and 128 GT/s PAM4 Signaling, C. Bil, Intel

Summary

- ✓ PCIe 6.0 및 7.0 시스템의 전송기(Transmitter) Equalization Preset 측정 시 요구되는 +/- 0.5dB의 허용 오차를 충족하기 위해 선형 적합 펄스 응답(LFPR) 방법론의 성능 평가 진행
- ✓ 해당 기법은 스펙트럼이 풍부한 전체 컴플라이언스 패턴(Compliance Pattern)을 활용해 Pulse Response을 도출함으로써, 기존 스텝 기반 교류 피팅(Step-based AC Fitting) 방식 대비 Run-to-run 변동성 및 공칭 값(Nominal Value) 편차를 축소
- ✓ 다양한 송신기 장치, 오실로스코프(Oscilloscope), High-loss Channel 환경에서의 실증 데이터를 통해 표준 편차(Standard Deviation) 감소를 입증
- ✓ 도출된 평가 데이터는 장비 간 편차를 최소화해야 하는 향후 PCI-SIG 워크샵 및 상호 운용 성(Interoperability) 테스트의 공식 측정 방법론을 결정하는 기준 지표로 활용

3. DesignCon 2026 자료 소개

[T13_S03] Multimode Resonance Suppression & PAM4 Eye Decomposition for 212.5-Gbps OSFP, K. Song, University of Illinois at Urbana-Champaign

- ✓ 12.5 Gbps 전송 속도를 지원하는 OSFP 커넥터 환경에서 신호 차동 모드(Signal Differential Mode, SDM)와 신호 공통 모드(Signal Common Mode, SCM) 간의 위상 불일치(Phase Mismatch)로 인해 접지 공진(Ground Resonance) 발생
- ✓ 공진 주파수(Resonant Frequency)에서 전파 경로의 에너지가 인접한 접지 구조 및 크로스토크 채널(Crosstalk Channel)로 결합 및 재분배되어 신호 무결성(Signal Integrity) 저하 원인으로 작용

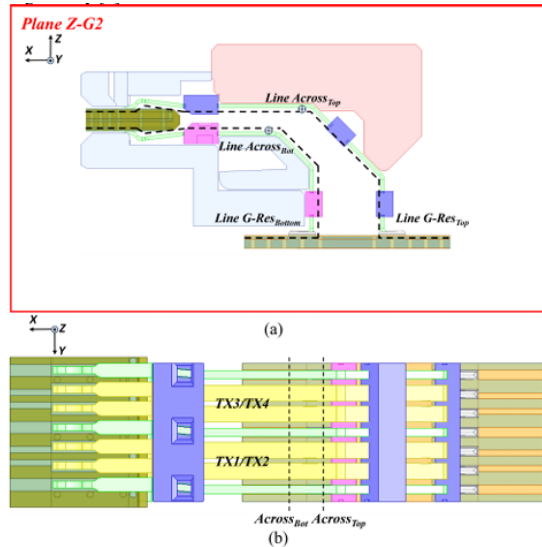


Fig. 1. OSFP connector mated with the Host and Module PCB in a C2M interface: (a) side view and (b) top view.

[C2M 인터페이스에서 호스트 및 모듈 PCB와 결합된 OSFP 커넥터: (a) 측면도 및 (b) 평면도]

Inter-channel Interference by Resonance Perturbation

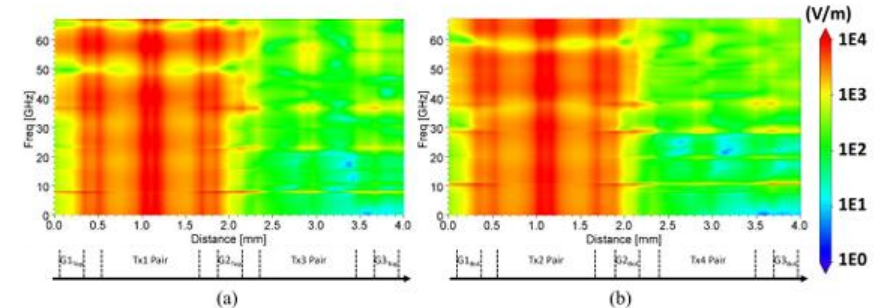


Fig. 4. Complex E-field contours plot along the monitor line *Across_Top* and *Across_Bottom* show energy coupling from the signal propagation path into adjacent ground structures and crosstalk channels at resonant frequencies under differential excitation at (a) Tx1 Host port and (b) Tx2 Host port.

[Differential excitation 조건에서 공진 주파수 시 신호 에너지가 인접 GND 및 크로스토크 경로로 결합되는 E-field 분포]

→ Tx1/Tx2 포트에서 신호 전파 중 특정 주파수에서 주변 구조로 에너지가 누설되어 크로스토크가 발생함을 보여줌

3. DesignCon 2026 자료 소개

[T13_S03] Multimode Resonance Suppression & PAM4 Eye Decomposition for 212.5-Gbps OSFP, K. Song, University of Illinois at Urbana-Champaign

- ✓ 다중 모드 상호 결합(Multimodal Mutual Coupling)을 완화하기 위해 신호 전파 경로에 추가 유전체 세그먼트(Add-in Dielectric Segments)를 삽입하여 국부적인 유효 유전율(Effective Permittivity) 제어
- ✓ Signal Differential Mode의 Phase Velocity를 감소시켜 위상 불일치를 정합 조건(Phase-matching Condition)에 가깝게 유도하고 Crosstalk 채널로의 에너지 재방사를 억제

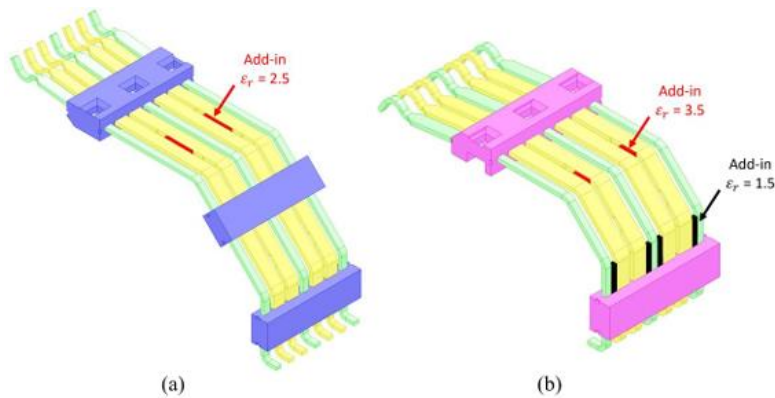
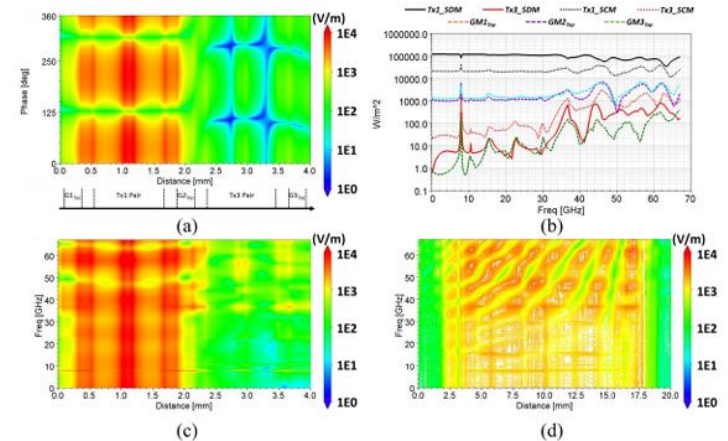


Fig. 8. OSFP connector with add-in dielectric segments incorporated (a) within the differential signal pair in the top layer, and (b) both within the differential signal pair and between signal and ground conductors in the bottom layer.

[Add-in dielectric 적용 위치에 따른 differential pair 및 GND 간 결합 구조 변화]

→ 신호선 내부 및 GND 사이에 dielectric을 추가하여 전계 분포와 coupling 특성을 제어



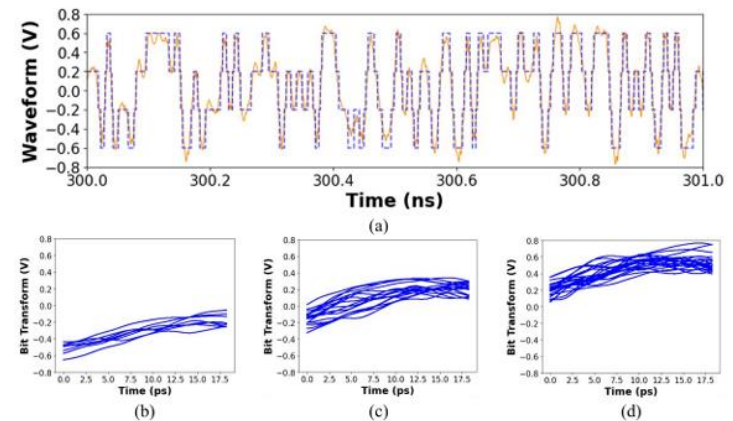
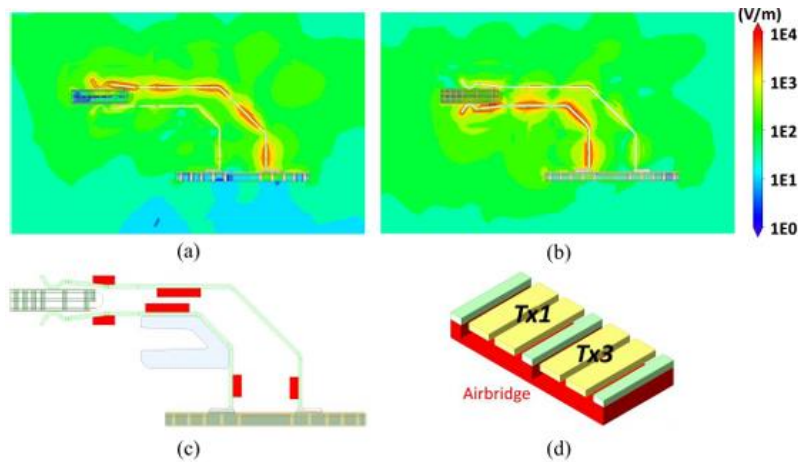
[Differential excitation 조건에서 위치/주파수에 따른 E-field 분포 및 Xtalk 특성]

→ 공진 구간에서 특정 위치로 에너지가 집중되며 인접 채널 및 GND로 coupling이 증가

3. DesignCon 2026 자료 소개

[T13_S03] Multimode Resonance Suppression & PAM4 Eye Decomposition for 212.5-Gbps OSFP, K. Song, University of Illinois at Urbana-Champaign

- ✓ 전기장 Anti-node 위치에 파형 Anti-nodal Airbridge를 배치하여 접지 공동(Ground Cavity) 내 정주파(Standing Wave) 형성을 방해하고 접지 공진 모드(GM)를 물리적으로 차단
- ✓ Eye Diagram을 Binary Transition으로 나누는 Eye Decomposition Methodology을 적용하여, 상승 Rise Time, Jitter, Damping Ratio 등 세부 성능 지표의 개선 수치 도출



[Airbridge 적용에 따른 differential pair의 E-field 분포 및 구조적 coupling 변화]

→ Airbridge를 통해 신호 경로 간 전계 분포를 제어하여 특정 영역의 coupling 및 공진 영향을 완화함

[개선 구조 적용에 따른 시간 영역 waveform 및 transient 응답 특성]

→ 구조 개선 후 신호 왜곡과 변동이 감소하며 transient 응답이 안정화됨을 확인

3. DesignCon 2026 자료 소개

[T13_S03] Multimode Resonance Suppression & PAM4 Eye Decomposition for 212.5-Gbps OSFP, K. Song, University of Illinois at Urbana-Champaign

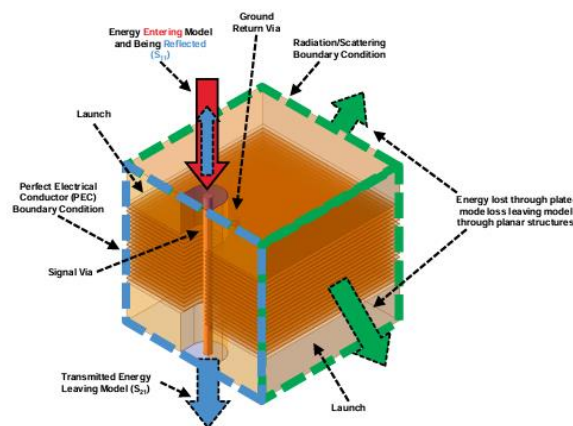
Summary

- ✓ 212.5 Gbps OSFP 커넥터에서 발생하는 ground resonance, crosstalk, mode-conversion noise가 신호 무결성을 저하시키는 메커니즘을 분석
- ✓ FEM 기반 multimode field 분석을 통해 공진 에너지가 ground cavity에 축적되었다가 aggressor/victim 채널로 재분배되는 현상을 규명
- ✓ 이를 억제하기 위해 add-in dielectric과 anti-nodal airbridge 두 가지 기법을 적용하였으며, 특히 airbridge 방식이 공진 억제와 crosstalk 저감에 더 우수한 성능을 보임
- ✓ 최종적으로 eye decomposition 분석을 통해 rise time, jitter, damping ratio, eye width/height 개선을 확인하였고, 차세대 고속 커넥터의 공진 저감 설계 방법론을 제시

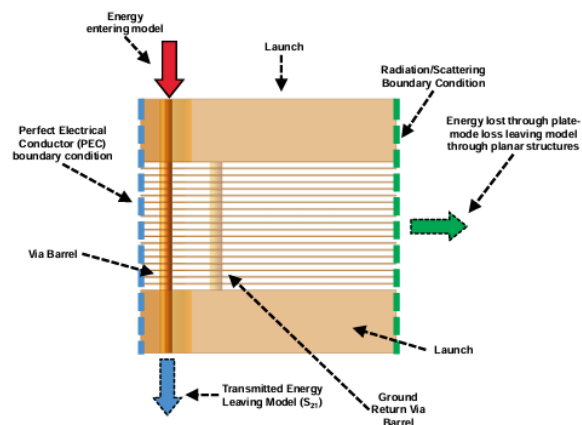
3. DesignCon 2026 자료 소개

[T13_S09] Printed Circuit Board Via Plate Mode Loss and Influence of Via Design Parameters, H. Wolf, Mayo Clinic

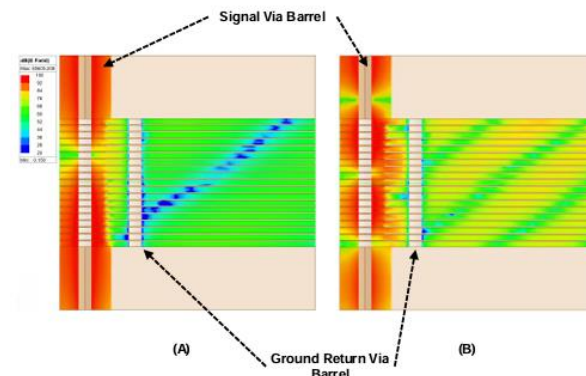
- ✓ 0GHz 이상의 고주파 환경에서는 도금 관통 홀(PTH) 비아에서 전자기 에너지가 전원 및 접지 평면으로 누설되는 평면 모드 손실(Plate-mode Loss)이 발생
- ✓ 이 현상은 PCB 평면이 도파관처럼 동작하여 삽입 손실을 증가시키며, 방사 경계 조건을 적용한 3D 전자기 모델링을 통해 손실 메커니즘을 분석
- ✓ 주파수가 증가할수록 비아를 지나 평면 구조로 전달되는 전계가 증가하여 평면 모드 손실이 더욱 심화됨을 확인



[PTH via에서 에너지 유입/유출 및 시뮬레이션 경계 조건을 포함한 3D 모델 구조]



[PCB 내부 에너지 전파 경로와 시뮬레이션 구성 요소를 나타낸 단면 구조]

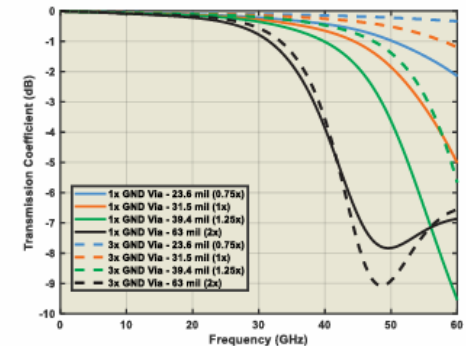
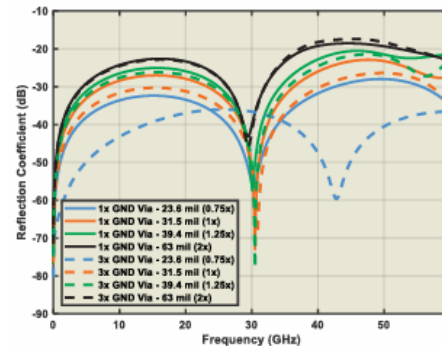
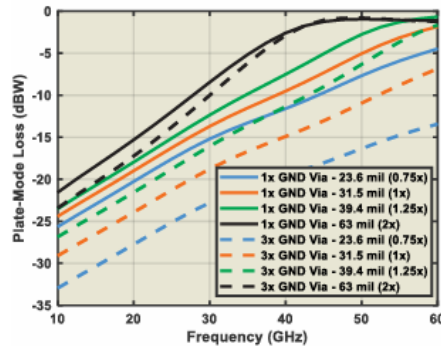
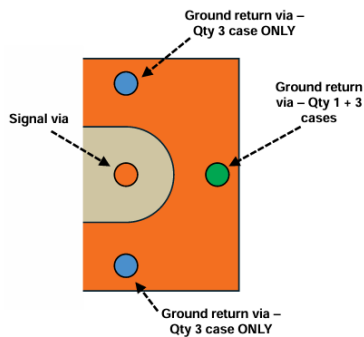
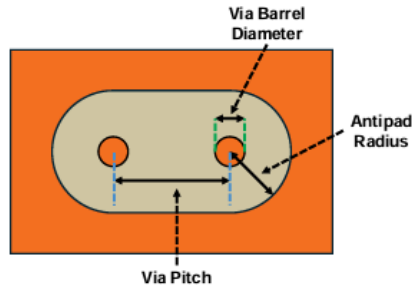


[주파수(10GHz / 60GHz)에 따른 PTH via 단면의 E-field 분포 비교]

3. DesignCon 2026 자료 소개

[T13 S09] Printed Circuit Board Via Plate Mode Loss and Influence of Via Design Parameters, H. Wolf, Mayo Clinic

- ✓ 안티패드 직경 변화보다 Ground return 비아의 피치와 수량이 특성 임피던스 및 평면 모드 손실에 더 큰 영향을 미치는 핵심 설계 변수
- ✓ 신호 비아 주변에 3개의 Ground return 비아를 좁은 피치($\approx 0.75x$)로 배치할 경우, 평면 모드 손실이 감소하고 고주파 영역에서 S21 저하가 효과적으로 억제



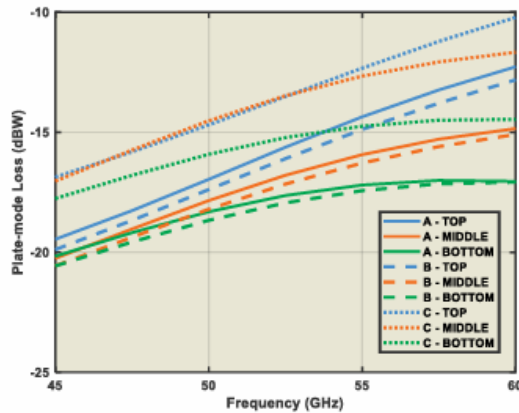
[접지 회환 비아 배치에 따른 Plate-mode Loss 비교, 반사(S11) 및 전송(S21) 특성 변화]

[Design of Experiments]

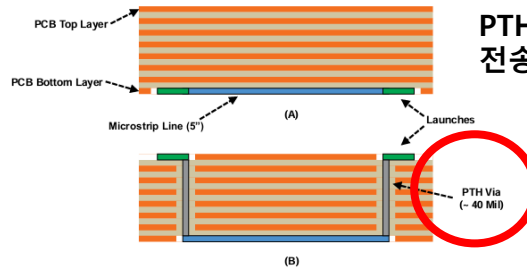
3. DesignCon 2026 자료 소개

[T13_S09] Printed Circuit Board Via Plate Mode Loss and Influence of Via Design Parameters, H. Wolf, Mayo Clinic

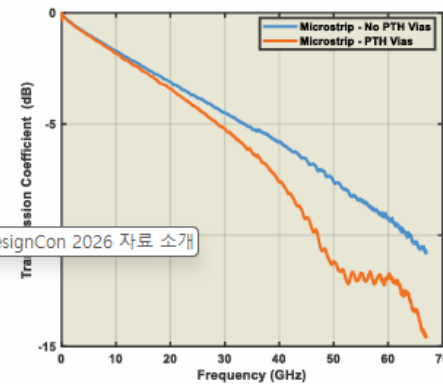
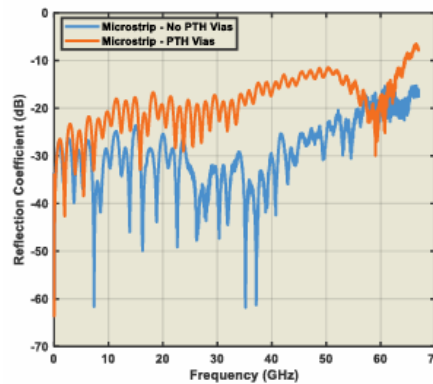
- ✓ PTH via에 의해 발생하는 plate-mode loss는 주파수 증가와 함께 심화되며, 특히 top layer에서 가장 크게 나타남
- ✓ 이로 인해 고주파 영역에서 반사 증가(S11)와 전송 손실(S21)이 악화되어 전체 신호 무결성이 저하



[스택업 조건에 따른 층별 Plate-mode Loss 분포 (45~60GHz)]



PTH via가 포함될 경우 고주파 영역에서 반사 증가 및 전송 손실이 커져 신호 무결성이 저하



[PTH via 유무에 따른 microstrip 구조 및 반사(S11)·전송(S21) 특성 비교]

3. DesignCon 2026 자료 소개

[T13_S09] Printed Circuit Board Via Plate Mode Loss and Influence of Via Design Parameters, H. Wolf, Mayo Clinic

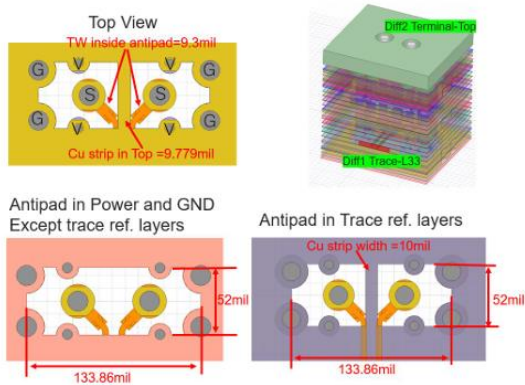
Summary

- ✓ 본 논문은 50GHz 이상의 고속 PCB 환경에서 PTH via를 통해 발생하는 plate-mode loss가 신호 무결성을 저하시키는 주요 원인임을 분석
- ✓ 전자기 시뮬레이션을 통해 에너지가 전원/접지 평면으로 누설되며, 특히 top dielectric layer에서 손실이 집중적으로 발생함을 확인
- ✓ ground return via의 배치(피치 및 개수)가 plate-mode loss를 결정하는 핵심 설계 변수이며, 근접 배치를 통해 손실을 효과적으로 감소시킬 수 있음
- ✓ 실측 S-parameter 분석을 통해 고주파에서의 insertion loss 증가와 신호 열화가 plate-mode loss에 기인함을 검증하고, 이를 최소화하기 위한 설계 가이드라인을 제시

3. DesignCon 2026 자료 소개

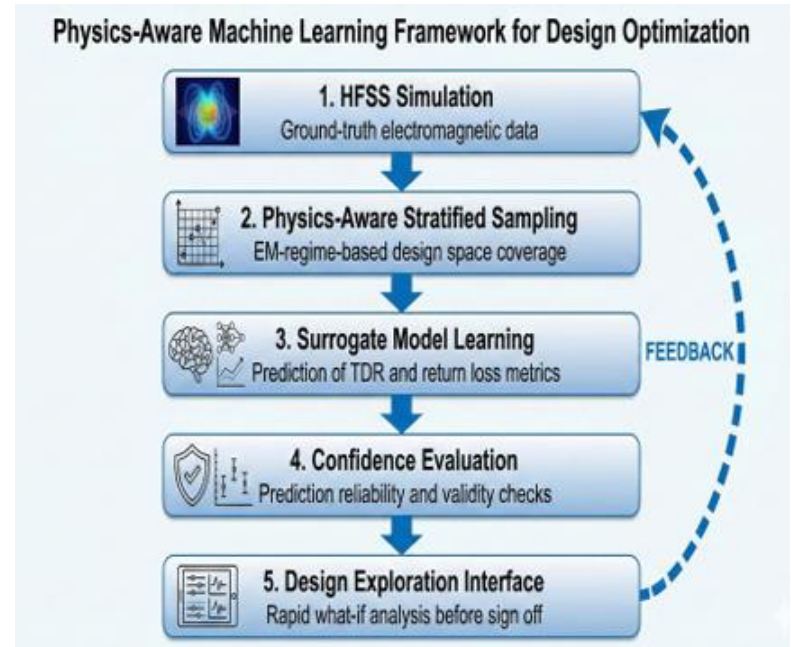
[T14_S09] Accelerating High-Speed Connector Breakout with Predictive Machine Learning & Physics-Guided Insights, K. Vaddagiri, Cisco Systems

- ✓ 고속 커넥터 비아 설계 과정에서 3차원 전자기장(3D EM) 시뮬레이션(HFSS)에 반복적으로 의존함에 따라 해석 시간 증가 및 설계 병목 현상이 발생
- ✓ 이를 해결하기 위해 물리적 인과 관계를 반영한 Physics-Aware Machine Learning 프레임워크를 도입하고, 기하학적 설계 변수 기반으로 신호 무결성 지표를 예측하는 방법을 제안



Parameters		Values
Signal(S) pins	Finished Hole Size (FHS)	12.2mil
	Drill Hole Size (DHS)	15.7mil
	Pad Diameter(Ext/Int)	26mil
GND pin(G)	FHS	12.2/6mil
	DHS	15.7/8 mils
	Pad Diameter	27.6/17 mils
Pin Pitch	S-S Pitch	55.12mil(1.4mm)
	S-G Pitch	39.37mil(1mm)
	G-G pitch	39.37mil(1mm)
GND Diameter	FHS	12.2/6mil
	DHS	15.7/8 mils
GND Diameter		27.6/17 mils

[HFSS 기반 Palladin connector via breakout 3D EM 시뮬레이션 모델]

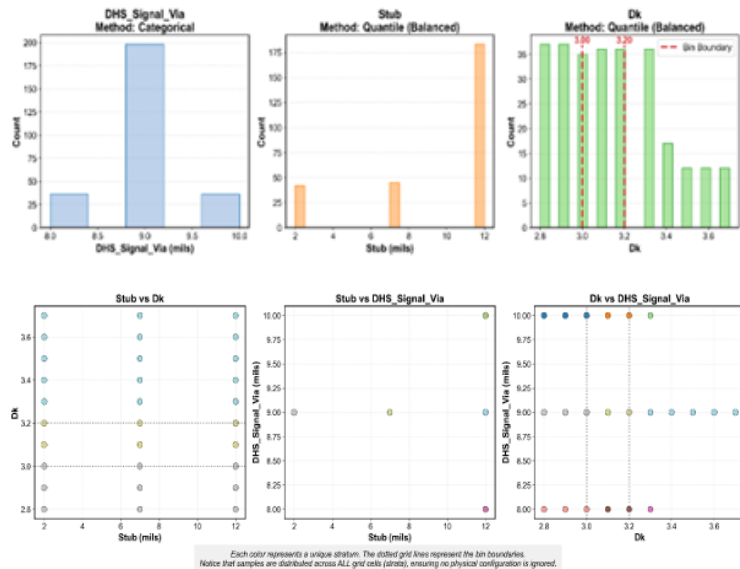


[Signal integrity 예측을 위한 Physics-aware modeling architecture]

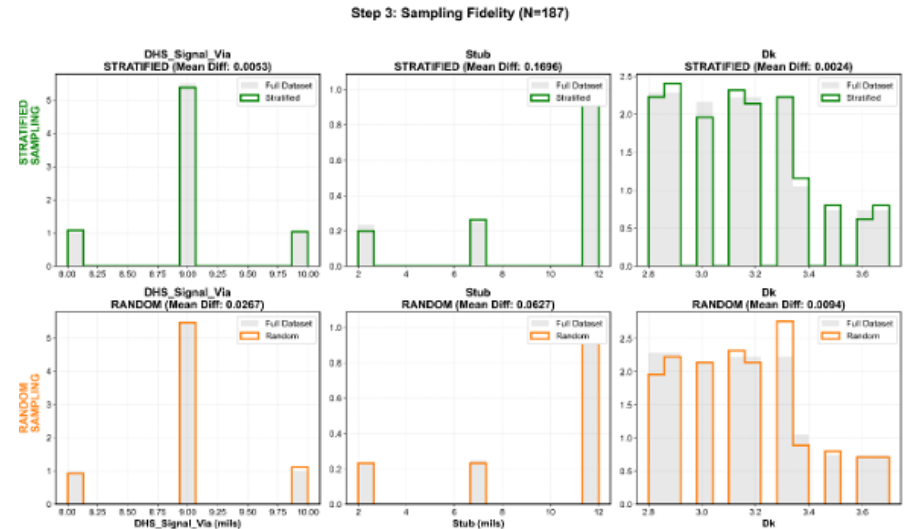
3. DesignCon 2026 자료 소개

[T14_S09] Accelerating High-Speed Connector Breakout with Predictive Machine Learning & Physics-Guided Insights, K. Vaddagiri, Cisco Systems

- ✓ 전체 설계 공간 내 물리적 특성의 편향을 방지하기 위해, Stub 길이 및 유전율(Dk)과 같은 주요 변수를 구간 화하는 Data Stratification Methodology를 적용
- ✓ 무작위 샘플링 대비 전자기적 변동성을 균형 있게 반영함으로써, 소수의 데이터만으로도 대리 모델의 학습 안정성과 일반화 성능을 확보



[Data Stratification: Feature Binning and Design Space Coverage]

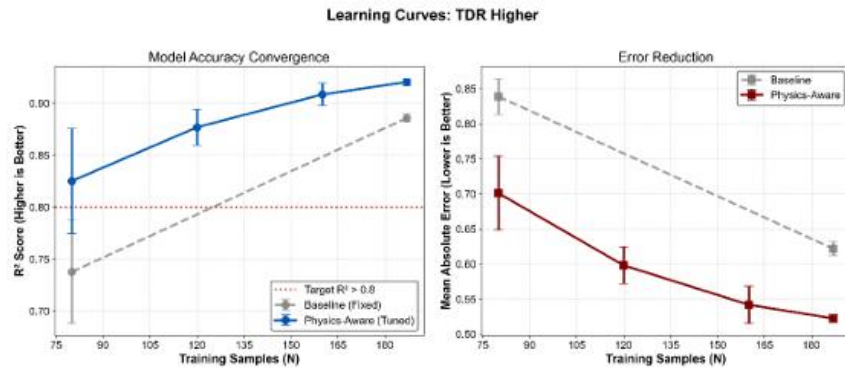


[Stratified sampling과 random sampling의 설계 공간 분포 비교]

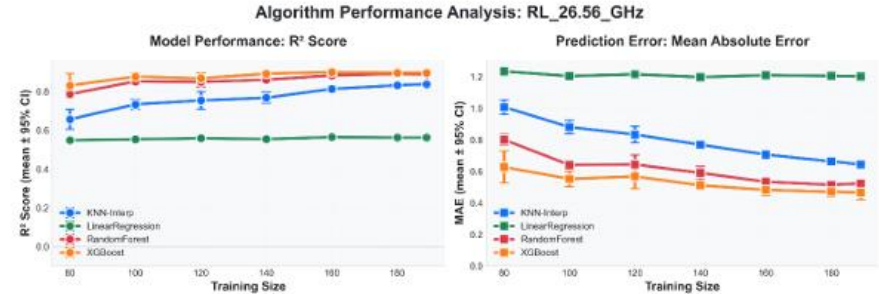
3. DesignCon 2026 자료 소개

[T14_S09] Accelerating High-Speed Connector Breakout with Predictive Machine Learning & Physics-Guided Insights, K. Vaddagiri, Cisco Systems

- ✓ Random Forest 및 XGBoost 기반 모델은 약 160개 수준의 계층화된 샘플에서 RL 예측 오차(MAE)가 0.5 dB 이하로 수렴하며 안정적인 성능을 보임
- ✓ TDR 최대값 기준에서도 데이터 증가에 따라 R^2 가 0.95 이상으로 포화되어, 모델이 전자기적 거동을 충분히 학습했음을 확인



[TDR 최대값 기준 모델 학습 수렴 특성 (learning curves)]



[26.56 GHz에서의 return loss(RL) 예측 성능 비교]

3. DesignCon 2026 자료 소개

[T14_S09] Accelerating High-Speed Connector Breakout with Predictive Machine Learning & Physics-Guided Insights, K. Vaddagiri, Cisco Systems

Summary

- ✓ 본 연구는 고속 전송 채널의 신호 무결성 분석에 소요되는 시간과 연산 비용을 줄이기 위해 Physics-Aware Machine Learning 기반 설계 접근법을 제안
- ✓ Data Stratification Methodology를 통해 전체 12,960개 설계 조합 중 약 1.4%에 해당하는 187개의 시뮬레이션만으로 전체 설계 공간을 효과적으로 모델링
- ✓ 신뢰도 기반 검증(Confidence Gate)을 통해 물리적으로 일관된 영역 내에서만 예측을 수행하여, 안정적인 설계 탐색을 가능하게 함
- ✓ 설계 변수 최적화를 효율적으로 수행하고, 부품 개발 및 초기 평가 기간을 단축할 수 있는 기반이 될것을 기대